

논문 2010-47SD-1-1

CHE 주입방법과 기판 순바이어스를 이용한 새로운 고온 전자 주입방법의 프로그램 효율성 비교에 관한 연구

(A Study on The Comparison of The Program Efficiency in The Conventional CHE Injection Method and a novel Hot Electron Injection Method Using A Substrate forward Bias)

장 영 걸*, 안 호 명*, 김 희 동*, 김 태 근**

(Yongjie Zhang, Ho-Myoung An, Hee-Dong Kim, and T. G. Kim)

요 약

본 논문에서는, SONOS 소자에서의 일반적인 CHE(Channel Hot Electron) 주입 방법과 기판 순바이어스를 이용한 새로운 전자 주입 방법의 프로그램 효율성에 대해 직접 비교하였다. 기존의 CHE 주입 방법과 비교해서, 새로운 전자 주입 방법은 낮은 구동전압, 빠른 프로그램 속도 등의 특성을 포함하여 높은 프로그램 효율을 보였으며, 또한 드레인 영역에서의 순방향 읽기와 역방향 읽기의 문턱전압 차이가 1 V 가량 발생한다는 점에서 국소 주입 동작이 가능함을 확인하였다. 이렇게 제안된 전자 주입 방법은 차세대 나노 크기 멀티-비트 SONOS 소자의 동작에 매우 유용하게 사용될 것으로 기대된다.

Abstract

In this paper, we directly compare the program efficiency of conventional channel hot electron (CHE) injection methods and a novel hot electron injection methods using substrate forward biases in our silicon-oxide-nitride-oxide-silicon (SONOS) cell. Compared with conventional CHE injection methods, the proposed injection method showed improved program efficiency including faster program operation at lower bias voltages as well as localized trapping features for multi-bit operation with a threshold voltage difference of 1 V at between the forward and reverse read. This program method is expected to be useful and widely applied for future nano-scale multi-bit SONOS memories.

Keywords : Novel program method, substrate forward bias, multi-bit SONOS

I. 서 론

최근에는 휴대전화, 디지털 카메라, PDA, MP3 플레이어, USB 메모리 등의 휴대 기기용 장치에 사용되고 있는 플래시 메모리의 수요가 급격히 증가하고 있다^[1~3]. 현재 상용화된 플래시 메모리의 구조는 크게 부유 게이트형 (floating gate type)과 전하 트랩형 (charge

trap type)으로 나누어진다. 기존의 플래시 메모리 시장의 대부분을 차지하였던 부유 게이트형 소자는 40 nm 이하 소자 구현의 어려움이 있어, 이를 대체할 수 있는 새로운 플래시 메모리 기술이 요구되었고 이 중 전하 트랩형의 SONOS (Silicon - Oxide - Nitride - Oxide - Silicon) 소자 기술은 편 홀 결합에 대한 영향이 적고, 셀 간의 간섭을 줄이는데 용이하여, 10 nm이하의 채널 길이를 목표로 하는 고집적 차세대 플래시 메모리 소자로 널리 각광 받고 있다^[4~5]. 최근에는, 1개의 트랜지스터 (1셀)에서 다중 비트를 구현한 NROM (Nitride Read-Only-Memory) 멀티-비트 (multi-bit) SONOS 소자가 보고되어 고집적 특성이 더욱 발전하고 있는 추

* 학생회원, ** 정회원-교신저자, 고려대학교 전자전기 공학과

(School of Electrical Engineering., Korea University)

접수일자: 2009년10월1일, 수정완료일: 2009년12월14일

세이다^[6]. 이 NROM 소자는 프로그램 동작 시, 셀 트랜지스터의 소스/드레인 영역 위에 위치한 질화막에 각각 전하를 국소적으로 주입하여 트래핑 시키는 CHE (Channel Hot Electron) 방식을 사용한다. 이 CHE 주입방식은 기존 F-N (Fowler-Nordheim) 터널링 프로그램 방법보다, 프로그램 속도가 빠르고 국소적인 전자 주입이 가능하다. 하지만, 3.2 eV의 산화벽 에너지 장벽을 뛰어 넘을 수 있는 충분한 에너지를 가진 고온 캐리어 (hot carrier)를 생성하기 위해서는 높은 드레인 및 게이트 전압이 필요하다. 이로 인해 과도한 채널 전류가 생성되고 전력소비가 커지는 문제점이 발생한다. 또한, 높은 인가전압으로 인한 고온 캐리어의 주입 면적이 넓어지는 현상으로 인해 주입하고자 하는 드레인 (혹은 소스) 영역 비트 이외에 소스 (혹은 드레인)영역의 비트에 원하지 않는 고온 캐리어가 주입 되는 세컨 비트 현상(Second-bit effect)이 발생할 수 있다^[7].

본 논문에서는 멀티-비트 소자에서의 저전압, 고속 동작, 안정적인 국소 주입을 실현하기 위하여, 기판에 순바이어스를 미리 인가하는 새로운 고온 전자 주입 방법을 제안하고, 그 결과를 기존의 CHE 주입 방법과 직접 비교하고자 한다. 여기에 서론을 입력하세요.

II. 실험 방법

본 논문에서 사용된 소자는 0.35- μm CMOS

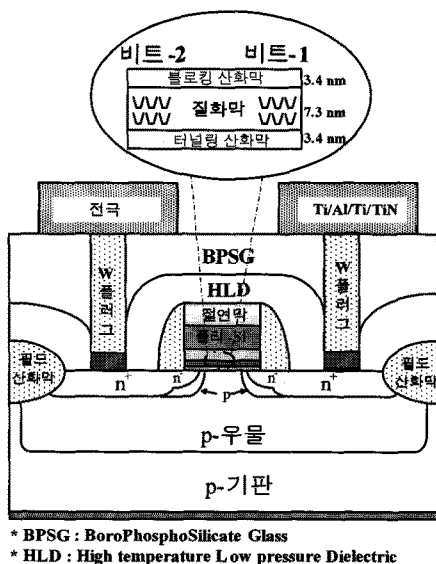


그림 1. 멀티-비트 SONOS 소자의 단면도
Fig. 1. Cross-sectional view of a multi-bit SONOS device.

(Complementary Metal-Oxide-Semiconductor) 공정기술을 사용하여 3.4 nm의 터널링 산화막, 7.3 nm의 질화막, 3.4 nm의 블로킹 산화막을 가지는 SONOS 트랜지스터로 제작되었다. 터널링 산화막은 900°C에서 질소로 회석시킨 산소(O₂ 5%)를 사용하여 상압에서 건식 산화 방법으로 성장하였으며, 연속해서 770°C에서 SiH₂Cl₂와 NH₃의 혼합가스 (SiH₂Cl₂ : NH₃ = 30 : 330 sccm)를 반응시켜 55 Pa의 감압로에서 11.6 Å/min.의 증착율로 터널링 산화막 위에 질화막을 증착하였다. 마지막으로, 블로킹 산화막은 950 °C, 상압에서 H₂ : O₂ = 5 : 10 l/min인 혼합가스를 사용하여 습식 산화방법으로 성장하였다. 제작된 멀티-비트 SONOS 소자의 단면구조는 그림 1에 나타내었다.

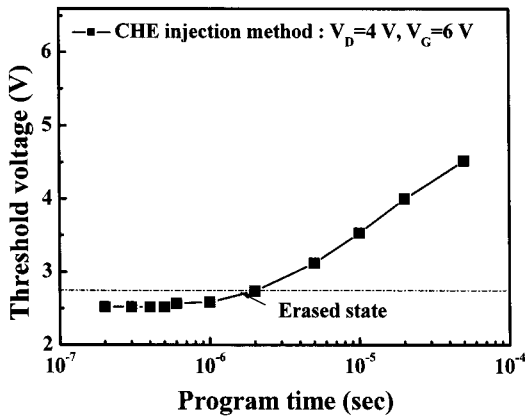
III. 실험 결과 및 고찰

기존의 CHE 주입 방법과 제안된 주입 방법의 프로그램 조건을 표 1에 간단히 정리하였다. 기존 CHE 주입 방법은 게이트에 6 V, 드레인에 4 V 가량의 전압을 인가하여 채널 영역에서부터 가속된 전자들의 일부가 드레인의 공핍층 영역에서 중성 원자와 충돌하고, 이 충돌로 발생된 고온의 전자들이 질화막으로 주입되는 원리를 이용한 방법이다. 한편, 새로 제안한 주입 방법은 기존 CHE 주입 방법과 비교하여 프로그램 시간과 전압 조건에서 큰 차이가 있다. 먼저, 제안된 방법의 프로그램 시간 (T_p)은 수집 시간 (collection time : T₁)과 주입 시간 (injection time : T₂)의 2단계로 구성되며 이에 따른 기판 전압 조건은 기판 수집 전압(collection voltage : V_{B1})과 기판 주입 전압(injection voltage : V_{B2})로 나누어 인가된다. 단, 드레인 전압은 주입시간 T₂에서만 공핍층과 전자 가속을 위해 드레인 영역에 V_{D2}의 전압을 인가한다. T₁ (300 ns) 영역에서, V_{B1} (+1 V)을 인가하면 기판-드레인 접합에 가해지는 순 바이어스로 인해 전자들이 기판 쪽으로 수집된다. 연이어 T₂ (300 ns) 영역에서, V_{B2} (-3 V)과 V_{D2} (+2 V)를 인가하면 기판에 몰려있던 전자들이 가속되어 기판-드레인 사이의 공핍층을 빠른 속도로 이동하게 된다. 가속된 전자들은 드레인 영역의 공핍층에 존재하는 중성 원자들과 충돌하여 전자-정공쌍(electron-hole pair)을 생성하게 된다. 이렇게 생성된 전자들은 충분한 운동 에너지를 가지게 되며, 그 중 일부의 전자들이 기판에 인가된 역 바이어스로 인하여 질화막에 주입될 수 있는

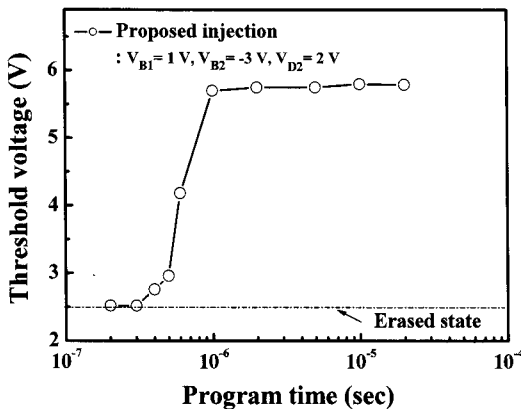
표 1. CHE 주입 방법과 제안된 주입 방법의 프로그램 조건

Table 1. Program condition of CHE injection method and proposed injection method.

	CHE 주입방법	제안된 주입방법	
프로그램 시간	$T_p=20 \mu s$	$T_p=600 \text{ ns } (T_1 + T_2)$	
		$T_1=300 \text{ ns}$	$T_2=300 \text{ ns}$
드레인 전압	4 V	$V_{D1}=0 \text{ V}$	$V_{D2}=2 \text{ V}$
소스 전압	GND	Floating	
게이트 전압	6 V	0V	
기판 전압	GND	$V_{B1}=1 \text{ V}$	$V_{B2}=-3 \text{ V}$



(a)



(b)

그림 2. 프로그램 특성

(a) CHE 주입 방법 (b) 제안된 주입방법

Fig. 2. Program characteristics. (a) CHE injection method, (b) proposed injection method.

것이다.

그림 2는 CHE 주입 방법과 제안된 주입 방법의 프로그램 특성을 보여주고 있다. 두 방법 모두 문턱전압을 소거상태 기준인 2.5 V로 동일하게 고정된 상태에서, 프로그램 시간에 따른 문턱전압(VT)의 이동을 조사하였다. 그림 2 (a)에서 보는 바와 같이, 기존의 CHE 주입 방법에서는 프로그램 시간이 20 μs 일 때, 1.5 V의 문턱전압 이동현상이 관찰 되었고, 시간이 더욱 길어지더라도 문턱 전압은 포화되지 않고 계속 증가하는 양상을 나타내었다. 반면에, 그림 2(b)의 결과에서와 같이 제안된 새로운 주입 방법을 사용할 경우 프로그램 시간이 600 ns 일 때, 1.5 V 이상의 문턱전압 이동 현상이 관측되었고, 프로그램 시간이 1 μs 를 넘어서게 되면 문턱전압이 포화점에 이르는 것을 확인할 수 있었다. 이는 프로그램 시간이 증가함에도 불구하고 기판에 수집될 수 있는 전자의 양이 일정하므로, 주입될 수 있는 전자의 양도 일정한 양을 넘어서지 않기 때문이다. 위의 결과를 통해 제안된 주입 방법이 기존의 CHE 주입 방법과 비교하여 저전압 및 고속 프로그램 특성을 보이는 것을 확인할 수 있다.

또한, 그림 3에서는 각각의 주입 방법으로 드레인 영역에 프로그램 시킨 후에 순방향 읽기와 역방향 읽기 시의 문턱전압의 차이를 측정함으로써 멀티 비트 동작 가능성을 확인하였다. 문턱전압을 2.5 V 소거상태에서 3.5 V로 프로그램 시킨 후에, 2 V의 읽기 전압

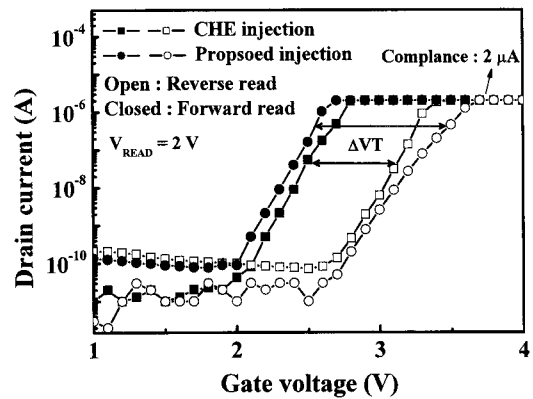


그림 3. 프로그램된 셀에서 CHE 주입 방법과 제안된 주입 방법에 대한 순방향 읽기와 역방향 읽기 전류

Fig. 3. Forward read and reverse read currents for CHE injection method and proposed injection method in the programmed cell.

(VREAD)에서 순방향 읽기와 역방향 읽기를 수행한 결과, 1 μ A의 드레인 전류에서 CHE 주입 방법을 사용하였을 때는 문턱전압 차이(ΔV_T)가 0.6 V에 불과하였지만, 제안한 새로운 주입 방법을 사용할 경우에는 문턱전압이 1 V로 보다 큰 차이가 발생하는 것을 확인할 수 있었다. 이는 제안한 주입 방법을 사용할 경우 프로그램 동작 시, 채널을 사용하지 않고 오직 드레인 영역에서만 전자들이 국소적으로 주입되기 때문에 우수한 멀티-비트 동작을 보이게 되는 것이다.

IV. 결 론

본 논문은, 멀티-비트 동작이 가능한 SONOS 소자에서 CHE 주입 방법과 제안된 기판 순 바이어스를 이용한 주입방법에 대한 프로그램 효율성을 직접 비교하였다. 기존의 CHE주입 방법과 비교하여, 제안된 새로운 주입 방법은 저전압 조건에서 600 ns의 빠른 프로그램 동작을 보였으며 드레인 영역에서의 국소적인 주입이 가능하기 때문에 순방향 읽기와 역방향 읽기의 문턱전압 차이가 1 V이상 발생함으로써 안정적인 멀티-비트 동작이 가능함을 확인할 수 있었다. 따라서 제안된 프로그램 방법은 차세대 나노 크기 멀티-비트 SONOS 소자에 매우 유용하게 사용될 것이라 기대된다.

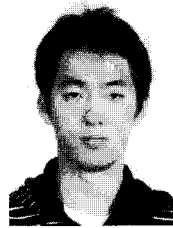
참 고 문 헌

- [1] R. Bez and P. Cappelletti, "Flash memory and beyond," in VLSI Symp. Tech. Dig., pp. 84-87, Milano, Italy, April 2005.
- [2] 조성재, 박일한, 이정훈, 윤장근, 김두현, 이길성, 김윤, 이동화, 신형철, 이종덕, 박병국, "신뢰성 있는 동작을 위한 수직 구조 플래시 메모리의 공정 및 전압 조건의 최적화 연구," 전자공학회논문지, 제30권, 제1호, 743-744쪽, 2007년 7월
- [3] 박성수, 최원호, 한인식, 나민기, 이가원, "Charge Pumping Method를 이용한 Silicon-Al₂O₃-Nitride-Oxide-Silicon Flash Memory Cell Transistor의 트랩과 소자특성 분석," 전자공학회 논문지, 제45권 SD편, 제7호, 37-43쪽, 2008년 7월
- [4] M. H. White, D. A. Adams and J. Bu, "On the go with SONOS," IEEE Circuits and Device Magazine, Vol. 16, pp. 22-31, July 2000.
- [5] R. Ohba, Y. Mitani, N. Sugiyama and S. Fujita, "25 nm Planar Bulk SONOS-type Memory with Double Tunnel Junction," IEEE IEDM Tech. Dig. Tech. pp. 1-4, December 2006.
- [6] B. Eitan, G. Cohen, A. Shappir, E. Lusky, A. Givant, M. Janai, I. Bloom, Y. Polansky, O. Dadashev, A. Lavan, R. Sahar and E. Maayan, "4-bit per cell NROM reliability," IEEE IEDM Tech. Dig. Tech. pp. 539-542, December 2005.
- [7] T. H. Hsu, M. H. Lee, J. Y. Wu, H. L. Lung, R. Liu and C. Y. Lu, Investigation of maximum current sensing window for two-side operation, four-bit/cell MLC nitride-trapping nonvolatile flash memories," IEEE Electron Dev. Lett. Vol. 25, no. 12, pp. 795-797, December 2004.

저 자 소 개



장 영 걸(학생회원)
2007년 Xidian University
전자공학과 학사졸업.
2008년~현재 고려대학교 대학원
전자전기공학과 석사과정
<주관심분야 : 반도체>



김 희 동(학생회원)
2007년 고려대학교 전자정보
공학과 학사 졸업.
2009년 고려대학교 전자전기
공학과 석사졸업.
2009년~현재 고려대학교 전자
전기공학과 박사과정.

<주관심분야 : 반도체>



안 호 명(학생회원)
2001년 광운대학교 전자재료공학
과 학사졸업.
2003년 광운대학교 대학원
전자재료공학과 석사졸업.
2009년 광운대학교 대학원
전자재료공학과 박사졸업.

2009년~현재 고려대학교 대학원 전자전기공학과
박사후 연구과정

<주관심분야 : 반도체>



김 태 근(정회원)-교신저자
1997년 고려대학교 전자공학과
박사 졸업.
1997년 3월~1998년 6월 ECE
Dept., University of
California, San Diego,
USA, Research Fellow

1998년 6월~2001년 2월 Electrotechnical
Laboratory(ETL), Japan, NEDO Fellow

2001년 3월~2002년 2월 삼성종합기술원
MD랩 전문연구원

2002년 3월~2004년 8월 광운대학교반도체 및
신소재공학과, 조교수

2004년 9월~현재 고려대학교 전기전자전과
공학부 교수

<주관심분야 : 반도체>