위상 고정 루프의 기준 스퍼를 감소시키기 위한 이중 보상 방식 전하 펌프

논 문
59-2-39

A Dual-compensated Charge Pump for Reducing the Reference Spurs of a Phase Locked Loop

이 동 건* · 이 정 광** · 정 항 근†
(Dong-Keon Lee · Jeong-Kwang Lee · Hang-Geun Jeong)

Abstract - The charge pump in a phase-locked loop is a key block in determining reference spurs of the VCO output signal. To reduce reference spurs, the current mismatch in the charge pump must be minimized. This paper presents a dual compensation method to reduce the current mismatch. The proposed charge pump and PLL were realized in a 0.18μm CMOS process. Measured current matching characteristics were achieved with less than 1.4% difference and with the current variation of 3.8% in the pump current over the charge pump output voltage range of 0.35-1.35V at 1.8V. The reference spur of the PLL based on the proposed charge pump was measured to be -71dBc.

Key Words : PLL, Charge Pump, Dual Compensation, Current Mismatch, Reference Spur

1. 서 론

위상 고정 루프(phase locked loop, PLL)는 근래 통신 시스템에서 클록이나 데이터 복구 등의 기능을 위해 안정적인 주파수를 공급하는 중요한 역할을 하며, 그 중 전하 펌프 PLL이 널리 사용된다[1]. 전하 펌프 PLL는 위상 주파수 검출기, 전하 펌프, 루프 필터, 전압 제어 발진기, 분주기로 구성된다[2]. 본 논문에서는 PLL의 주요 응용 분야인 주파수 합성기(frequency synthesizer)의 기준 스퍼(reference spur)를 감소시키기 위하여 전하 펌프 PLL에서 중요한 역할을 하는 전하 펌프에 초점을 맞추었다.

이상적인 특성을 가지는 전하 펌프 PLL의 경우 루프가 고정되었을 때 전압 제어 발진기의 제어 전압이 고정되어 일정한 주파수가 출력되어야 한다. 하지만 실제 구현된 전하 펌프는 전류 부정합, 전하 공유 등의 비이상적인 특성들을 가지기 때문에 전압 제어 발진기의 제어 전압인 루프 필터 전압에 기준 주파수의 주기마다 리플이 발생된다. 이 리플의 크기는 전하 펌프의 과도 전류 부정합에 비례하여 나타나며 정적 위상 오차(static phase offset)를 발생시킨다. 또한 이 리플은 전압 제어 발진기를 주파수 변조하여 PLL의 출력 신호 특성을 악화시키는 기준 스퍼로 나타나게 된다[3].

전하 펌프의 비이상적인 특성들 중 전류 부정합을 줄이기 위한 일반적인 방법으로는 전하 펌프의 출력 저항을 키우는 방법과 부궤환 루프를 이용한 보상 방법이 있다. 출력 저항을 높이는 방법에는 전하 펌프의 출력 단을 캐스코드로 구성하거나 게인-부스팅을 사용하는 방법이 있다[4]-[5]. 이 방법들은 높은 출력 저항을 이용하여 전류 부정합을 감소시킬 수 있으나 추가되는 MOS들에 의해서 전하 펌프의 동작 범위가 줄어들게 된다. 또한 출력단의 기생 커패시턴스가 증가하여 전하 공유 문제를 악화시키게 된다. 부궤환 루프를 이용하는 방법은 한 전류가 다른 전류를 복사함으로써 전류 부정합을 감소시킬 수 있다[6]. 이 방법은 전하 펌프의 동작 범위를 감소시키지 않고 효과적으로 전류 정합 특성을 개선할 수 있지만, 출력 전압이 변하게 되면 펌프 전류가 변하게 되어 루프 특성에 영향을 미치게 된다. 위 방법들은 공정이 발달할수록 문제점이 커지게 된다. 전원 전압이 낮아짐에 따라 출력 저항을 높이는 방법은 적용하기가 어렵게 되고, 채널 길이가 짧아지면서 채널 길이 변조 효과가 커지기 때문에 부궤환 루프를 이용하는 방법은 펌프 전류가 많이 변하게 된다. 긴 채널을 사용하여 펌프 전류의 변화를 감소시킬 수 있지만 기생 커패시턴스의 증가로 인해 전하 공유를 악화시키는 문제가 남게 된다.

본 논문에서는 두 개의 부궤환 루프를 구성하여 전류 부정합을 감소시키고 출력 범위 내에서 일정한 전류를 가지는 전하 펌프를 제안하였다. 이 전하 펌프는 캐스코드 전류원의 전류를 UP 전류로 복사하고, 그 전류를 다시 DOWN 전류로 복사함으로써 출력 전압 범위를 감소시키지 않고 전하 펌프의 또 다른 문제점인 전하 공유를 증가시키지 않는다. 그로 인해 PLL의 기준 스퍼를 감소시킬 수 있다.

* 준 회 원 : 전북대학 전자정보공학부 석사과정
** 비 회 원 : 전북대학 전자정보공학부 석사과정
† 교신저자, 정회원 : 전북대학 전자정보공학부 정교수 · 공박
E-mail : hgjeong@chonbuk.ac.kr
접수일자 : 2009년 12월 14일
최종완료 : 2010년 1월 22일

2. 전하 펌프

2.1 이중 보상 방식을 이용한 전하 펌프

2.1.1 연산증폭기를 이용한 부궤환 루프

연산증폭기를 이용한 전하 펌프는 그림 1과 같은 부궤환 루프를 구성하고 있다[6]. 출력 전압(V2)가 변하게 되면 부궤환 루프를 구성하는 연산증폭기가 PMOS의 게이트 전압을 변화시켜 V1이 V2와 같게 되도록 보상해주는 회로이다. 그 결과로 스위치가 켜졌을 때 I2는 I1와 같게 된다. 이 회로에서의 출력 저항은 바이어스 전류원의 출력 저항과 같다. 이 방법은 전하 펌프의 전력 소모와 칩 면적을 증가시키지만, 회로의 동작 범위를 감소시키거나 스위칭 노드의 기생 커패시턴스를 증가시키지 않고 전류 특성을 결정지을 수 있다. 또한 전류 부정합은 연산증폭기의 이득에 따라 결정되기 때문에 충분히 큰 이득의 연산증폭기를 사용하면 공정 변화에 둔감하게 된다.

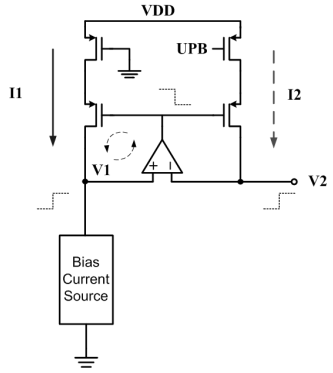


그림 1 연산증폭기를 이용한 부궤환 루프
Fig. 1 Negative feedback using an operational amplifier

2.1.2 이중 보상 방식 전하 펌프

그림 2는 제안하는 이중 보상 방식의 개념을 나타낸 것이다. 이중 보상 방식은 부궤환 루프(그림 1)를 이중으로 구성하여 바이어스 전류를 UP 전류로 복사하고 그 전류를 다시 DOWN 전류로 복사하는 방식이다. 첫 번째 루프에서는 전하 펌프의 전류 특성이 결정되고, 두 번째 루프에서는 UP 전류와 DOWN 전류의 정합이 이루어진다.

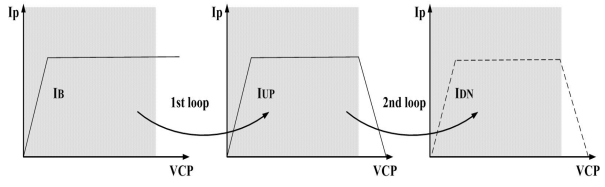


그림 2 이중 보상 방식의 개념
Fig. 2 Concept of the proposed dual compensation method

그림 3은 이중 보상 방식으로 구성한 전하 펌프의 회로이다. 전하 펌프의 출력 전압(VCP)이 변하게 되면 첫 번째 부궤환 루프를 통해서 VR1이 VCP와 같아지도록 보상해준다. 그로 인해 UP 전류(IUP)는 바이어스 전류(IB)와 정합되어진다. 두 번째 부궤환 루프는 VR2가 VCP와 같아지도록 보상해주어 DOWN 전류(IDN)는 그의 바이어스 전류가 되는 UP 전류와 정합되어진다. 결과적으로 VR1과 VR2는 VCP와 같아지며 UP 전류와 DOWN 전류는 바이어스 전류와 같아지게 된다. 전하 펌프의 동작 범위 내에서 일정한 전류를 가지기 위해서 큰 출력 저항을 가지는 캐스코드 전류원을 바이어스로 사용하였다. 일반적인 전하 펌프와 비교해서 출력단 구조에 변화가 없기 때문에 캐스코드 전하 펌프와 같이 전하 펌프의 동작 범위가 줄어들지 않고 기생 커패시턴스를 증가시키지 않기 때문에 전하 공유 문제를 악화시키지 않는다.

이중 보상 방식을 이용해서 출력단의 기생 커패시턴스를 증가시키지 않고 전류 부정합을 감소시켰지만. 전하 펌프의 다른 비이상적인 특성들은 여전히 존재한다. M15와 M18은 전하 주입과 클럭 피드쓰루에 의한 영향을 감소시키기 위해 추가되었고, 채널 폭은 각각 스위치로 동작하는 M11과 M14의 채널 폭의 반이 되도록 한다[7]. M16과 M17은 스위치가 꺼질 때 각각 pcs와 ncs 노드의 전하를 빠르게 제거하여 전하 공유를 감소시키는 기능을 한다[8].

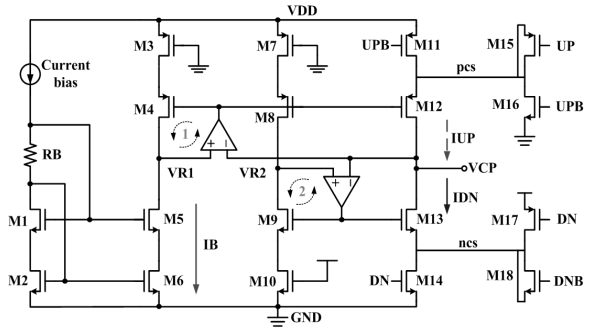


그림 3 제안하는 전하 펌프
Fig. 3 Proposed charge pump

2.2 PLL의 기준 스퍼 비교를 위한 전하 펌프

그림 4는 제안한 전하 펌프(그림 3)를 이용한 PLL의 기준 스퍼 성능과 비교하기 위해서 추가한 3개의 전하 펌프이다. 그림 4(a)와 (b)는 일반적인 전하 펌프와 부궤환 루프를 이용하여 전류 부정합을 감소시킨 전하 펌프이다. 전하 공유가 크게 발생할 때 전류 부정합에 따른 기준 스퍼를 비교하기 위해서 긴 채널의 NMOS를 사용하였다. 그림 4.3(c)는 그림 4.3(b)의 회로에 추가적인 회로를 통하여 전하 주입 및 클럭 피드쓰루, 전하 공유의 영향을 감소시킨 전하 펌프이다.

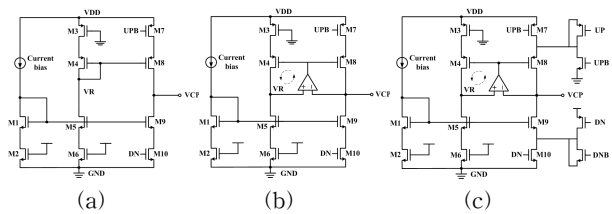


그림 4 기준 스퍼 비교를 위한 전하 펌프
Fig. 4 Charge pumps for comparing the reference spur

기준 주파수의 주기를 T_{ref}, 펌프 전류를 I_{CP}, 전류 부정합의 크기를 ΔI_{CP}, 위상 주파수 검출기의 리셋 시간을 Δt_{ON}이라 하면 위상 오차 ϕ_ϵ는 식 (1)과 같이 표현할 수 있다. 기준 스퍼는 식 (2)와 같으며 R은 루프 필터의 저항 값이며 K_{VCO}는 전압 제어 발진기의 이득, f_{ref}는 기준 주파수, f_{P1}은 루프 필터의 극점을 나타낸다[3]. 그림 5를 보면 전류 부정합이 감소할수록 기준 스퍼가 감소하는 양이 커지는 것을 알 수 있다. 이는 전류 부정합이 꽤 감소하더라도 다른 비이상적 특성들에 의해서 위상 오차가 존재하면 기준 스퍼는 크게 좋아지지 않는다는 것을 의미한다.

$$\phi_\epsilon = 2\pi \frac{\Delta t_{on}}{T_{ref}} \frac{\Delta I_{CP}}{I_{CP}} \tag{1}$$

$$P_{ref} = 20\log\left(\frac{\sqrt{2}\frac{I_{CP}R}{2\pi}\phi_\epsilon K_{VCO}}{2f_{ref}}\right) - 20\log\left(\frac{f_{ref}}{f_{P1}}\right) \quad [dBc] \tag{2}$$

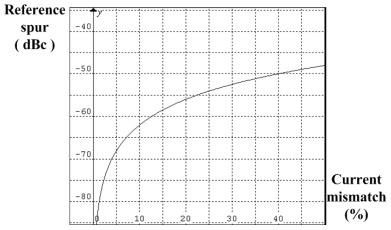


그림 5 전류 부정합에 따른 기준 스퍼

Fig. 5 Reference spur versus the current mismatch

그림 6과 7은 전하 펌프 외에는 모두 이상적인 특성을 갖는 블록들로 구성한 PLL의 시뮬레이션 결과이다. 그림 6은 전하 공유 등의 문제가 존재할 때 전류 부정합에 따른 기준 스퍼를 비교한 것이다. 그림 6(a)는 7%의 전류 부정합을 가지고 그림 6(b)은 0.15%의 전류 부정합을 가진다. 전류 부정합은 약 6.85%가 감소하였고 이로 인해 위상 오차 또한 감소한 것을 볼 수 있다. 이 위상 오차를 식 (2)에 대입하여 기준 스퍼를 계산하면 약 -4 dBc 정도 개선되는 것을 알 수 있고, 출력 주파수의 스펙트럼을 DFT하여 얻은 기준 스퍼는 각각 -55.1 dBc와 -55.3 dBc로 큰 개선효과가 없었다. 기준 스퍼를 비교하기 위해 추가한 전하 펌프 중 그림 4(a)와 (b)가 이와 비슷한 조건을 가진다. 그러므로 전하 공유 등의 문제가 존재할 때 전류 부정합 감소로 인한 기준 스퍼 향상은 미비할 것으로 예상할 수 있다.

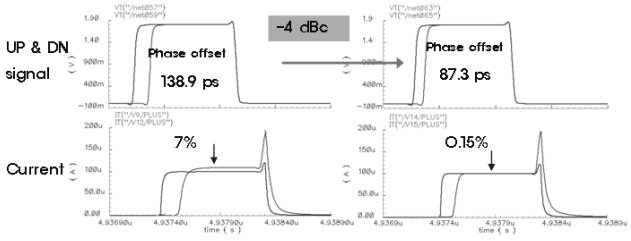


그림 6 전하 공유가 있을 때 전류 부정합에 따른 위상 오차와 기준 스퍼의 변화

Fig. 6 Variation of the phase offset and the reference spur by the current mismatch with the charge sharing

그림 7은 전하 공유를 크게 감소시킨 전하 펌프의 시뮬레이션 결과이다. 위와 동일하게 각각 7%와 0.15%의 전류 부정합을 가지고 있다. 위상 오차는 32ps에서 9.7ps로 그림 7보다 조금 감소하였으나 식 (2)로 계산해보면 -10.3dBc 의 기준 스퍼가 향상되고, 출력 주파수의 스펙트럼을 비교해보아도 -75.3dBc에서 -84.7dBc로 -9.4dBc 정도 향상된 것을 알 수 있었다. 위 결과들로 전류 부정합만 감소시켜서는 기준 스퍼를 크게 향상시킬 수 없고 다른 비이상적 특성들까지 고려한 상태에서 전류 정합을 향상시켜야 더 큰 효과를 볼 수 있다는 것을 확인할 수 있다.

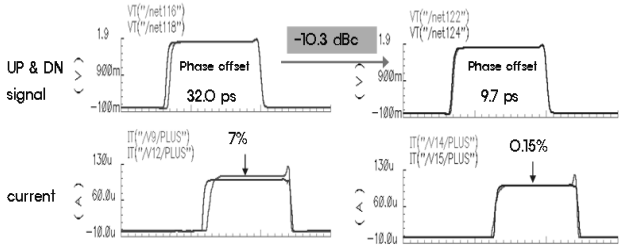
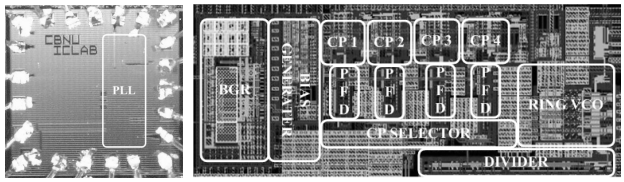


그림 7 전하 공유가 거의 없을 때 전류 부정합에 따른 위상 오차와 기준 스퍼의 변화

Fig. 7 Variation of the phase offset and the reference spur by the current mismatch without the charge sharing

3. 시뮬레이션 및 측정 결과

전하 펌프에 따른 기준 스퍼 성능을 비교하기 위해서 PLL을 설계하였다. 위상 주파수 검출기는 NAND 게이트로 구성된 일반적인 구조이며 발진기는 차동 Ring ICO로 3단으로 구성하였고 분주기는 펄스 스왈로우 방식을 사용하였다. 전하 펌프와 PLL은 0.18㎛ CMOS 공정을 사용하여 설계하고 제작되었다. 그림 8는 칩 사진과 PLL의 레이아웃을 보여주고 있다. 칩 크기는 0.9㎜ x 0.9㎜이며 PLL의 크기는 630㎛ x 240㎛ 이다. PLL은 14MHz의 기준주파수, 100의 분주비를 가지며 루프 필터는 칩 외부에 두었으며 대역폭은 800kHz, 위상 마진은 65° 이다.



(a) (b)

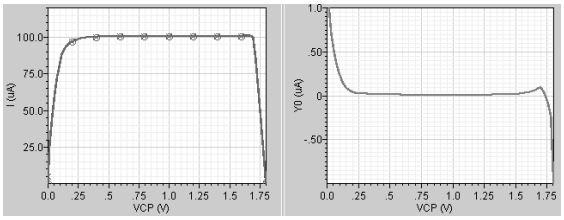
그림 8 (a) 칩 사진 (b) PLL의 레이아웃

Fig. 8 (a) Chip photograph (b) PLL layout

3.1 전하 펌프의 시뮬레이션 및 측정 결과

그림 9과 10는 제안한 전하 펌프의 시뮬레이션 결과이다. 그림 9을 보면 이중 보상 방식의 개념대로 펌프 전류 특성은 바이어스 전류원으로 사용한 캐스코드 전류원의 특성처럼 전류가 거의 변하지 않는 것을 볼 수 있다. 또한 UP 전

류와 DOWN 전류가 피드백 루프를 통해 적은 전류 부정합을 가지는 것을 볼 수 있다. 전하 펌프의 동작 범위 0.25 ~ 1.45V에서 0.15%의 전류 부정합과 1.42%의 펌프 전류 변화를 보였다. 그림 10는 PLL이 고정되었을 때 전하 펌프의 과도 전류와 출력 전압을 나타낸 것이다. 전류 부정합을 포함한 전하 펌프의 비이상적 특성들이 많이 감소된 것을 확인할 수 있다.



(a) (b)

그림 9 제안한 전하 펌프의 시뮬레이션 결과 (a) 전류 정합 특성 (b) UP 전류와 DOWN 전류의 차이

Fig. 9 Simulation results of the proposed charge pump (a) current matching characteristics (b) Difference of between UP current and DOWN current

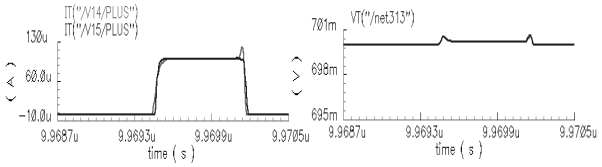


그림 10 제안한 전하 펌프의 과도 응답

Fig. 10 Transient response of the proposed charge pump

그림 11는 제안한 전하 펌프의 측정 결과이다. 시뮬레이션 결과와 마찬가지로 이중 보상 방식의 개념대로 전하 펌프가 동작하는 것을 알 수 있다. 전하 펌프의 동작 범위 0.25 ~ 1.45V에서 최대 2.9%의 전류 부정합과 10.4%의 펌프 전류 변화를 보였다. 0.35 ~ 1.35V 범위에서는 최대 1.4%의 전류 부정합과 3.5%의 펌프 전류 변화를 나타내었다.

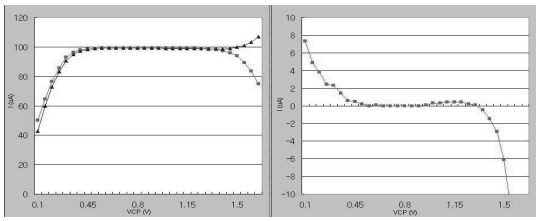
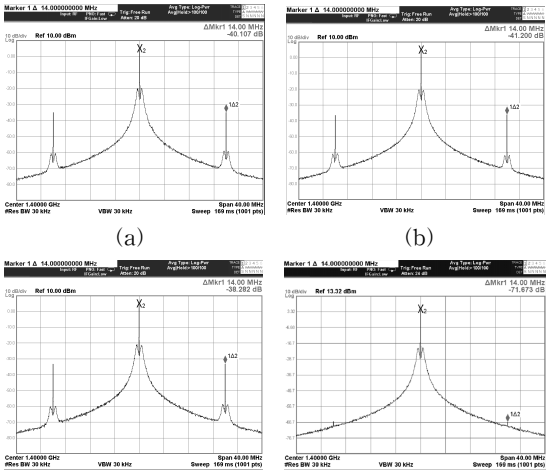


그림 11 제안한 전하 펌프의 측정 결과 (a) 전류 정합 특성 (b) UP 전류와 DOWN 전류의 차이

Fig. 11 Measurement results of the proposed charge pump (a) current matching characteristics (b) Difference of between UP current and DOWN current

3.2 기준 스퍼 측정 결과 비교

본 절에서는 2장에서 다루었던 각각의 전하 펌프 사용에 따른 기준 스퍼 성능을 비교하고자 한다. 그림 12은 4가지 전하 펌프를 선택적으로 동작시켜 확인한 출력 주파수의 스펙트럼으로 (a)는 일반적인 전하 펌프(CP #1), (b)는 부궤환 루프를 구성한 전하 펌프(CP #2), (c)는 부궤환 루프를 구성한 전하 펌프에 전하 공유 등의 문제를 줄이기 위한 회로를 추가한 전하 펌프(CP #3), (d)는 제안한 이중 보상 방식 전하 펌프(CP #4)의 기준 스퍼를 확인할 수 있다.



(a) (b)

(c) (d)

그림 12 기준 스퍼 측정 결과

Fig. 12 Measurement results of the reference spur

먼저 그림 12(a)와 (b)는 예상하였던 것과 같은 결과를 보여주고 있다. 긴 채널의 MOS를 사용하여 전하 공유가 악화되었기 때문에 연산증폭기를 이용한 전하 펌프가 일반적인 전하 펌프에 비해 전류 부정합이 적음에도 측정결과는 각각 (a) -40.1dBc 와 (b) -41.2dBc로 큰 차이가 나지 않는 것을 볼 수 있다. 그림 12(c)를 보면 전하 공유 등의 문제를 줄이기 위한 회로를 추가한 전하 펌프의 기준 스퍼는 -38.2dBc로 오히려 회로를 추가하지 않은 전하 펌프보다 좋지 않게 측정되었다. 이 전하 펌프와 제안한 전하 펌프는 부궤환 루프에 같은 이득(약 60dB)을 가지는 연산증폭기가 사용되었기 때문에 전류 부정합 특성은 거의 같을 것임을 알 수 있다. 또한, 전하 공유를 감소시키는 회로를 구성하고 있음에도 기준 스퍼의 성능이 오히려 나빠지게 된 이유는 긴 채널의 NMOS를 사용하여 악화된 전하 공유를 효과적으로 감소시키지 못한 것으로 판단된다. 제안한 전하 펌프를 이용한 PLL의 출력 스펙트럼을 측정한 결과 기준 스퍼는 약 -71dBc로 전류 부정합을 비롯한 다른 비이상적인 특성들도 효과적으로 감소된 것을 알 수 있다.

표 1 전하 펌프의 성능 비교

Table 1 Performance comparison of charge pumps

	CP #1	CP #2	CP #3	CP #4
전력 소모	0.36mW	0.63mW	0.63mW	0.9mW
면적	66㎛x38㎛	70㎛x68㎛	70㎛x68㎛	74㎛x110㎛
기준 스퍼	-40.1dBc	-41.2dBc	-38.2dBc	-71.6dBc

그림 13는 전하 펌프들의 출력 전압에 따른 기준 스퍼를 측정한 것으로 전하 펌프의 동작 범위를 알 수 있다. 네 종류의 전하 펌프 모두 넓은 동작 범위를 가질 것이라고 예상하였으나 전하 공유 등의 문제를 감소시키기 위한 회로가 들어간 전하 펌프는 낮은 전압과 높은 전압에서 기준 스퍼가 커지는 것을 볼 수 있다. 그림 14에서 전하 공유를 감소시키기 위해 추가한 회로는 DN이 “0”이 되면 ncs 노드를 VDD로 충전시킨다. 이 때 출력 전압(VCP)이 M1의 바이어스 전압보다 $|V_{thn}|$만큼 이상 낮아지게 되면 M1은 포화 영역에서 동작하여 출력 노드로 원하지 않는 역 전류가 흐르게 된다. 이 전류는 출력 전압이 증가하여 M1이 꺼질 때까지 흐르며 그 양만큼 위상 오차가 증가하게 되어 주파수 합성기의 기준 스퍼를 악화시켰다. 그림 15는 역전류가 흐를 때 루프 필터 전압을 측정한 것이다. 측정은 부하효과를 고려하여 칩 내부의 버퍼를 통한 출력을 통하여 이루어졌다. 주기적으로 전압이 변하는 것을 확인할 수 있다. 이 때문에 그림 14의 방법은 일정 범위에서는 전하 공유를 감소시킬 수 있지만 전하 펌프의 동작 범위가 줄어드는 단점을 갖는다.

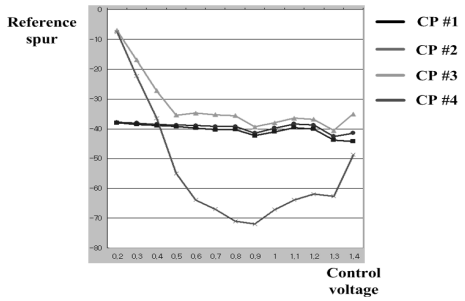


그림 13 출력 전압에 따른 기준 스퍼
Fig. 13 Reference spur versus the output voltage

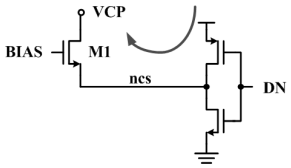


그림 14 전하 공유를 감소시키는 회로의 문제점
Fig. 14 Problem of the scheme with reduced the charge sharing

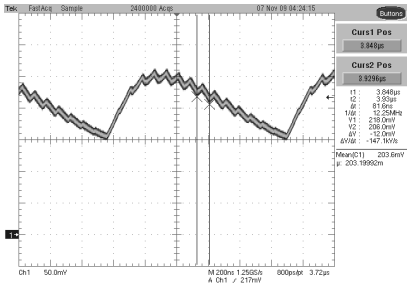


그림 15 역 전류에 의한 루프 필터 전압의 변화
Fig. 15 Deviation of the loop filter voltage by the reverse current

4. 결 론

본 논문에서는 전하 펌프 PLL의 블록 중 하나인 전하 펌프의 비이상적인 특성들을 개선한 회로를 제안하였다. 기존의 전하 펌프들은 전류 부정합을 줄이기 위해 출력단을 캐스코드 구조나 게인 부스팅을 이용한 캐스코드들을 사용하여 출력 저항을 키우는 방법을 사용하였다. 그러나 추가적으로 전하 펌프의 동작 범위를 좁게 만드는 단점이 있어서 전원 전압이 낮아질수록 문제가 된다.

제안한 전하 펌프는 동작 범위를 줄이지 않고 기존의 부궤환 루프를 이용한 방식을 응용하여 전류 부정합을 감소시켰다. 두 개의 부 궤환 루프를 통해서 UP 전류는 바이어스 전류를 복사하고 DOWN 전류는 UP 전류를 복사한다. UP 전류와 DOWN 전류 모두 피드백에 의해 결정되기 때문에 긴 채널의 MOS를 사용할 필요가 없고 노드가 추가되지 않기 때문에 다른 전하 펌프들에 비해 상대적으로 기생 커패시턴스를 감소시킬 수 있다.

시뮬레이션 결과, 제안한 전하 펌프는 출력 전압 0.25~1.45V 범위에서 0.15%의 최대 전류 부정합과 1.42%의 펌프 전류 변화를 보였다. 측정 결과 또한 0.35~1.35V 범위에서 1.4%의 최대 전류 부정합과 3.8%의 펌프 전류 변화를 나타낸 것으로 보아 이중 보상 방식이 정상적으로 동작하여 제안한 전하 펌프는 적은 펌프 전류 변화와 감소된 전류 부정합 특성을 가지는 것을 확인할 수 있었다. 그리고 제안한 전하 펌프를 이용한 PLL의 출력 스펙트럼을 측정한 결과 기준 스퍼는 약 -71dBc로 나타났다. 그러나 전하 공유를 감소시키기 위한 회로에 의해 낮은 전압과 높은 전압에서 원하지 않는 역 전류가 발생하여 이중 보상 방식의 장점과는 다르게 동작 범위가 줄어드는 효과가 발생하였다.

부궤환에 의해 전류를 정합시키는 방법은 전력 소모와 칩 면적을 증가시키지만 공정이 발달하면서 전원 전압이 낮아지기 때문에 출력 저항을 증가시키는 방법에 비해 쉽게 적용할 수 있는 장점이 있다. 전하 공유나 전하 주입, 클럭 피드쓰루의 문제들은 채널 길이가 작아지면서 기생 커패시턴스는 작아지게 되어 그 효과가 감소하게 되지만 중요한 것은 전하 펌프에서 이 효과들이 UP 전류와 DOWN 전류에 나타났을 때 그 것들이 각각 출력에 얼마나 영향을 주는가 하는 것이다. 즉, 전류 부정합과 마찬가지로 각 성분의 차이가 출력에 영향을 줌으로 위 효과들의 정합을 위한 연구가 지속적으로 요구된다.

감사의 글

본 연구는 BK(Brain Korea)21의 지원으로 수행되었습니다.

참 고 문 헌

[1] Dao-Lon Chen, "Designing On-Chip Clock Generators," *in Circuits and Devices*, pp. 32-36, Jul. 1992.
[2] F. Gardner, "Charge-Pump Phase-Locked Loops,"

IEEE Trans. Communications, vol. com-28, no. 11, pp. 1849-1858, Nov. 1980.

[3] W. Rhee, "Design of high-performance CMOS charge pumps in phase-locked loops," *in Proc. ISCAS*, Vol. 2, pp. 542-548, Orlando, FL. USA, July 1999.

[4] W. Rhee, Bang-Sup Song, Akbar Ali, "A 1.1-GHz CMOS fractional-N frequency synthesizer with a 3-b third-order △∑ modulator," *IEEE J. Solid-State Circuits*, Vol. 35, no. 10, pp. 1453-1460, Oct. 2000.

[5] Young-Shig Choi, Dae-Hyun Han, "Gain-boosting charge pump for current matching in phase-locked loop", *IEEE Trans. Circuits Syst. II*, Express Briefs, Vol. 53, no. 10, pp. 1022-1025, Oct. 2006.

[6] Lee J.S., Keel M. S., Lim S. I., and Kim S., "Charge pump with perfect current matching characteristics in phase-locked loops", *IEEE Electronics Lett.*, Vol. 36, no. 23, pp. 1907-1908, Nov. 2000.

[7] A. Maxim, "A 0.16-2.55 GHz CMOS active clock deskewing PLL using analog phase interpolation," *IEEE J. Solid-State Circuits*, vol. 40, no. 1, pp. 110-131, Jan. 2005.

[8] P. Larsson, A. Chen, "A Frequency Programmable Clock Extraction Chip," *The 5th VLSI/CAD Symposium*, Taiwan, R.O.C. 1994.

저 자 소 개

이 동 건 (李 東 建)

1982년 8월 22일생. 2008년 전북대학교 전자정보공학부 졸업. 2008년~현재 동 대학원 전자정보공학부 석사과정

E-mail : realboy82@nate.com

이 정 광 (李 廷 光)

1982년 7월 7일생. 2008년 전북대학교 전자정보공학부 졸업. 2008년~현재 동 대학원 전자정보공학부 석사과정

E-mail : kwangez@gmail.com

정 항 근 (丁 恒 根)

1955년 3월 17일생. 1979년 한국과학기술원 전기전자공학 석사 졸업. 1989년 플로리다대학교 전기공학 박사 졸업. 1979년~1982년 한국 전자통신연구소 재직. 1989년~1991년 모토롤라 고급기술연구소 재직. 1991년~현재 전북대학교 전자정보공학부 교수

E-mail : hgjeong@chonbuk.ac.kr