

Rail-to-Rail의 입력 신호 범위를 가지는 12-bit 1MS/s 축차비교형 아날로그-디지털 변환기

논문
59-2-21

A 12-bit 1MS/s SAR ADC with Rail-to-Rail Input Range

김두연* · 정재진** · 임신일*** · 김석기†
 (DooYeoun Kim · JaeJin Jung · Shinil Lim · Suki Kim)

Abstract - As CMOS technology continues to scale down, signal processing is favorably done in the digital domain, which requires Analog-to-Digital(A/D) Converter to be integrated on-chip. This paper presents a design methodology of 12-bit 1-MS/s Rail-to-Rail fully differential SAR ADC using Deep N-well Switch based on binary search algorithm. Proposed A/D Converter has the following architecture and techniques. Firstly, chip size and power consumption is reduced due to split capacitor array architecture and charge recycling method. Secondly, fully differential architecture is used to reduce noise between the digital part and converters. Finally, to reduce the mismatch effect and noise error, the circuit is designed to be available for Rail-to-Rail input range using simple Deep N-well switch. The A/D Converter fabricated in a TSMC 0.18um 1P6M CMOS technology and has a Signal-to-Noise-and-Distortion-Ratio(SNDR) of 69 dB and Free-Dynamic-Range (SFDR) of 73 dB. The occupied active area is 0.6mm²

Key Words : Successive Approximation Register (SAR), ADC, Rail-to-Rail, DNW, Split capacitor

1. 서론

CMOS 기술이 발전하면서 트랜지스터의 최소 길이가 점점 줄어들고, 그에 따라 공급 전원과 면적이 줄면서 같은 칩 안에 더 많은 기능을 집적할 수 있게 되었다. 그리고 이러한 면적의 감소 때문에 오늘날에는 아날로그와 디지털을 같은 칩 안에 집적하여 System on Chip(SOC)을 구현하는 것이 일반화 되었고 아날로그 신호를 디지털 신호로 바꾸어 주는 변환기는(ADC) 점점 그 중요성이 증가하고 있다. 하지만 공급 전원의 감소는 전력 소모를 줄여주는 장점이 있는 반면 아날로그 회로 설계에 있어서 많은 어려움을 주고 있다. ADC 설계에 있어서 공급 전원의 감소로 인한 어려움은 전압 공간의 여유가 충분하지 않다는 것과 입력 범위가 줄면서 생기는 Signal-to-Noise-Ratio(SNR)의 감소를 들 수 있다. 본 논문에서는 입력 신호의 범위를 최대한으로 키움으로써 SNR을 향상 시키고 적은 전력을 소비하는 SAR ADC의 구조를 제안 하였다. 본 논문에서는 어떠한 추가적인 회로 없이 간단한 Deep N-well 공정을 사용한 샘플링 스위치로 입력 신호의 범위를 공급 전원의 범위만큼 늘렸으며 적은 전력을 소비하기 위해 Charge Recycling 방법을 적용하였다. 그리고 디지털 회로와 아날로그 회로 사이에서 생기는 노이즈를 최소화하기 위해 완전 차동 구조를 사용하

였으며 구현된 ADC는 12-bit의 해상도와 1 MSample/s의 속도를 가지고 1.8v 공급 전원으로 설계 되었다.

2. SAR ADC 구현

이 논문의 본문에서는 구현된 SAR ADC의 구조와 각 세부 블록들에 대한 설명을 하겠다. 그리고 전력 소비를 줄이기 위해 적용된 방법과 입력 신호의 범위를 늘이기 위한 방법에 대한 설명을 하겠다.

2.1 구현된 SAR ADC 구조

구현된 SAR ADC의 전체 회로는 그림 1에서 보듯이 c 제어 장치, SAR, 클럭 발생기, 비교기, 디지털 아날로그 변환기(DAC), 출력 레지스터 등으로 구성 되었다.

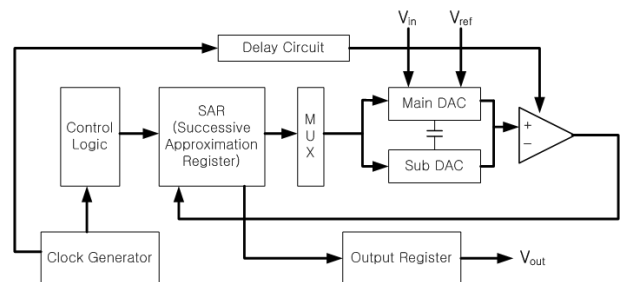


그림 1 12-bit SAR ADC 구조도
 Fig. 1 Block diagram of 12-bit SAR ADC

* 비회원 : 고려대학교 마이크로/나노협동과정 석사과정
 ** 비회원 : 고려대학교 전기전파공학과 석박통합과정
 *** 비회원 : 서경대학교 컴퓨터공학과 교수
 † 교신저자, 정회원 : 고려대학교 전기전파공학과 교수
 E-mail : sukikim@korea.ac.kr
 접수일자 : 2009년 12월 1일
 최종완료 : 2010년 1월 22일

전체적인 동작은 일반적인 SAR ADC의 동작과 같이 입력 신호를 제어 장치에 따라 동작하는 DAC의 출력과 비교하여 최종 디지털 출력을 찾아가는 방식이다. 적은 소비 전력과 면적을 위해서 DAC의 구조는 split capacitor array를 사용하였고, 노이즈를 줄이기 위해서 전체 동작은 완전 차동 모드로 동작을 하도록 설계 되었다. 샘플링 된 입력신호와 DAC의 출력을 비교하는 비교기에서는 오프셋의 영향을 줄이기 위하여 오프셋 제거 기법이 사용 되었다.

2.1.1 DAC 구조

SAR ADC의 해상도와 속도는 디지털 신호를 아날로그 신호로 바꾸어 주는 DAC의 해상도와 선형성에 의해 결정된다. 구현된 ADC에서 사용된 DAC 구조는 그림 2에서 볼 수 있듯이 split capacitor array 구조를 사용하였다. 이러한 구조를 택한 이유는 높은 해상도를 요구하는 DAC의 경우 binary weighted array 구조를 사용하였을 때, 축전지가 차지하는 면적이 매우 크고 이에 따라 DAC에서 소비하는 전력도 같이 커지기 때문이다.

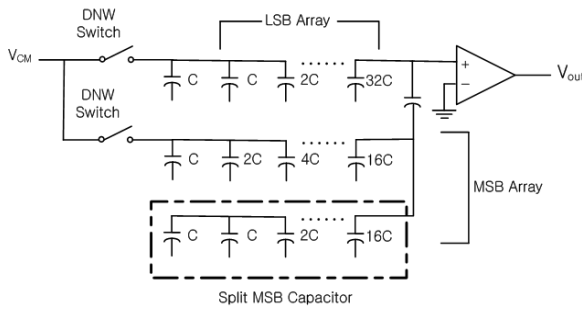


그림 2 split capacitor array DAC 구조
Fig. 2 Structure of split capacitor array DAC

12-bit과 같이 비교적 높은 해상도를 요구하는 DAC의 경우에 mismatch가 큰 영향을 주기 때문에 구현된 DAC에서는 축전지 열을 MSB(Most Significant Bit) 열과 LSB(Least Significant Bit) 열로 한 번만 분리하였다. 그리고 MSB 열에서 가장 큰 MSB 축전지를 뒤에서 설명할 charge recycling 방법을 적용하기 위하여 6개의 축전지로 분리 하였다.

2.1.2 비교기 구조

낮은 공급 전원에서 비교기 설계 시 가장 유의할 점은 오프셋의 영향이다. 구현된 ADC의 경우 1.8V의 공급 전압을 사용하였고 12-bit의 해상도를 가지고 있기 때문에 식 (1)에서 도 볼 수 있듯이 1 LSB에 해당하는 전압이 매우 작다.

$$V_{LSB} = \frac{V_{FS}}{2^N} = \frac{3.6}{2^{12}} = 880 \mu V \quad (1)$$

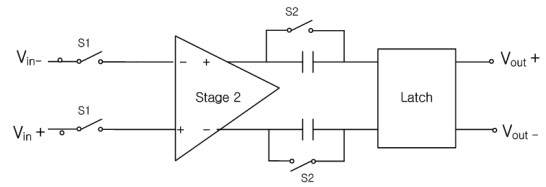


그림 3 출력 오프셋 저장 기법
Fig. 3 Output-offset storage technique

그렇기 때문에 구현된 ADC에서는 출력 오프셋 저장 기법을 사용하여 오프셋에 대한 영향을 줄였다. 이 기법은 오프셋 제거 방법으로 많이 쓰이는 방법으로 구현된 비교기의 경우 100mV 이하의 오프셋이 있을 때 1LSB에 해당 하는 전압을 판별할 수 있는 성능을 가지도록 설계되었다.

2.2 입력 신호 범위를 늘이기 위한 방법

높은 해상도를 요구하는 ADC에서 SNR의 향상을 위해서는 식(2)에서 알 수 있듯이 입력 신호의 범위가 가능한 커야한다.

$$SNR_{max} = \sqrt{\frac{V_{max}}{2\sqrt{2}V_n}} \quad (2)$$

하지만 구현된 ADC의 경우 DAC에서 split capacitor array 구조를 택하였고 입력 신호를 크게 하였을 때 그림 4에서 node2에서 누설 전류가 발생하는 문제가 생긴다. 예를 들어 입력 전압이 1.8V 일 때 샘플링 구간이 끝나고 node2에 연결된 축전지의 밑에 부분에 0V가 인가되면 node2의 전압은 음수 값을 가지는 -0.9V가 되어 샘플링에 쓰이는 스위치에 기판과 드레인과 소스 사이에 포워드 바이어스가 걸려 누설 전류가 생기게 된다.

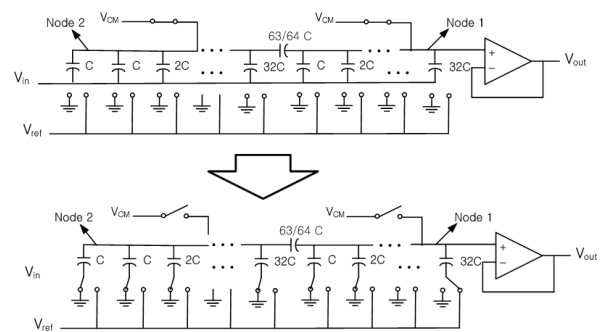


그림 4 누설 전류 발생의 문제점
Fig. 4 Problem of leakage current

이와 같은 문제를 해결하기 위해서 본 논문에서는 샘플링 스위치를 Deep N-well 공정을 사용하여 스위치의 벌크와 전체 기판의 벌크 사이의 전압을 다르게 씌우므로서 누설 전류의 발생을 최소화 할 수 있었다. 이 때 스위치의 벌크에 사용 된 전압은 -0.9V이고 전체 기판의 벌크에 사용된 전압은 0V이다.

2.3 전력 소모를 줄이기 위해 적용된 방법

전력 소모를 줄이기 위해서 사용된 방법은 크게 2가지가 있다. 첫째는 2007년, Journal of Solid State Circuit(JSSC)에서 발표된 charge recycling 방법이다[3]. 발표된 논문에서는 5-bit의 적은 해상도에서 구현되었기 때문에 제어 장치가 커지는 문제점이 크게 중요하지 않았다. 하지만 제안하는 ADC의 경우 높은 해상도를 요구하기 때문에 이 기법을 모든 비트에 적용할 경우 제어 장치가 커져 줄어드는 전력 소비보다 제어 장치에서 늘어나는 전력이 커지는 단점이 생긴다. 그래서 구현된 ADC에서는 전력이 가장 많이 소비되는 MSB 축전지에만 이 기법을 적용하여 전력을 줄일 수 있었다.

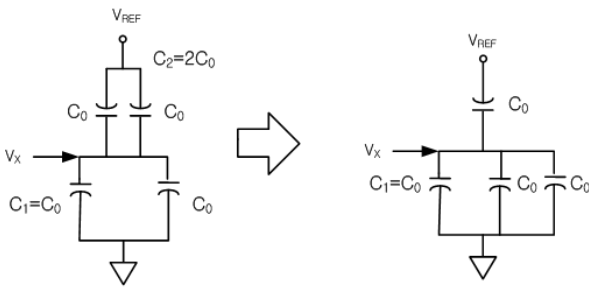


그림 5 2-bit DAC의 경우 down transition의 예시
Fig. 5 Example of down transition in case of 2-bit DAC

그림 5는 간단한 2-bit DAC를 통하여 charge recycling 방법을 나타내고 있다. 일반적인 경우 MSB의 bit가 '0'으로 결정이 되면 기준 전압에 연결되어있던 MSB 축전지가 다시 '0'에 연결되지만 적용된 방법에서는 MSB 축전지를 단위 축전지로 나누어 단위 축전지 중에서 하나의 축전지만 '0'으로 연결되기 때문에 전력소비를 줄일 수 있다.

2.4 모의 실험 결과

그림 6은 정적인 특성을 알아보기 위하여 입력 전압이 공급 전압과 같은 전압이 인가되었을 때 DAC 출력 파형을 나타낸 것이다. 이 때 ADC의 디지털 출력 값 '1000000000'이 나왔으며 완전 차동 모드로 동작하는 것을 알 수 있다.

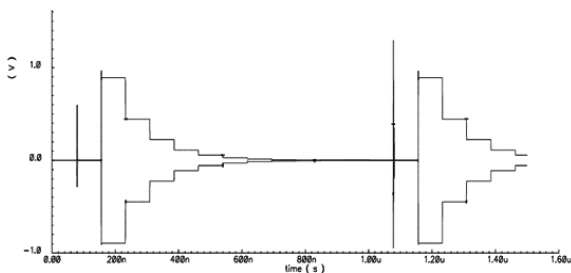


그림 6 DAC 출력 파형 (Vin=VDD)
Fig. 6 Output of the DAC (Vin=VDD)

그림 7은 구현된 ADC의 동적인 특성을 알아보기 위하여 입력 전압을 200KHz의 주파수를 가지는 구형파를 인가하였을 때 얻어지는 FFT 결과를 나타내고 있다. 이 경우 구현된 ADC는 80dB의 SFDR(Spurious-Free-Dynamic-Range)와 72dB의 SNDR값과 11.71bit의 유효 비트수(ENOB)값을 가졌다.

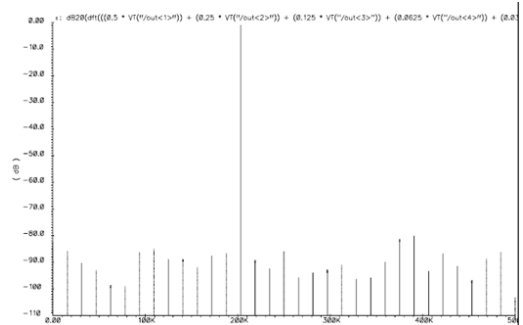


그림 7 FFT 결과 (Vin=VDD)
Fig. 7 FFT result (Vin= 200KHz)

2.4 레이아웃 결과

그림 8은 구현된 ADC의 레이아웃을 보여주고 있다. 설계된 변환기는 TSMC 0.18um 1Poly 6Metal 공정을 사용하였으며 변환기의 핵심부분의 면적은 0.6mm²이다.

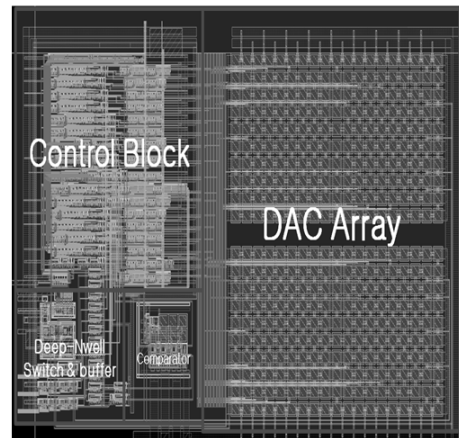


그림 8 구현된 A/D 변환기의 레이아웃
Fig. 8 Implemented A/D Converter Layout

3. 결 론

제안된 축차비교형 ADC는 12-bit의 해상도와 1 MS/s의 샘플링 주파수를 가진다. 이 변환기는 비교적 적은 소비 전력을 필요로 하는 휴대용 장치나 생물 의학용 장치에 사용될 수 있다. 적은 면적과 소비 전력을 위하여 구현된 ADC는 split capacitor array 구조를 사용하였으며 charge recycling 방법을 적용하였다. 그리고 입력 신호의 범위를 공급 전압의 범위와 같도록 하기 위하여 샘플링 스위치에 Deep N-well공정을 적용하여 누설 전류의 발생을 최소화하였다. 그림 9는 구현된 ADC의 칩 사진이고 전체적인 ADC의 성능은 표 1에 요약 하였다.

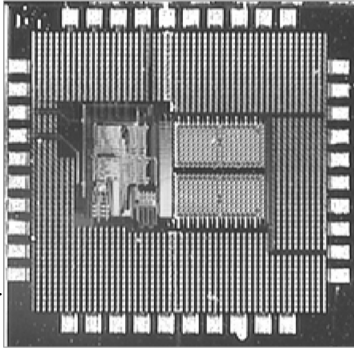


그림 9 구현된 A/D 변환기의 Chip micrograph
 Fig. 9 Chip micrograph of Implemented A/D Converter

표 1 구현된 ADC 성능 요약
 Table 1 Implemented ADC performance summary

Resolution	12 bit
Sampling Rate	1 MSample/s
Input swing	1.8 V _{p-p}
ENOB	11.7 bit @ Fin=200 KHz
SNDR	72 dB @ Fin=200 KHz
SFDR	80 dB @ Fin=200 KHz
Power Consumption	Analog part = 50 uW Digital part = 150 uW
Supply Voltage	1.8 V
Active Area	0.6mm ²
Technology	0.18um 1 Poly 6 Metal CMOS

감사의 글

본 연구는 IT-SOC와 반도체설계교육센터(IDEEC)의 지원을 받아 수행되었습니다.

참 고 문 헌

[1] Gilbert Promitzer, "12-bit Low-Power Fully Differential Switched Capacitor Noncalibrating Successive Approximation ADC with 1 MS/s," *IEEE J. Solid-State Circuits*, vol. 36, no. 7, pp. 176-179, Sept. 2000.

[2] B. Ginsburg and A. Chandrakasan, "An Energy-Efficient Charge Recycling Approach for a SAR Converter with Capacitive DAC," *Proc. IEEEISCAS*, vol.1, pp.184 - 187, May 2005.

[3] Brian P. Ginsburg, Student Member, IEEE, and Anantha P. Chandrakasan, "500-MS/s 5-bit ADC in 65-nm CMOS With Split Capacitor Array DAC," *IEEE J. Solid-State Circuits*, vol. 42, No. 4, Apr. 2007.

[4] Jeong-Sup Lee and In-Cheol Park, "Capacitor Array Structure and Switch Control for Energy-Efficient SAR Analog-to-Digital Converters," *Proc. IEEE*

ISCAS, vol.1, pp.236-239, May 2008

[5] Rudy van de Plassche, "CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters 2nd Edition," Kluwer Academic Publishers, pp.1-105, pp.244-254.

저 자 소 개



김 두 연 (金斗淵)

1982년 6월 13일생. 2008년 고려대 전자전기전과공학과 졸업. 2008년~현재 동 대학원 마이크로/나노 협동과정학과 석사과정 재학

Tel : 82-2-927-1495

Fax : 82-2-927-1495

E-mail : dykim@ulsi.korea.ac.kr



정 재 진 (鄭在珍)

1981년 2월 13일생. 2004년 고려대 전자전기전과공학과 졸업. 2004년 동 대학원 전자컴퓨터공학과 석박사통합과정 재학

Tel : 82-2-927-1495

Fax : 82-2-927-1495

E-mail : jjjung@ulsi.korea.ac.kr



임 신 일 (林信一)

1957년 4월 2일생. 1995년 서강대 박사 졸업. 1995년~현재 서경대학교 컴퓨터공학과 교수

Tel : 02-940-7183

Fax : 02-940-7183

E-mail : silim@skuniv.ac.kr



김 석 기 (金錫基)

1949년 1월 8일생. 1973년 고려대 전기공학과 졸업. 1976년~1979년 University of Minnesota 전기공학과 석사 졸업. 1979년~1980 University of Minnesota 전기 공학과 박사. 1995년~현재 고려대학교 정교수.

Tel : 82-2-927-1495

Fax : 82-2-927-1495

E-mail : skkim@silicomtech.com