

## 技術論文

DOI:10.5139/JKSAS.2010.38.4.389

## 고속 데이터 처리를 위한 과학기술위성 3호 대용량 메모리 유닛의 개념 설계

서인호\*, 오대수\*, 명로훈\*

### The Conceptual Design of Mass Memory Unit for High Speed Data Processing in the STSAT-3

In-Ho Seo\*, Dae-Soo Oh\* and Noh-Hoon Myung\*

#### ABSTRACT

This paper describes the conceptual design of mass memory unit for high speed data processing and mass memory management in the STSAT-3 compared to that of STSAT-2. The FPGA directly controls the data receiving from two payloads with the maximum 100Mbps speed and 32Gb mass memory management to satisfy these requirements. We used SRAM-based FPGA from XILINX having fast operating speed and large logic cells. Therefore, the Triple Modular Redundancy(TMR) and configuration memory scrubbing techniques will also be used to protect FPGA from Single Event Upset(SEU) in space.

#### 초 록

본 연구에서는 과학기술위성 2호와 비교했을 때 고속의 데이터를 처리하고 대용량의 메모리를 관리해야 하는 요구사항을 만족하기 위한 과학기술위성 3호 대용량 메모리 유닛의 설계 내용에 대해서 나타내었다. 이러한 요구사항을 만족하기 위해서, 두 개의 탑재체에서 각각 최대 100Mbps로 수신되는 데이터와 32Gb의 대용량 메모리를 처리하고 관리하는 역할을 FPGA가 직접 담당 하도록 설계하였다. 사용된 FPGA는 동작 속도가 빠르고 게이트 수가 많은 SRAM 기반의 Xilinx FPGA로써 우주 환경에서의 SEU를 극복하기 위해서 TMR 기법과 스크리빙 기법을 적용하고자 한다.

**Key Words** : MMU(대용량 메모리 유닛), TMR, FPGA, SpaceWire( )

#### 1. 서 론

한국과학기술원 인공위성연구센터(SaTReC, KAIST)에서는 과학기술위성 1호와 2호의 개발 경험을 바탕으로 과학기술위성 3호(STSAT-3)를 개발하고 있다.

과학기술위성 3호에는 근적외선(1~2 um)의 파

장 대역에서의 우주 관측 및 지구 관측을 위한 적외선 영상시스템(MIRIS, Multi-purpose IR Imaging System)의 주탑재체와, 부탑재체로써 다방향 분광 영상을 이용한 지구관측을 위한 초소형 영상분광기(COMIS, Compact Imaging Spectrometer)를 탑재하고 있다. 이때, 탑재체에서 관측한 데이터를 저장하고 관리하며 지상으로 전송하는 역할을 하는 대용량 메모리 유닛(MMU, Mass Memory Unit)은 과학기술위성 2호와 비교했을 때 대용량 및 빠른 전송 속도를 요구하고 있다.

† 2009년 8월 20일 접수 ~ 2010년 2월 25일 심사완료

\* 정회원, 한국과학기술원 인공위성연구센터  
교신저자, E-mail : inho@satrec.kaist.ac.kr  
대전시 유성구 구성동 373-1

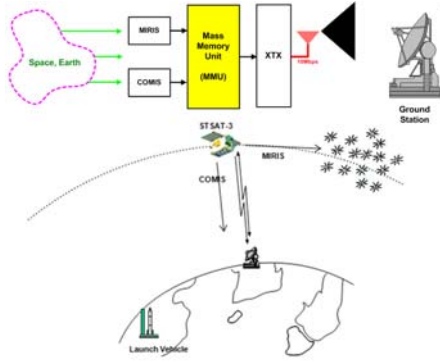


그림 1. MMU의 운용 개념도

따라서 본 연구에서는 고속의 데이터 처리를 요구하는 탑재체의 요구사항을 만족하기 위한 과학기술위성 3호 MMU의 개념 설계 내용을 나타내었다.

그림 1에 과학기술위성 3호 MMU의 운용 개념도를 나타내었다. 그림에서 보는 바와 같이 탑재체에서 관측된 데이터는 MMU의 대용량 메모리에(32Gb) 저장되어 지상국으로 전송되기 전까지 관리된다. 이때, 주부 탑재체에서 MMU로 전송하는 관측 데이터는 각각 최대 100Mbps이며 지상국으로는 10Mbps의 전송 속도를 가지고 있다. 따라서 MMU는 이러한 요구사항을 만족하기 위해서, 동시에 전송되는 각각의 탑재체의 데이터를 수신하여 처리할 수 있어야 하며 또한 이 순간에도 지상국으로 데이터를 전송할 수 있도록 설계 되어야 한다. 이러한 요구사항은 과학기술위성 2호의 MMU처럼 CPU에서 데이터의 송수신과 대용량 메모리를 관리하는 하드웨어 설계 구조에서는 만족하기 어렵다. 따라서 과학기술위성 3호 MMU에서는 FPGA가 직접 탑재체 데이터를 송수신하고 대용량 메모리를 관리하는 역할을 하도록 설계를 변경 하였다.

사용된 FPGA는 SRAM 기반의 Xilinx FPGA로써 특히 우주 환경에서의 SEU를 극복하기 위해서 TMR 기법과 FPGA의 내부 구성 메모리를 스크러빙하는 기법을 사용하여 FPGA를 보호하고자 한다. 또한 SpaceWire 인터페이스를 OBC(On-Board Computer)와의 통신에 적용함으로써 핵심 우주 원천 기술을 확보 하고자 한다. MMU는 과학기술위성 1호와 비교했을 때 소형화, 경량화 및 저전력화에 중점을 두었으며, 과학기술위성 2호와 비교했을 때 채널당 약 500배 빠르며 탑재체가 2개 이므로 약 1000배 이상 빠른 데이터 처리 속도 요구하고 있다. 따라서 본 연

표 1. MMU의 사양 비교

ITEM	STSAT-2	STSAT-3	비고
Processor	PowerPC 860	FPGA Processing	
FPGA	Actel RT54SX72S	Xilinx V4LX100	
Mass Memory Size	2Gb	32Gb	16배 증가
Payload Data Rx Rate	200Kbps	100Mbps (max)	500배 증가
Payload Data Downlink Rate	10Mbps	10Mbps	
Mass Memory EDAC	Scrubbing	S/W RS(207,187)	H/W RS(10,8)
	Downlink	S/W RS(207,187)	H/W RS(255,223)
Serial Port	UART : 2	UART : 2 SpaceWire : 1	
Power Consumption	3W @ 5V	15W @ 5V	DC-DC 사용

구를 통해서 고속의 데이터 처리와 관련된 원천 기술을 확보할 수 있을 것으로 예상된다.

## II. 본 론

### 2.1 과학기술위성 2호와 3호 MMU의 사양 비교

표 1에 과학기술위성 2호와 3호 MMU의 사양을 비교 하였다. 서론에서 소개한 바와 같이 대용량 메모리는 32Gb로써 16배 증가 하였으며, 두 개의 탑재체로부터의 데이터 수신 속도는 각각 100Mbps로써 최대 1000배까지 빨라졌다. 또한 대용량 메모리의 EDAC(Error Detection And Correction)용으로 RS(10,8) 코드를 사용하고 지상국으로 데이터를 전송할 때에는 RS(255,223) 코드를 적용하여 대용량 메모리에서 발생하는 SEU와 지상국으로 데이터를 전송할 때 발생하는 에러를 극복할 수 있도록 하였다. 이 두가지 기능은 FPGA에서 H/W로 개발되어 2호때 S/W로 처리할 때 보다 빠르게 데이터를 처리할 수 있도록 보완 하였다. 또한 OBC와의 통신에는 저속의 UART와 함께 최근 유럽 ESA(European Space Agency)의 표준으로 채택되어 우주개발 프로그램에 적용되고 있는 고속의 SpaceWire 인터페이스를 추가 하였다. 마지막으로, 사용된 FPGA는 Actel FPGA에서 Xilinx FPGA로 변경 되었다. Actel FPGA는 Anti-fuse 타입의 FPGA로써 SRAM 기반의 Xilinx FPGA보다 우주환경에서의 SEU에 강인하다. 그러나 Xilinx FPGA와 비교할 때 게이트수가 작으며 한 번 밖에 프로그램할 수 없다는 단점이 있다. 또한 과학기술위성 2호의 개발 경험에 의하면, FPGA의 프로그램이 실패했을 경우에 시뮬레이션에서 발견할 수 없는 문제점들이 있어서 원인 분석이 어려우므로 FPGA의 사용량이 늘어나게 되면 개발 비용의 증가를

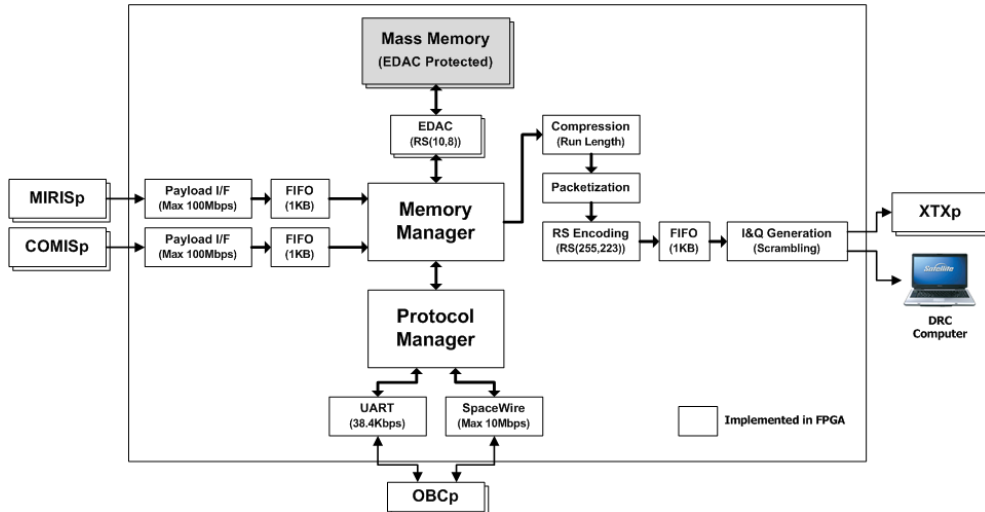


그림 2. MMU의 구성도

가져온다. 따라서 동작 속도가 빠르고 게이트 수도 많으며 재프로그램이 가능한 Xilinx FPGA를 사용하고 추가적으로 고려해야 하는 SEU는 TMR과 내부 구성 메모리의 스크러빙을 통해서 완화 시키고자 한다.

2.2 내부 구성도

그림 2에 과학기술위성 3호 MMU의 구성도를 나타내었다. 크게 Memory Manager와 Protocol Manager로 구분할 수 있다. Memory Manager는 탑재체 데이터의 저장 및 송수신 그리고 메모리 관리를 담당하며 Protocol Manager는 탑재 컴퓨터(On-Board Computer, OBC)와의 통신에 의한 명령 처리를 담당한다.

따라서 Memory Manager는 탑재체에서 수신한 데이터를 메모리에 저장 및 관리하게 되며 Protocol Manager에서 오는 탑재 컴퓨터의 명령에 의해 지상으로 데이터를 전송하게 된다.

이때 메모리는 읽기/쓰기를 동시에 진행할 수 없으므로 지상으로 데이터를 전송하는 동안에도 탑재체의 데이터를 수신하여 메모리에 저장할 수 있도록 하기 위해서 FIFO(First In First Out)를 이용하여 버퍼링한 후에 메모리에 저장될 수 있도록 하였다.

데이터를 지상으로 전송할 때는 Run-Length 무손실 압축 알고리즘을 사용하여 데이터를 압축한 후에 정해진 프로토콜에 의해서 일정 크기의 데이터 단위로 다시 변경된다. 이 데이터는 다시 RS(255,223)를 거친 후에 QPSK(Quadrature Phase

Shift Keying)의 I&Q 신호로 변환되어 XTX(X-band Transmitter)로 전송되며 I, Q의 각 채널은 5Mbps의 전송 속도를 갖는다. 이때에도 데이터를 XTX로 전송하는 속도보다 데이터를 생성하는 속도가 빠르므로 FIFO를 이용하여 버퍼링될 수 있도록 하였다.

따라서 그림 2에서 보는 바와 같이 대용량 메모리를 제외한 나머지 기능들은 거의 모두 FPGA로 구현된다[1]. 그러므로 FPGA는 가장 핵심이 되는 중요한 부품 중의 하나로써 우주 환경에서의 SEU를 보완하기 위해서 TMR로 보호하고 내부 구성 메모리를 계속적으로 스크러빙하는 두가지 방법을 동시에 적용 하고자 한다. 이때 Xilinx FPGA의 내부 구성메모리를 계속적으로 스크러빙하기 위한 FPGA는 SEU에 강하며 검증된 Actel FPGA를 사용 하고자 한다. 이러한 방법은 표.2에 나타낸 바와 같이 개발비용과 SEU 보완 방법을 같이 비교했을 때 가장 효과적인 방법이다.

2.3 고속 데이터 수신 및 저장

MIRIS와 COMIS의 탑재체는 각각 최대 100Mbps의 속도로 MMU에 데이터를 전송한다. 따라서 MMU는 최대 200Mbps로 수신되는 데이터를 메모리에 저장할 수 있어야하며 각각의 탑재체의 데이터를 구분하여 관리해야 한다. 이것은 과학기술위성 2호 MMU와 같이 CPU에서 메모리를 관리하는 하드웨어 구조[2]에서는 거의 불가능하다. 따라서 이러한 요구조건을 만족하기

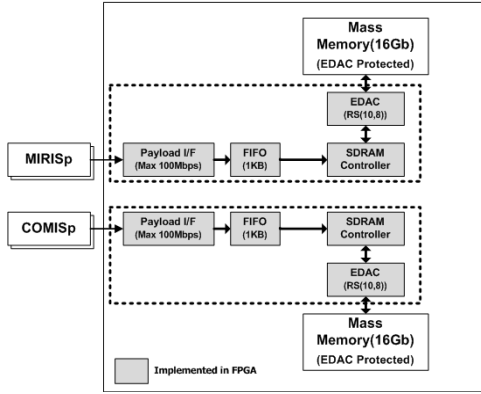


그림 3. 탑재체 데이터 수신 및 저장

표 2. Xilinx FPGA의 SEU 완화 방법

Mitigation Scheme	Mitigation Strength	Board Layout Complexity	Ease in Meeting Timing Constraints	Power Consumption	Component Cost
No mitigation (power cycling)	Weak	Low	Normal	Typical	Low
XTMR	Medium	High	Reduced	~3X typical	Low
Configuration management (scrubbing)	Medium	Low	Normal	Typical	Medium
XTMR + Configuration management	Strong	High	Reduced	~3X typical	Medium
Redundant devices + configuration management	Strongest	Medium	Normal	2~4X typical	High

위한 하드웨어 구조를 그림 3에 나타내었다. 그림에서 보는바와 같이 대용량 메모리를 포함하여 각각의 탑재체용 데이터 수신부와 메모리 제어기를 따로 두어서 서로 독립적으로 동작할 수 있도록 하였다. 이것은 과학기술위성 2호와 MMU와 비교한다면 CPU를 두 개 사용하는 것과 똑같은 개념이며 3호에서는 FPGA가 메모리를 관리하므로 이와 같은 구조가 가능하다. 따라서 원래는 두 개의 탑재체에 대해서 최대 200Mbps의 수신 속도를 만족해야 하지만 이러한 기법을 사용하면 각각의 메모리 제어기는 100Mbps로 수신되는 탑재체의 데이터만 메모리에 저장하면 된다. 또한 탑재체에서 데이터를 수신하는 인터페이스는 과학기술위성1호와 2호에서 사용된 방법과 동일한 방법을 사용 하였으며[3] 실제로 데이터를 전송하는 물리계층에서는 LVDS(Low Voltage Differential Signaling)[4] 인터페이스에 사용 하였다. 탑재체에서 수신하는 직렬 데이터는 16비트 단위이며 이를 구분하는 Strobe 신호가 있다. 따라서 MMU는 수신한 16비트의 직렬 데이터를 병렬 데이터로 변환해서 메모리에 저장하며 16비트마다 Strobe 신호를 확인하여 정상적인 데이터인지 확인한다.

이때 100Mbps는 고속이므로 두 개의 전선 하나 하나의 쌍을 이루는 Shielded Twisted Pairs 케이블을 사용 하였다.

### 2.4 메모리 동작 속도 결정

MMU에 사용되는 대용량 메모리는 과학기술 위성 2호에서도 사용된 경험이 있는 3D-PLUS사의 SDRAM[3]을 사용하고자 하며 4Gb SDRAM 8개로 32Gb를 구성하고 EDAC용으로 2개의 SDRAM을 더 사용하고자 한다. 이때 MMU에서 전력을 가장 많이 사용하는 부품은 메모리 이므로 SDRAM을 동작시키기 위한 클럭 속도는 MMU의 전력 소모량을 결정하는 중요한 요소이다. 따라서 클럭 속도를 낮추기 위해서 64비트 데이터 버스를 사용하고자 한다. 그러면 100Mbps로 수신되는 데이터는 64비트의 병렬 데이터로 변환 되었을 때 매 1.5625Mhz마다 메모리에 저장할 수 있으면 된다. 따라서 20Mhz의 클럭을 사용하면 요구하는 시간보다 12배 정도 빠르므로 SDRAM의 쓰기와 읽기에 요구되는 시간, 메모리 충전시간, 뱅크 변경시 요구되는 시간 등을 충분히 만족할 수 있을 것으로 예상된다. 이때 수신 데이터 저장, 메모리 Scrubbing과 메모리 충전에 대한 우선권은 메모리 충전, 수신 데이터 저장 그리고 메모리 Scrubbing의 순서로 정하였다. 따라서 수신된 데이터를 메모리에 저장하는 중에 메모리를 충전해야 하는 시간이 되면 이 작업을 먼저 수행한 후에 다시 메모리에 저장하는 작업을 하게 되며 탑재체의 데이터를 수신하지 않는 여유 시간에 메모리 Scrubbing을 하게 된다. 데이터 저장, 실제 시험에 의하면 20Mhz로 SDRAM을 동작 시켰을 때 16Gb의 메모리에 데이터를 쓰고 읽는데 소요되는 시간은 각각 56초와 97초이며 100Mbps로 수신되는 데이터는 계산에 의하면 163초가 소요되므로 20Mhz를 SDRAM의 동작 속도로 결정 하였다. 과학기술위성 2호 MMU에서도 20Mhz로 SDRAM을 동작 시켰지만 CPU에 의한 지연시간 때문에 200Kbps로 수신되는 탑재체의 데이터를 수신할 수 있었다. 이와 비교 한다면 과학기술위성 3호에서는 FPGA가 직접 메모리를 제어하므로 전력 소모량을 크게 줄일 수 있을 것으로 예상된다.

### 2.5 스페이스 와이어 인터페이스

스페이스와이어(SpaceWire)[5]는 IEEE 1355 표준[6]을 바탕으로 1999년에 만들어졌다. 10m 정도의 거리에서 2M~400Mbps의 직렬 통신을 가능하게 해주는 인터페이스로 2003년에 유럽의 ESA 표준(ECSSE-50-12A)으로 채택되었으며 ESA, NASA 그리고 JAXA의 우주개발 프로그램에도 적용 되었다. 물리 계층에서는 LVDS를 적용하여 송신기의 소비 전력이 상당히 적으며, 고

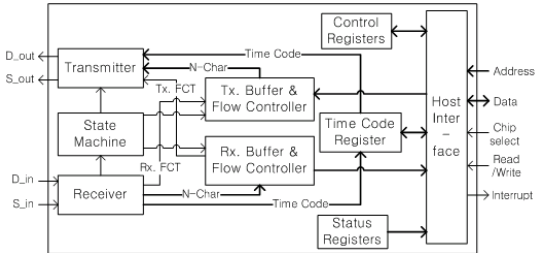


그림 4. 스페이스와이어 블록 다이어그램

속 전송이 가능하다. 그리고 네트워크 구성이 용이하며 가변 크기의 패킷을 지원한다. 따라서 향후 국내 우주 개발 프로그램의 적용을 목표로 MMU와 OBC의 통신에 적용하여 10Mbps의 속도에서 사용할 예정이다.

2.6 데이터 압축 방법

과학기술위성 3호의 탑재체인 MIRIS와 COM-IS는 압축된 후에 원래의 데이터로 복원이 가능해야 하며 똑같은 데이터가 자주 반복된다. 따라서 비손실 압축 방법 중에서 압축율은 낮지만 반복성이 높은 탑재체 데이터의 특성을 고려하고 구현이 쉬운 Run-Length 비손실 압축 방법을 사용하고자 한다. 비손실 압축이라고 하더라도 압축의 특성상 압축율이 높은 상용의 압축 방법은 압축된 데이터에 오류가 있으면 복구가 불가능하다. 그러나 Run-Length 압축은 오류가 발생한 부분을 제외한 나머지 부분은 복구가 가능하다는 장점이 있다. 또한 지상으로 데이터를 전송할 때 발생할 수 에러를 복구하기 위해서 RS(255,223) 코드를 적용하여 에러를 복구 하고자 한다. 그럼에도 불구하고 지상국에서 수신한 데이터에 오류가 많을 경우에는 압축과 비압축의 기능을 두어서 압축 기능을 사용하지 않도록 할 예정이다. 이때 데이터의 전송은 무압축을 기본으로 하며 위성 운용을 통해서 수신한 데이터의 상태에 따라서 필요한 경우 압축 기능을 사용할 계획이다.

2.7 에러 복구 방법

과학기술위성 2호 MMU에서는 대용량 메모리에 대한 에러 복구 방법으로 RS(207,187) 코드를 사용 하였다. 따라서 탑재체에서 수신된 데이터는 일단 메모리에 저장된다. 그리고 탑재체에서 데이터를 수신하지 않는 시간에 RS 코드로 다시 변환되며 메모리 스크러빙 작업도 병행해서 수행된다. 따라서 메모리에 데이터를 저장할 때와 스크러빙 작업을 수행할 때 RS 코드로 변환 또는 복원하는데 시간이 많이 소요된다. 따라서 과학

기술위성 3호 MMU에서는 여분의 메모리를 추가하고 RS(10,8) 코드를 적용하여 지연 없이 메모리 쓰기/읽기가 가능 하도록 하였다. 따라서 메모리 스크러빙 속도가 빠르며 특히 100Mbps로 수신되는 탑재체의 데이터를 메모리에 저장할 때 지연시간이 없도록 하였다. 또한 지상국으로 데이터를 전송할 때는 CCSDS(Consultative Committee for Space Data Systems)의 표준인 RS(255,223) 코드를 적용하여 데이터 전송중에 발생할 수 있는 오류를 복구할 수 있도록 하였다.

2.8 시뮬레이션 및 시험 결과

그림 5에 고속의 데이터 처리를 위해서 VHDL로 개발된 SDRAM 제어기의 시뮬레이션 결과를 나타내었다[7]. 빠른 동작을 위해서 8-Burst 모드를 사용 하였으며 그림에서 보는 바와 같이 8번 연속으로 쓰고 읽었을 경우에 문제가 없음을 알 수 있으며 주기적인 메모리 충전도 진행됨을 알 수 있다.

그림 6은 시뮬레이션 결과를 바탕으로 상용의 Xilinx 보드에 Daughter 보드 형태로 SDRAM을 장착하여 동작을 확인한 결과이다[7]. 주기적으로 증가하는 데이터를 메모리에 쓴 후 다시 읽어서 확인한 결과를 RS-232 통신 포트를 이용하여 PC



그림 5. SDRAM 제어기의 시뮬레이션 결과

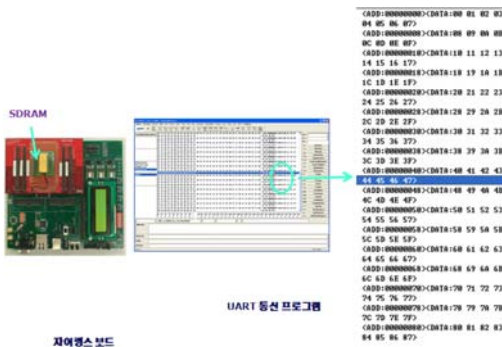


그림 6. SDRAM 제어기의 시험 결과

상에서 확인한 결과를 나타낸다. 본 시험을 통해서 시뮬레이션 결과를 바탕으로 개발된 SDRAM 제어기가 잘 동작함을 확인 하였다.

### III. 결 론

본 논문에서는 고속의 데이터를 처리해야 하는 과학기술위성 3호 MMU의 개념 설계 결과를 과학기술위성 2호 MMU와 비교하여 나타내었다. CPU를 FPGA로 대체함으로써 저전력화와 고속의 데이터 처리가 가능 하도록 하드웨어를 설계 하였다. 결과적으로 20Mhz로 메모리를 동작 시켰을 때 과학기술위성 2호때에는 200Kbps로 데이터를 수신할 수 있었지만 과학기술위성 3호에서는 100Mbps의 두채널의 데이터를 동시에 수신할 수 있도록 하였다. 또한 게이트 수가 많으며 동작 속도가 빠른 SRAM 기반의 Xilinx FPGA를 사용하고 우주환경에서의 SEU에 대비하기 위해서 TMR과 내부 구성 메모리를 스크러빙하는 기법을 이용하고자 한다. 고속의 데이터 처리를 위해서 VHDL로 개발된 SDRAM 제어기의 시뮬레이션 결과를 바탕으로 실제 시험한 결과 SDRAM 제어기가 정상적으로 동작함을 확인 하였다.

### 후 기

본 연구논문은 교육과학기술부 과학기술위성 3호 개발사업의 예산지원을 받아 작성되었습니다.

### 참고문헌

- 1) 서인호, 오대수, “과학기술위성 3호 대용량 메모리 유닛의 인증모델 설계 및 구현”, 한국항공우주학회지, 제37권 제12호, pp. 195-201, 2009.
- 2) 서인호, 이종주, 박홍영, 오대수, 최명진, 유상문, 방효충, 유영호, “과학기술위성 2호 대용량 메모리 유닛 준비행모델 설계 및 구현”, 한국항공우주학회지, 제36권 제2호, pp. 195-201, 2008.
- 3) 서인호, 유창완, 남명룡, 방효충, “과학기술위성 2호 대용량 메모리 유닛 시험모델 설계 및 구현”, 한국항공우주학회지, 제33권 제11호, pp. 115-120, 2005.
- 4) IEEE Standard for Low-Voltage Differential Signals(LVDS) for Scalable Coherent Interface(SCI), IEEE Standard 1596.3.3) SpaceWire-Links, nodes, routers and networks, ECSS-E-50-12A 2003.
- 5) SpaceWire-Links, nodes, routers and networks, ECSS-E-50-12A 2003.
- 6) IEEE Standard for Heterogeneous Interconnect(HIC), IEEE Standard 1355-1995.
- 7) 서인호, 오대수, 이종주, 박홍영, 김형명,곽성우, 이현재, 방효충, “과학기술위성 3호 대용량 메모리 유닛 개념 설계”, 한국항공우주학회 추계 학술대회, pp. 1655-1658, 2007.