

# Ge 기판 위에 HfO<sub>2</sub> 게이트 산화물의 원자층 증착 중 In Situ 질소 혼입에 의한 전기적 특성 변화

김우희 · 김범수 · 김형준\*

연세대학교 전기전자공학부, 서울 120-749

(2009년 12월 1일 받음, 2009년 12월 23일 수정, 2010년 1월 4일 확정)

Ge은 Si에 비하여 높은 이동도를 갖기 때문에 차세대 고속 metal oxide semiconductor field effect transistors (MOSFETs) 소자를 위한 channel 물질로서 각광받고 있다. 그러나 화학적으로 안정한 게이트 산화막의 부재는 MOS 소자에 Ge channel의 사용에 주요한 장애가 되어왔다. 특히, Ge 기판 위에 고품질의 계면 특성을 갖는 게이트 절연막의 제조는 필수 요구사항이다. 본 연구에서, HfO<sub>x</sub>N<sub>y</sub> 박막은 Ge 기판 위에 플라즈마 원자층 증착법(plasma-enhanced atomic layer deposition, PE-ALD)을 이용하여 증착되었다. 플라즈마 원자층 증착과정 동안에 질소는 질소, 산소 혼합 플라즈마를 이용한 in situ 질화법에 의하여 첨가되었다. 산소 플라즈마에 대한 질소 플라즈마의 첨가로 성분비를 조절함으로써 전기적 특성과 계면 성질을 향상시키는데 초점을 맞추어서 연구를 진행하였다. 질소 산소의 비가 1 : 1이었을 때, EOT의 값의 10% 감소를 갖는 고품질의 소자 특성을 보여주었다. X-ray photoemission spectroscopy (XPS)와 high resolution transmission electron microscopy (HR-TEM)를 사용하여 박막의 화학적 결합 구조와 미세구조를 분석하였다.

주제어 : Ge, HfO<sub>x</sub>N<sub>y</sub> 게이트 절연막, 원자층 증착법, In situ 질화법, 전기적 특성

## I. 서 론

전자 산업의 발달과 함께 핵심 부품인 집적 회로의 고집적화에 대한 요구가 증가하고 있어, MOS 트랜지스터의, 극 소형화에 대한 연구가 중요하다. 이러한 소자의 scaling에 따라 기존에 게이트 절연막으로 사용해 왔던 SiO<sub>2</sub> 박막은 현재 소자의 게이트 길이와 두께가 한계치에 도달했으며, 이 이상 축소를 할 경우 게이트의 누설 전류(gate leakage current)가 증가하는 현상을 보이므로 이러한 요구를 충족시키기에는 더 이상 적합하지 못하다 [1]. 따라서 보다 더 두꺼운 두께에서도 SiO<sub>2</sub> 이상의 capacitance를 가지며 누설전류가 적은 고유전율 절연막이 이러한 고집적화에서의 새로운 소재로서 주목을 받고 있다 [2]. 이러한 고유전율 재료로는 Si<sub>3</sub>N<sub>4</sub> [3], TiO<sub>2</sub> [4,5], Ta<sub>2</sub>O<sub>5</sub> [6], Al<sub>2</sub>O<sub>3</sub> [7] 등이 연구 되어 왔으나, 일반적으로 이러한 고유전율 물질들은 낮은 bandgap을 갖고 기판과의 계면에서 결합이 증가하는 등의 단점을 나타내고 있다 [8]. 하지만 HfO<sub>2</sub>는 다른 고유전율 물질들에 비해 열역학적으로 안정하며, 비교적 큰 bandgap과 트랜지스터로서 적당한 band offset을

가지고 있다. 또한 Si 등의 기판에 성장시킬 때 silicide가 생기지 않는 우수한 열적 안정성을 나타내고 있어, 차세대 절연막으로 많은 연구가 이루어지고 있다 [1,9,10].

Silicon (Si)은 매우 안정된 자연 산화막을 가지고 있는 특성으로 인해 현대 전자 산업에 있어서 가장 중요한 반도체 재료로 이용되어 왔다. 그러나 초고속의 소자가 요구됨에 따라 Si에서의 상대적으로 낮은 이동도를 극복하기 위한 다양한 시도가 이루어지고 있으며, 특히 상대적으로 높은 이동도를 가지고 있는 Ge (Germanium)이 새로운 대안으로 제시되고 있다 [11,12]. Ge의 경우 전자의 mobility는 3,900 cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup>, 홀의 mobility는 1,900 cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup>로 Si의 전자와 홀의 mobility인 1,500 cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup>, 450 cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup>에 비해 월등히 큰 수치를 보여주고 있다. 이러한 장점에도 불구하고, Ge의 경우 Si에 비해 산화막의 열역학적 안정성이 매우 낮은 단점을 가지고 있기 때문에 고집적화 된 소자를 형성하는 데 어려움을 보여 왔다. 최근에 GeO<sub>x</sub>가 아닌 다른 high k 물질을 증착하여 Ge 기반 소자의 게이트 절연막을 형성하는 연구가 활발히 진행되고 있다. 널리 연구되고 있는 방법은 thermal nitridation 또는

\* [전자우편] hyungiun@yonsei.ac.kr

plasma anodic nitridation을 통해 Ge 산화막을 Ge 질화 산화막으로 형성한 후 그 위에 고유전율 산화물을 증착하는 하는 방법이 연구되고 있다 [13-15]. 이 방법을 통해 GeO<sub>x</sub>에 비해 많이 향상된 특성을 얻을 수 있었지만 아직 interface state가 약  $2 \times 10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$ 로 매우 큰 값을 보여주고 있어 많은 향상이 필요하다 [16].

최근 고유전율 박막을 증착하기 위해 가장 많이 연구되는 방법이 바로 원자층 박막 증착법(atomic layer deposition, ALD)이다. 원자층 증착은 화학적 증착법의 발전된 형태로 볼 수 있다. 일반적인 화학적 증착법의 경우 각 반응체가 동시에 증착 장비로 주입되어 기상 반응과 더불어 표면반응이 함께 진행되는 반면, 원자층 증착의 경우는 순차적인 반응체의 주입을 통해 기상반응을 억제하고 기판 표면에 자기 제한적인 흡착 과정(self-limited adsorption)을 통한 표면 반응에 의해 증착이 진행된다. 전체 증착 되는 막의 두께는 증착 사이클의 수를 통해 조절되기 때문에 원자층 단위에서의 두께 조절이 용이하다는 장점이 있다. 최근, 플라즈마 원자층 증착(plasma-enhanced atomic layer deposition, PE-ALD) 공정 중 질소와 산소를 동시에 주입하는 in situ 질화법을 통해 Si 기판위에 고 유전율 게이트 산화막의 전기적 특성을 향상시킨 사례가 보고되기도 하였다 [17]. 그러나 이러한 공정이 Ge 기판 위에 적용된 사례는 없었다.

본 연구에서는 Ge 기판에 게이트 산화막 형성 시 질화공정의 필요성에 근거하여, in situ 질화법을 Ge 기판에 적용하여 전기적 특성의 향상에 관한 연구를 진행하였다. 특히 기존에 PE-ALD를 이용하여 산화물 박막을 Ge에 증착시켜 특성을 관찰한 연구가 거의 전무하여 본 연구에서는 질소의 영향과 더불어 PE-ALD로 증착한 HfO<sub>2</sub>의 특성 및 물성에 관한 연구도 동시에 진행하였다. 즉, PE-ALD 기법을 통해 Ge 기판 위에 HfO<sub>2</sub>의 증착 과정에서 질소를 in-situ로 도핑하는 공정을 확립하고 XPS (X-ray photoelectron spectroscopy)와 HR-TEM (high resolution transmission electron microscope)을 통한 화학적, 구조적 분석과 C-V (Capacitance-voltage)와 I-V (current-voltage) 측정을 통해 전기적 특성을 평가하였다. 이러한 실험적 결과를 바탕으로, 기존에 Si 기판의 경우에 보고된 in situ 질화법에 의한 게이트 산화막의 성능 향상과 비교하여 Ge 기판에서의 결과를 논의하였다.

## II. 실험방법

본 연구에 사용된 PE-ALD system은 다음과 같다. Main chamber는 turbo molecular pump에 의해  $10^{-7}$  Torr의 기본 진공을 유지하며 8 inch 크기의 sample을 적재할 수 있다. Hf precursor로 사용된 TDMAH [Tetrakis(dimethylamino) hafnium]는 stainless steel bubbler 안에 담겨 있으며, 상온(27°C)에서 적절한 증기압을 발생시킨다. Ar은 main chamber의 위쪽에 설치되어 있는 MFC (Mass Flow Controller)로 carrier gas와 purging gas로 작용할 때 필요한 양을 제어하여 사용한다. 그리고 질소와 산소의 유량 역시 MFC로 제어하여 사용하였는데 각 실험마다 성분비와 질량을 달리하였다. 질소를 전혀 섞지 않은 샘플 #1의 경우 O<sub>2</sub>만 흘려줬으며 (F<sub>N<sub>2</sub></sub>=0), 샘플 #2의 경우 N<sub>2</sub>와 O<sub>2</sub>의 비가 1 : 1 (F<sub>N<sub>2</sub></sub>=1), 샘플 #3의 경우 N<sub>2</sub>와 O<sub>2</sub>의 비가 2 : 1 (F<sub>N<sub>2</sub></sub>=2)을 이루게 하였다. 박막의 성장 온도는 250°C였으며, 각 단위 사이클당 성장물은 산소에 대한 질소의 함량에 관계 없이 1.3 Å/cycle로 유지되었고, 모든 증착된 샘플의 두께는 3 nm (23 cycles)였다. 각 단위 사이클은 0.5초 동안 TDMAH precursor의 노출, 5초간 Ar purging, 3초간 plasma-reactant의 노출, 그리고 다시 5초간 Ar purging하는 네 가지 단계로 구성되었다. 그리고, N<sub>2</sub>와 O<sub>2</sub> plasma는 13.56 MHz로 고정된 multiple-turn coil로 감긴 quartz tube로 구성된 RF plasma generator에 의하여 발생시켰다. 이때의 발생된 plasma power는 300 W로 유지되었다.

박막은 Ge(100) Substrate 위에 증착되었는데, 특별한 과정 없이 buffered oxide etchant (BOE)-dipping 만을 사용해 세정하였다 [18]. PE-ALD 공정 이후 post deposition annealing (PDA)을 400°C에서 10분간 산소분위기에서 실시하였다. 그 후 증착된 박막의 구성 성분과 화학적 결합 구조는 XPS로 분석하였으며, HR-TEM (JEOL, 2100 CS)을 통해 박막의 두께와 계면 미세 구조를 분석하였다. 박막의 전기적 특성을 알아보기 위해 MOS (metal-oxide-semiconductor) capacitor를 제작하였다. 이를 위해 Ru를 metal gate electrode로 사용하였으며 이는 패턴이 형성되어 있는 shadow mask를 덮어서 DC magnetron sputtering을 이용하여 50 nm 증착하였다. 이후 FGA (forming gas annealing)을 400°C에서 30분간 수소 5% 질소 95% 분위기에서 행하였다. 이후 back contact을 형

성하기 위하여 Ge 기판 뒷면에 thermal evaporator를 이용하여 금을 40 nm 증착하였다. I-V와 C-V 특성은 Keithley 4200 semiconductor parameter analyzer와 HP4284 LCR meter를 사용하여 측정하였다. Capacitor는 accumulation (-2.0 V)에서 inversion (2.0 V) 조건까지 측정하였으며, 역방향 sweep을 통해 hysteresis를 관찰하였다. 또한 Dit (interface state density) 값은 conductance method에 의하여 산출되었다.

### III. 실험결과

우선 박막의 증착 공정인 PE-ALD 공정 중 세 번째 단계인 plasma-reactant 노출 과정에서 질소를 첨가하지 않고 산소 플라즈마만을 이용하여  $\text{HfO}_2$ 를 증착시킨 시편(샘플 #1,  $F_{\text{N/O}}=0$ )과 N/O 비를 각각 1 : 1 (샘플 #2,  $F_{\text{N/O}}=1$ ), 2 : 1 (샘플 #3,  $F_{\text{N/O}}=2$ )로 하여 질소, 산소 혼합 플라즈마를 띄워  $\text{HfO}_x\text{N}_y$ 를 증착시킨 시편을 400°C에서 후속열처리를 실시한 후 XPS를 통해 화학 조성과 결합 구조를 실시하였다. Fig. 1(a)를 살펴보면 Hf 4f peak의 경우 질소의 비에 따라 peak의 위치에는 전혀 변화가 발생하지 않았다. Hf 4f<sub>7/2</sub>의 위치가 17.9 eV로 가장 전형적인 Hf-O bonding이 관찰된다. 반면 peak intensity에서는 뚜렷한 차이가 관찰되는데 N/O 비를 1 : 1 (샘플 #2,  $F_{\text{N/O}}=1$ )인 경우  $\text{HfO}_2$  bonding peak이 질소를 첨가하지 않았을 때보다 더 뚜렷하게 나타나는 것을 살펴볼 수 있다. 하지만 N/O 비가 2 : 1 (샘플 #3,  $F_{\text{N/O}}=2$ )인 경우 base line으로부터 peak의 높이는 오히려 줄어든 것을 관찰할 수 있다. 반면 Fig. 1(b)에서는 세 경우 모두 뚜렷한 질소 peak를 관찰할 수 없는데 이는 증착과정에서 첨가된 질소의 양이 적거나 후속열처리 과정에서 제거되었기 때문에 XPS 분석으로부터 관찰이 잘 되지 않았음을 의미한다. 또한 Fig. 1(c)의 O 1s peak의 경우에도 첨가된 질소의 비에 따라 뚜렷한 peak의 위치에 변화가 발생하지 않았다.

Fig. 2는 N/O 비를 1 : 1 (샘플 #2,  $F_{\text{N/O}}=1$ )로 하여 질소, 산소 혼합 플라즈마를 띄워 증착시킨  $\text{HfO}_x\text{N}_y$ 의 고해상도 TEM 사진을 나타낸다. TEM 사진은 박막이 비결정질을 나타내며 깨끗하고 고르게 증착되어 있음을 보여준다.

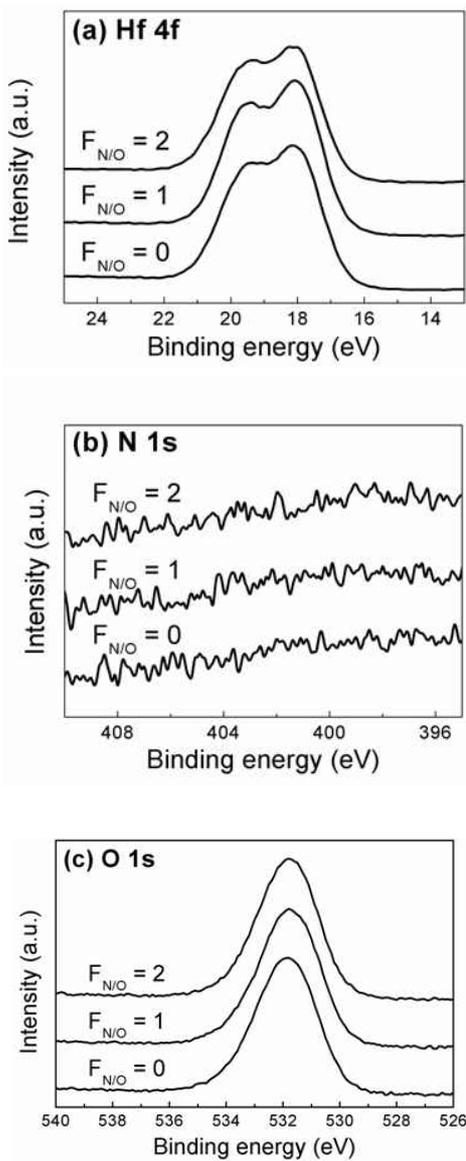


Figure 1. The XPS spectra of (a) Hf 4f, (b) N 1s, and (c) O 1s according to N/O flow ratio ( $F_{\text{N/O}}$ ).

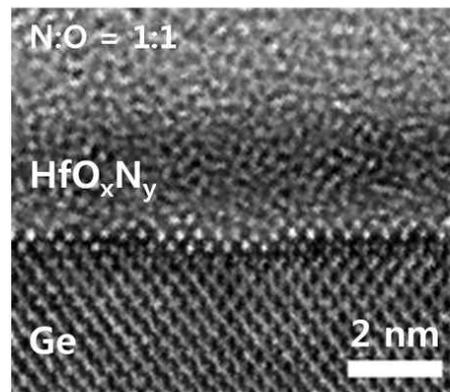


Figure 2. The HR-TEM image of  $\text{HfO}_x\text{N}_y$  deposited at N/O flow rate = 1 (sample #2,  $F_{\text{N/O}}=1$ ).

TEM 사진을 통해 박막이 3.0 nm 정도로 잘 증착이 이루어졌음을 확인하였고, interfacial layer는 관찰되지 않았다.

Fig. 3은 Ge 기판 위에 증착된 3개의 HfO<sub>x</sub>N<sub>y</sub> 게이트 절연막 샘플에 각각 Ru 전극을 형성하여 만들어진 MOS capacitors (Ru/HfO<sub>x</sub>N<sub>y</sub>/Ge)를 100kHz에서 C-V 곡선을 측정된 결과이다. C<sub>acc</sub> (accumulation capacitance)값의 경우 N/O 비가 0 : 1인 샘플 #1의 경우 1.92μF/cm<sup>2</sup>였으며, N/O 비가 2 : 1인 샘플 #3의 경우 2.01μF/cm<sup>2</sup>였으며, N/O 비가 1 : 1인 샘플 #2의 경우 가장 높은 2.12μF/cm<sup>2</sup> 값을 보여주었다. 이를 EOT로 환산하면 샘플 #1=1.80 nm, 샘플 #3=1.72 nm, 그리고 샘플 #2=1.63 nm로 가장 작은 EOT 값을 보여주었다.

Flat-band voltage (V<sub>FB</sub>)는 N/O 비가 0 : 1인 샘플 #1의 경우 -0.28 V, N/O 비가 1 : 1인 샘플 #2의 경우 -0.21 V, 그리고 N/O 비가 2 : 1인 샘플 #3의 경우 -0.24 V이다. 또한 Hysteresis는 N/O 비가 0 : 1인 샘플 #1의 경우 46.5 mV이고 N/O 비가 1 : 1인 샘플 #2의 경우 23.2 mV로 가장 적은 값을 보여 주었으며, 그리고 N/O 비가 2 : 1인 샘플 #3의 경우 31.7 mV이다. Hysteresis 값으로부터 아래의 식을 통해 N<sub>ot</sub> (trapped oxide charge density)를 구하였다.

$$N_{ot} = \frac{\Delta V_{FB} C_{acc}}{qA} \quad (1)$$

상기의 식(1)에서 ΔV<sub>FB</sub>는 hysteresis width, C<sub>acc</sub>은

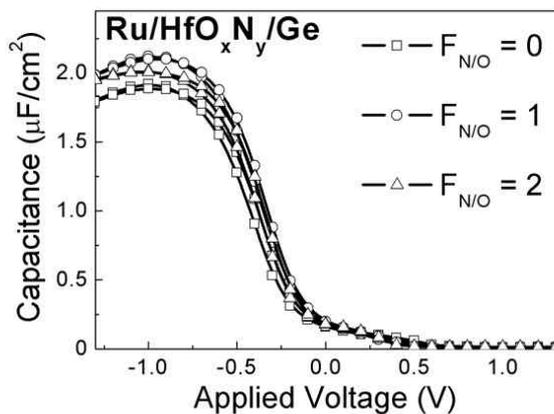


Figure 3. Capacitance–voltage curves of three types of MOS capacitors (Ru/HfO<sub>x</sub>N<sub>y</sub>/Ge) measured at 100 kHz.

accumulation capacitance, q는 electron charge (1.60218 × 10<sup>-19</sup> C), 그리고 A는 electrode area를 의미한다. 이를 통해 측정된 Not 는 N/O 비가 0 : 1인 샘플 #1의 경우 5.57×10<sup>11</sup> cm<sup>-2</sup>, N/O 비가 2 : 1인 샘플 #3의 경우 3.99×10<sup>11</sup> cm<sup>-2</sup>이다. 그리고 N/O 비가 1 : 1인 샘플 #2가 가장 적은 3.07×10<sup>11</sup> cm<sup>-2</sup>의 값을 보여주었다. 그리고 또한 Dit (interface state density)를 산출하기 위해, conductance는 1 kHz~1 MHz까지 다양한 frequency에서 측정되었으며, 측정된 conductance로부터 아래의 식을 통해 Dit 값을 구하였다.

$$D_{it} = \left[ \frac{G}{\omega} \right]_{\max} [qf_D(\sigma_s)]^{-1} \approx \frac{2.5}{q} \left[ \frac{G}{\omega} \right]_{\max} \quad (2)$$

상기의 식(2)에서 q는 electron charge (1.60218 × 10<sup>-19</sup> C), G는 conductance, 그리고 ω는 angular frequency (ω=2πf)이다. 산출된 Dit는 N/O 비가 0 : 1인 샘플 #1의 경우 1.1×10<sup>12</sup> cm<sup>-2</sup>eV<sup>-1</sup>로 가장 적은 값을 보여주었으며, N/O 비가 1 : 1인 샘플 #2의 경우 샘플 #1과 거의 비슷한 1.2×10<sup>12</sup> cm<sup>-2</sup>eV<sup>-1</sup>을 나타내었다. 그리고 N/O 비가 2 : 1인 샘플 #3의 경우 가장 큰 4.3×10<sup>12</sup> cm<sup>-2</sup>eV<sup>-1</sup> 값을 보여주었다.

Fig. 4는 상기의 3가지 경우의 샘플로부터 형성된 MOS capacitors의 leakage current density를 보여준다. MV/cm의 electric field에서 측정된 각 capacitor의 leakage current density는 N/O 비가 0 : 1인 샘플 #1의 경우 5.46×10<sup>-5</sup> A/cm<sup>2</sup>, N/O 비가 2 : 1인 샘플 #3의 경우 2.12

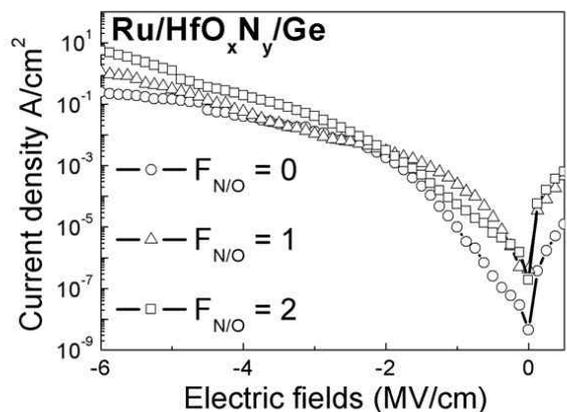


Figure 4. The gate leakage current density of three types of MOS capacitors (Ru/HfO<sub>x</sub>N<sub>y</sub>/Ge).

Table 1. Key electrical property values of three types of MOS capacitors (Ru/HfO<sub>x</sub>N<sub>y</sub>/Ge).

	C <sub>acc</sub> (μF/cm <sup>2</sup> )	EOT (nm)	V <sub>FB</sub> (V)	N <sub>ot</sub> (10 <sup>11</sup> cm <sup>-2</sup> )	D <sub>it</sub> (10 <sup>12</sup> cm <sup>-2</sup> eV <sup>-1</sup> )	Leakage currents (10 <sup>-5</sup> A/cm <sup>2</sup> )
F <sub>N/O</sub> =0	1.92±0.016	1.80±0.015	-0.28	5.57±0.045	1.1±0.01	5.46±0.17
F <sub>N/O</sub> =1	2.12±0.021	1.63±0.016	-0.21	3.07±0.030	1.2±0.01	0.98±0.03
F <sub>N/O</sub> =2	2.01±0.018	1.72±0.015	-0.24	3.99±0.042	4.3±0.04	21.2±0.63

×10<sup>-4</sup> A/cm<sup>2</sup>의 값을 나타내었다. 그리고 N/O 비가 1 : 1 인 샘플 #2의 경우 가장 작은 9.84×10<sup>-6</sup> A/cm<sup>2</sup> 값을 보여 주었다. 아래의 Table 1은 본 실험에서 측정된 주요한 전기적 특성 값들을 요약하여 보여준다.

#### IV. 토의 및 고찰

Fig. 1을 살펴보면 질소와 관련된 peak는 거의 관찰되지 않았다. 이는 Ge과 관련된 화학 결합이 매우 불안정하기 때문으로 생각된다 [19]. 2006년 Chao-Ching Cheng et al.에 의해 보고된 Si과 Ge 기판 위에 HfO<sub>x</sub>N<sub>y</sub>를 증착한 샘플의 XPS의 비교 연구 결과, Ge 기판 위에 있어서 N과 관련된 XPS peak이 매우 약함을 알 수 있고 이는 우리의 실험결과와 일치한다. Ge-N peak과 박막의 N의 경우 400도 열처리에서 거의 제거됨을 확인할 수 있는데 본 실험결과에서도 이렇게 후속공정과정에서 N이 대부분 제거되었기 때문으로 생각된다.

Fig. 2의 TEM 사진을 보면, interface layer가 관찰되지 않는다. 기존의 연구결과에 따르면 GeO와 GeO<sub>2</sub>는 적당히 높은 온도(> 400°C)에서 매우 불안정하기 때문에 진공 증착과정에서 interfacial GeO<sub>x</sub>는 거의 제거되는 것으로 알려져 있다 [20]. PE-ALD과정에서도 역시 이러한 이유 때문에 ALD 증착과정에서 GeO<sub>x</sub>가 거의 대부분 dissociation되어 interfacial layer가 제거되는 것으로 생각된다.

N<sub>2</sub>와 O<sub>2</sub>의 비가 1 : 1 (F<sub>N/O</sub>=1)인 샘플 #2의 경우 accumulation capacitance 값이 가장 높으며 EOT는 가장 적고 hysteresis와 trapped oxide charge density가 가장 낮은 값을 보여준다. 또한 interface state density의 경우 N/O 비가 0 : 1인 샘플 #1의 경우와 값을 보여주며, leakage currents 역시 가장 적게 발생하는 것을 살펴볼 수 있다. 이는 PE-ALD 공정 시 산소 플라즈마를 띄울 때 질

소와 산소를 1 : 1의 비율로 흘려줄 경우 전기적 특성이 가장 우수하게 발현됨을 나타낸다. 2004년 N.Haraki et al.에 의해 보고된 논문에 의하면 산소 플라즈마를 띄울 때 질소를 흘려주면 그 구성비에 따라 산소 radical의 density가 증가한다고 한다 [21]. 그들에 보고에 의하면 질소와 산소의 비가 1 : 1일 때 산소 radical density가 질소를 넣지 않았을 때 보다 약 4배 증가하며 질소와 산소의 비가 2 : 1일 때 산소 radical density는 약 3배 증가한다. 이는 PE-ALD 공정 중 기존의 산소만을 이용할 때보다 질소를 일정량 흘려줘서 산소 radical의 density를 높여주면 반응성이 증가하여 dense한 HfO<sub>2</sub> 박막을 얻을 수 있다는 것을 의미한다. 이는 Fig. 1의 XPS 분석 결과를 통해 유추할 수 있다. 1988년 F.J. Himpsel et al.에 의해 보고된 논문에 의하면 XPS spectra의 peak intensity는 아래의 식을 만족한다 [22].

$$I_{\infty} = n_{HfO_2} \sigma_{HfO_2} l_{HfO_2} \quad (3)$$

는 무한 두께의 HfO<sub>2</sub> 박막의 peak intensity이며,  $n_{HfO_2}$ ,  $\sigma_{HfO_2}$ , 그리고  $l_{HfO_2}$ 에 비례하여 증가한다. 위 식에서  $n_{HfO_2}$ 는 박막 내 Hf atomic density이며,  $\sigma_{HfO_2}$ 는 atomic photoionization cross section, 그리고  $l_{HfO_2}$ 는 escape depth이다. Fig. 1에서 증착된 박막이 plasma-reactant의 질소 산소 함량에 관계없이 단위 사이클당 성장률이 일정하게 유지되므로 증착된 박막의 두께는 같을 것이므로,  $\sigma_{HfO_2}$ 와  $l_{HfO_2}$ 가 큰 차이가 없다고 가정하면, Hf의 atomic density는 intensity에 비례하게 된다. Area와 peak의 intensity는 상관관계에 있으므로 Hf의 density는 XPS spectrum의 area와 상관관계에 놓이게 된다. Fig. 5는 상기에 언급된 세 가지 샘플의 peak intensity를 나타내었는데, N<sub>2</sub>와 O<sub>2</sub>의 비가 1 : 1 (F<sub>N/O</sub>=1)인 샘플 #2의 경우 peak area가 가장 넓다. 이는 증착된 박막의 density가 가

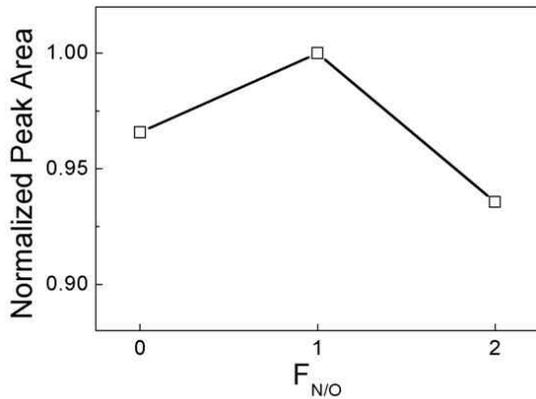


Figure 5. Normalized peak area according to N/O flow ratio (FN/O).

장 높다는 것을 의미하며, 이는 박막의 유전상수가 커짐을 의미한다. 왜냐하면 박막의 유전상수는 Clausius-Mos-sotti relation에 따르면 결정의 구조가 같고 또한 동일한 molecular polarizability를 가질 경우 단위 부피당 분자의 개수와 관련된다. 본 실험에서는 결정의 구조가 모두 amorphous이고 증착된 박막의 구성 분자들이 대부분 HfO<sub>2</sub>이므로 분자의 density가 클수록 유전상수가 커질 것이고 이는 증착과정에서 질소의 추가로 인해 산소 플라즈마의 radical density가 커졌기 때문으로 생각할 수 있다.

같은 논의를 leakage currents와 trapped oxide charge density에도 적용할 수 있다. O radical density가 증가할 경우 산소의 산소의 반응성이 증가하여 박막의 산소 vacancy가 줄어들어 이 같은 전기적 특성이 향상되었다고 볼 수 있다. 산화물 박막의 누설전류의 주된 pass인 산소 vacancy가 줄어들 경우 누설전류의 향상이 관찰되고 또한 동시에 trap site로 작용하는 산소 vacancy가 줄어들 경우 hysteresis가 줄어들 수 있기 때문이다 [23]. 비록 본 실험을 통해 들어간 질소의 양이 Si 기판 위에 증착될 경우 보다 미량일 지라도 소자의 전기적 특성에 향상을 가져오는데 주된 역할을 하였다고 판단할 수 있다.

## V. 결 론

본 실험을 통해 PE-ALD 공정 중에 질소를 in-situ로 첨가할 경우 산소 radical density 증가로 인해 precursor와의 반응성이 좋아져 고품질의 HfO<sub>x</sub>N<sub>y</sub> 박막을 얻을 수 있었다. 질소와 산소의 비가 1 : 1인 경우 EOT가 1.63 nm로

기존의 산소 플라즈마 공정을 사용했을 경우의 EOT인 1.80 nm 보다 약 10% 향상된 결과를 보여줬다. Trapped oxide charge density의 경우 기존의  $5.57 \times 10^{11} \text{ cm}^{-2}$ 보다 낮은 값인  $3.07 \times 10^{11} \text{ cm}^{-2}$ 를 보여줬으며, leakage currents 역시  $5.46 \times 10^{-5} \text{ Acm}^{-2}$ 에서  $9.84 \times 10^{-6} \text{ Acm}^{-2}$ 으로 줄어든 값을 보여주었다. 따라서 본 PE-ALD 공정에서 질소와 산소의 비를 1 : 1로 조절하여 증착된 HfO<sub>2</sub> 박막의 density가 증가하여 고품질의 박막을 형성할 수 있다. 이 방법은 낮은 온도에서 진행할 수 있어 비교적 열적 안정성이 떨어지는 Ge 공정에 적합하게 응용할 수 있고 공정과정을 줄일 수 있어 앞으로 도래할 초고속 Ge 나노 소자의 제작에 크게 기여할 것으로 보인다.

## 감사의 글

본 논문은 2009년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임 (No. 2009-0083749, No. 2009-0082853). 또한, 본 논문은 2009년도 지식경제부 기술혁신사업(전자정보다바이스산업원천기술개발사업)으로 지원된 연구임 (No. 10030519).

## 참고문헌

- [1] 김대희, 서화일, 김영철, 한국진공학회 **18**, 9 (2009).
- [2] 조영제, 이지면, 광준섭, 한국진공학회 **18**, 30 (2009).
- [3] S. C. Song, H. F. Luan, Y. Y. Chen, M. Gardner, J. Fulford, M. Allen, and D. L. Kwong, Electron Devices Meeting, 1998. *IEDM Technical Digest*, 373 (1998).
- [4] H. Kim, D. C. Gilmer, S. A. Campbell, and D. L. Polla, *Appl. Phys. Lett.* **69**, 3860 (1996).
- [5] B. H. Lee, Y. J. Jeon, K. Zawadzki, W.-J. Qi, and J. C. Lee, *Appl. Phys. Lett.* **74**, 3143 (1999).
- [6] C. Chaneliere, J. L. Autran, R. A. B. Devine, and B. Balland, *Materials Science and Engineering* **R22**, 269 (1998).
- [7] S. B. Chen, C. H. Lai, and A. Chin, *IEEE Electr. Device L.* **23**, 185 (2002).
- [8] G. Bersuker, P. Zeitsoff, G. Brown, and H. R. Huff,

- Mater. Today **7**, 26 (2004).
- [9] C. O. Chui, H. Kim, D. Chi, P. C. McIntyre, and K. C. Saraswat. IEEE Transactions on Electron Devices. **53**, 1509 (2006).
- [10] K. J. Hubbard and D. G. Schlom, Materials Research Society Bulletin. **27**, 198 (2002).
- [11] D.A. Buchanan, E.P. Gusev, E. Cartier, H. Okorn-Schmidt, K. Rim, M.A. Gribelyuk, A. Mocuta, A. Ajmera, M. Copel, S. Guha, N. Bojarczuk, A. Callegari, C. D'Emic, P. Kozlowski, K. Chan, R.J. Fleming, P.C. Jamison, J. Brown, and R. Arndt, "80 nm poly-silicon gated n-FETs with ultra-thin Al<sub>2</sub>O<sub>3</sub> gate dielectric for ULSI applications", Electron Devices Meeting, 2000. IEDM Technical Digest, 223 (2000).
- [12] S. M. Sze and J. C. Irvin, Solid State Electron. **11**, 599 (1968).
- [13] R. Garg, D. Misra, and S. Guha, IEEE Transaction on Device and Materials Reliability **6**, 455 (2006).
- [14] N. Umezawa, K. Shiraishi, K. Torii, M. Boero, T. Chikyow, H. Watanabe, K. Yamabe, T. Ohno, K. Yamada, and Y. Nara, IEEE Electr. Device L. **28**, 363 (2007).
- [15] T. Sugawara, Y. Oshima, R. Sreenivasan, and P. C. McIntyre, Appl. Phys. Lett. **90**, 112912 (2007).
- [16] M. Houssa, T. Conard, F. Bellenger, G. Mavrou, Y. Panayiotatos, A. Sotiropoulos, A. Dimoulas, M. Meuris, M. Caymax, and M. M. Heyns, J. Electrochem. Soc. **153**, G1112 (2006).
- [17] W. J. Maeng and H. Kim, Appl. Phys. Lett. **91**, 092901 (2007).
- [18] T. Deegan and G. Hughes, Appl. Surf. Sci. **123/124**, 66 (1998).
- [19] C.-C. Cheng, C.-H. Chien, C.-W. Chen, S.-L. Hsu, C.-H. Yang, and C.-Y. Chang, J. Electrochem. Soc. **153**, F160 (2006).
- [20] H. Kim, C. O. Chui, K. C. Saraswat, and P.C. McIntyre, Appl. Phys. Lett. **83**, 2647 (2003).
- [21] N. Haraki, S. Nakano, S. Ono, and S. Teii, Electr. Eng. Japan. **149**, 14 (2004).
- [22] F. J. Himpsel, F. R. McFeely, A. Taleb-Ibrahimi, and J.A. Yarmoff, Phys. Rev. B. **38**, 6084 (1988).
- [23] I. Takahashi, H. Sakurai, A. Yamada, K. Funaiwa, K. Hirai, S. Urabe, T. Goto, M. Hirayama, A. Teramoto, S. Sugawa, and T. Ohmi, Appl. Surf. Sci. **216**, 239 (2003).

## Improved Electrical Properties by In Situ Nitrogen Incorporation during Atomic Layer Deposition of HfO<sub>2</sub> on Ge Substrate

Woo-Hee Kim, Bumsoo Kim, and Hyungjun Kim\*

*School of Electrical and Electronic Engineering, Yonsei University, Seoul 120-749*

(Received December 1, 2009, Revised December 23, 2009, Accepted January 4, 2010)

Ge is one of the attractive channel materials for the next generation high speed metal oxide semiconductor field effect transistors (MOSFETs) due to its higher carrier mobility than Si. But the absence of a chemically stable thermal oxide has been the main obstacle hindering the use of Ge channels in MOS devices. Especially, the fabrication of gate oxide on Ge with high quality interface is essential requirement. In this study, HfO<sub>x</sub>N<sub>y</sub> thin films were prepared by plasma-enhanced atomic layer deposition on Ge substrate. The nitrogen was incorporated in situ during PE-ALD by using the mixture of nitrogen and oxygen plasma as a reactant. The effects of nitrogen to oxygen gas ratio were studied focusing on the improvements on the electrical and interface properties. When the nitrogen to oxygen gas flow ratio was 1, we obtained good quality with 10% EOT reduction. Additional analysis techniques including X-ray photoemission spectroscopy and high resolution transmission electron microscopy were used for chemical and microstructural analysis.

Keywords : Ge, HfO<sub>x</sub>N<sub>y</sub> gate dielectric, Atomic layer deposition, In situ nitrogen, Electrical properties

\* [E-mail] hyungjun@yonsei.ac.kr