한국산학기술학회논문지
Vol. 11, No. 12 pp. 4984-4990, 2010

소형 전자기기를 위한 스위치드 커패시터 방식의 강압형 DC-DC 변환기 설계

권보민[1], 허윤석[2], 송한정[2*]
[1]인제대학교 나노시스템공학과, [2]인제대학교 나노공학부

Design of Step-down DC-DC Converter using Switched-capacitor for Small-sized Electronics Equipment

Bo-Min Kwon[1], Yun-Seok Heo[2] and Han-Jung Song[2*]
[1]**Department of Nano Systems Engineering, Center for Nano Manufacturing, Inje University**
[2]**Department of Nano Engeering, Inje University**

요 약 기존의 DC-DC Converter에서는 전압 변화 및 에너지 축적소자로서 자성부품인 인덕터를 사용하여 자속 발생에 의한 전력 손실로 효율이 낮아지고, 자성부품의 부피가 크고 무거우며 가격이 비싸 반도체 칩으로 집적화하기에 문제점을 가지고 있다. 이러한 문제점을 개선하기 위해 본 논문에서는 인덕터없는 스위치드 커패시터 방식을 이용한 저전력 강압형 CMOS DC-DC Converter를 제안한다. 제안된 DC-DC Converter는 0.5um 공정을 이용하여 설계하였으며, 설계된 DC-DC 컨버터는 200kHz의 주파수로 동작하며 96%이상의 전력효율을 cadence 시뮬레이션을 통하여 얻을 수 있다.

Abstract In this paper, a Step-down CMOS DC-DC Converter using low power switched capacitor method is designed in a 0.5 ㎛ technology for the integration of devices. Conventional DC-DC converter is used inductor that can store energy in a magnetic field but have low efficiency because power consumption is caused by magnetic flux. And there were problems with size, weight and price to integrate chip. In this paper, a proposed Inductorless step-down CMOS DC-DC converter of low power using SC method is designed in a 0.5um technology to solve these problems. Designed DC-DC converter have 96% power efficiency with 200kHz frequency by using cadence simulation.

Key Words : Switched capacitor, DC-DC converter, SC generator, PWM

1. 서론

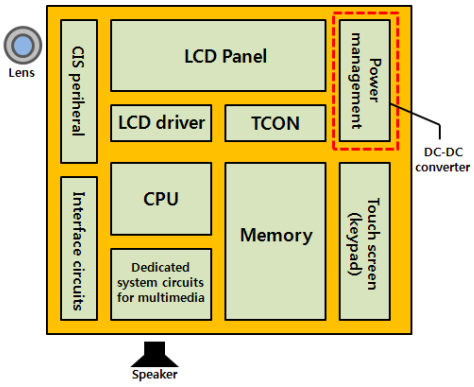
반도체 소자와 회로의 집적화에 관한 기술개발에 따라 모든 시스템들이 다기능화, 고속화, 저소비전력화, 소형화 되어가는 방향으로 발전하고 있다. 그에 따라 휴대용 멀티미디어 기기들의 사용 또한 급격하게 증가하고 있다. 이러한 휴대용 전자기기들은 그림 1과 같이 직류안정화 전원인 DC-DC converter를 내장하여 전력을 공급하는데 배터리의 수명을 최대화할 수 있는 저전력 회로 및 효율적인 전원 관리 회로(PMIC)의 필요성이 급증하고 있다[1].

기존의 직류안정화 전원인 연속제어방식과 단속제어방식은 전압변화 및 에너지축적소자로 자성부품을 사용하였는데 이 방식들은 자속 발생에 의한 전력손실로 효율이 낮고 인덕터 사용으로 부피가 크며 가격도 비경제적인 단점이 대두되고 있다. 또한 기존 직류안정화 전원에 사용된 인덕터는 기생저항으로 인해 효율이 100 %에 가깝지 못했고 반도체칩

본 논문은 IDEC(IC Design Education Center)의 지원으로 이루어짐.
*교신저자 : 송한정(hjsong@inje.ac.kr)
접수일 10년 10월 21일 수정일 (1차 10년 11월 26일, 2차 10년 12월 16일) 게재확정일 10년 12월 17일

집적화의 한계를 지닌다. 이러한 인덕터의 문제점을 개선하기 위해 커패시터의 충·방전현상을 이용하고 On 저항이 비교적 작고 고속 스위칭이 가능한 MOSFET을 사용하였다. 스위칭 소자의 On 저항이 작을수록 변환기의 효율은 커진다[2-3].

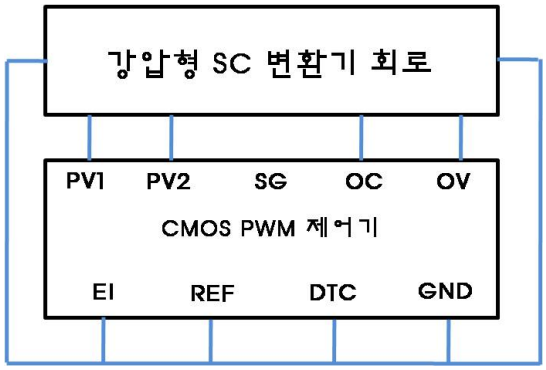
본 논문에서 제안하는 SC(switched capacitor) 방식의 본 회로는 커패시터를 직렬로 충전시키고 병렬로 방전시킴으로써 동작되며, DC-DC Converter의 출력을 제어하기 위해 소비전력이 적은 CMOS PWM(pulse width modulation) 제어방식을 사용하였다[4]. 또한 인덕터를 사용하지 않음으로써 소형화를 유리하게 하였으며, 95%이상의 높은 효율을 구현하고자 한다.



[그림 1] 휴대용 멀티기기 시스템 블록도

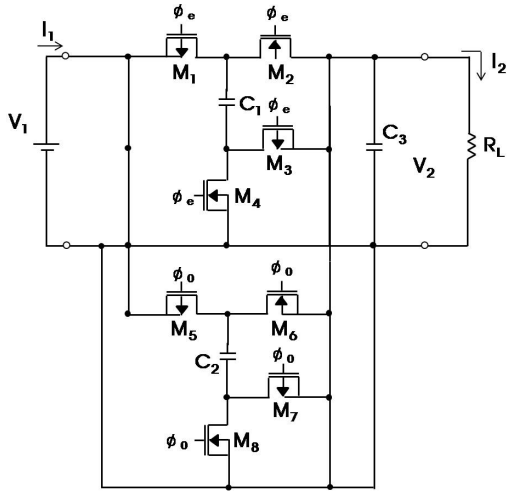
2. 인덕터 없는 SC 방식 DC-DC Converter

그림 2는 본 논문에서 제안하는 SC방식을 이용한 DC-DC Converter의 블록도이다. 강압혁 SC방식 DC-DC converter 회로를 제어하기 위해 CMOS PWM 제어기가 사용되었고 제어기 안에는 PV(Pulse Voltage), SG(Sawtooth Generator), OC(Output Control), OV(Output voltage), EI(Error Input), REF(Reference Voltage), DTC(Dead Time Controller)가 사용된다. 커패시터와 MOSFET 스위치를 이용한 SC방식 강압형 회로에 높은 전압을 인가시키면 CMOS PWM 제어기에 의해서 클럭이 제어되어 출력되는 전압이 입력된 인가전압을 보다 1/2배 얻을 수 있는 DC-DC converter 이다. 또한 DTC를 통해 전도손실을 최소화하였다.



[그림 2] 제안하는 SC방식 강압형 CMOS DC-DC Converter의 블록도

2.1 강압형 SC 변환기 회로



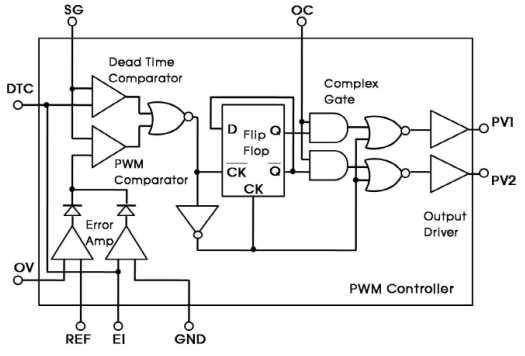
[그림 3] 강압형 SC방식 변환기 회로도

SC방식 DC-DC converter는 커패시터의 충·방전 현상을 이용한다. 전압의 강압 변환의 경우 입력 전압에 같은 용량의 커패시터를 직렬로 접속시켜 충전시키며, 소자의 기생용량은 무시한다고 가정한다. 동작원리는 커패시터 C_1, C_2, C_3, …, C_n의 용량이 같기 때문에 각각의 커패시터는 입력 전압 V1 에 대해서 V1/n으로 충전된다. 이들 커패시터들을 병렬로 접속 변환하여 방전시키면 출력 측에서 V1/n과 등가인 V2로 강압된 출력전압을 얻을 수 있다. SC 방식을 이용하면 인덕터의 기생저항에 의한 효율저하를 개

선시킬 수 있다. 출력 전압이 1/2가 되는 강압형 SC 변환기이며 동작원리는 2상 구동 클럭 신호에 의해 첫 번째 반주기 동안은 M1과 M3가 스위칭 On이 되어 커패시터 C_1가 노드를 이어 생기는 루프를 따라 입력 측에 전압으로 접속되어 충전된다. 또한 M6과 M7도 스위치 On되어 커패시터 C_1은 방전되고 C_2는 충전된다. 따라서 반주기마다 커패시터의 충·방전이 반복되므로 전 주기에 대하여 출력을 얻을 수 있다. $C_1 = C_2 = C_3$ 일 때 위상 ø 0에서는 반대로 C1 이 충전되고 C_2 가 방전된다. 등가회로의 부하저항 RL을 제거한 출력 측 개방 전압은 V1/2이다[5,6].

2.2 CMOS PWM 제어기

SC방식 DC-DC Converter의 효율은 소자의 내부 저항과 스위칭 소자의 On 저항에 의존한다. 작은 I2 값에서는 On 저항이 미치는 영향이 작지만 큰 I2값을 가질 때는 On 저항의 영향이 크게 됨으로 On저항이 작을 때 효율이 더 높아진다. SC 변환기 회로에 스위칭 소자로 쓰인 MOSFET이 On상태에 있을 때, 소스 전압을 Vs, Clock 신호가 High Level, Low Level 일 때 전압을 VH ,VL 라고 하면 Va > (VH +VL)/2 이면 PMOS가 동작하고 Va > (VH +VL)이면 NMOS가 동작한다[7-8].



[그림 4] CMOS PWM 제어기의 블록도

본 논문에서 SC방식을 이용한 전도손실을 최소화한 저전력 DC-DC Converter의 출력 전압 제어를 위해 CMOS를 이용한 PWM 제어기와 DTC가 사용된다. 소비전력이 적은 PWM 방식으로 Clock 전압을 제어하여 출력전압을 일정한 값으로 유지할 수 있다. 그림 5 ~ 그림 8은 PWM 제어기의 블록도를 구성하는 각 부분의 회로를 나타내었다.

그림 5(a)와 같이 오차 증폭기는 부하에 인가된 출력전압을 귀환시켜, 귀환된 전압과 기준전압과의 차이를 증폭시켜 다음 단에 있는 비교기에 전달한다. 오차 증폭기는 차동 증폭기와 Second gain stage, Bias회로로 구성된다. Gain stage로는 소자 수와 전력소비, 칩 면적을 줄이기 위해 인버터를 사용하였다. 입력 단에 주어지는 오차 증폭기의 출력과 Sawtooth Gate 출력파형을 서로 비교해서 D-filp flop에 들어가는 Clock 신호를 발생시킨다. 이때 SG의 출력파형이 오차증폭기의 출력파형보다 크면 출력은 Low상태이고, SG의 출력파형이 오차증폭기의 출력파형보다 작으면 High상태가 된다.

비교된 출력파형에 의해 발생된 Clock 신호는 D-flip flop과 Complex Gate, Output Dirver를 통하여 스위칭 소자를 On, Off 시키는 Clock 파형으로 바뀌어진다. 따라서 이 스위칭 소자를 구동하는 Clock 폭을 조절하면 출력 측에 항상 안정화된 직류전압을 얻을 수 있다. D-filp flop의 회로는 Master-Slave 구조이며 에지 트리거(Edge Trigger)가 된다. 'CK' 단자가 Low인 상태에서 'D'단자의 정보를 가지고 있다가 'CK'단자의 상승엣지에서 출력 전압이 바뀐다.

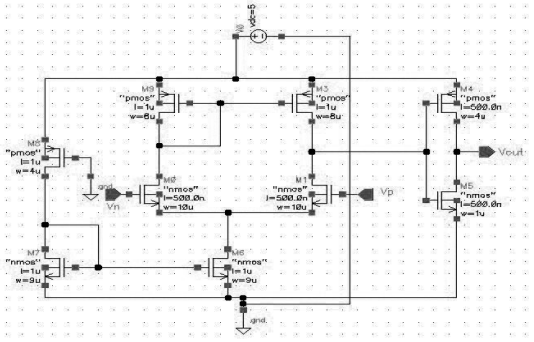
SG는 오차 증폭기의 출력과 비교하여 원하는 PW(Pulse Width)를 만드는데 쓰인다. 출력 전압이 기준전압보다 작으면 오차 증폭기 출력이 변하여 그 PW를 높여주고, 기준전압보다 높으면 PW를 줄이는 방향으로 동작한다. SG는 크게 세 부분으로 나눌 수 있다. SG는 클럭 발생기, 짧은 펄스 발생기, 삼각파 발생기로 구성된다. Vpulse를 부귀환 하면 발진을 일으킬 수 있고 발진 주파수는 앞 단의 바이어스 전류와 커패시턴스에 의해 결정된다. 짧은 펄스 발생회로는 신호지연을 이용하여 구현하였다. NMOS로 커패시터를 연결한 이유는 펄스의 상승시간을 빠르게 하기 위해서이고, 다음 단에 연결되는 삼각파 발생기에서 커패시터에 저장된 전하를 순간적으로 방전하기 위해서 그림 3과 같이 회로를 구성하였다. 나머지 커패시터는 신호지연에 사용된다. M1이 Off 되었을 때, 커패시터에 전압이 일정하게 상승한다. 어느 지점까지 상승하다가 짧은 펄스가 M1에 가해지면 순간적으로 방전을 해서 삼각파 모양을 가진다. 커

패시턴스는 주파수와 바이어스 전류를 고려해서 결정한다.

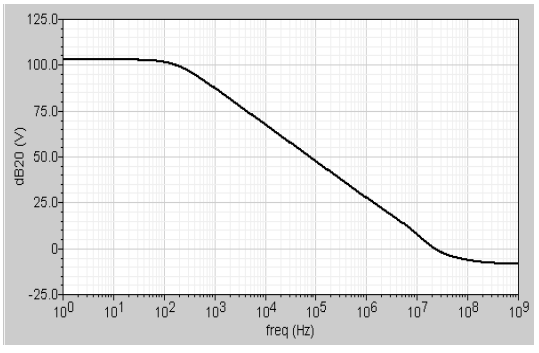
설계된 PWM 제어기는 위와 같은 원리로 동작하며, 기존의 PWM 제어기 보다 제어기 자체 소비전력을 줄여 저전력으로 구동하게 할 수 있다.

3. SPICE 모의실험 해석

본 논문에서 제안하는 SC방식을 이용한 저전력 강압형 CMOS DC-DC Converter에 사용되는 PWM 제어기의 각 블록들을 구동해보았다. PWM 제어기는 오차증폭기, 비교기, Dead Time 제어기, D-Flip Flop, Complex gate, Output Driver, 발진 및 톱니파 발생기 등으로 구성되었다. 시뮬레이션은 Cadence Tool을 이용하였다.



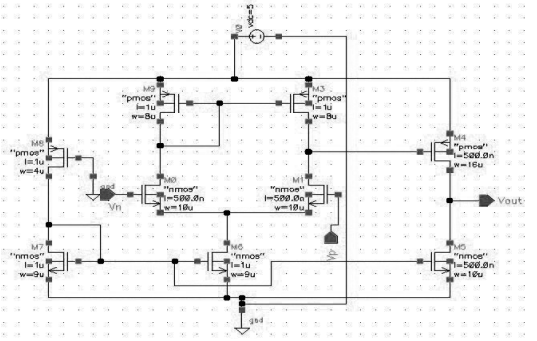
(a) 스키메틱



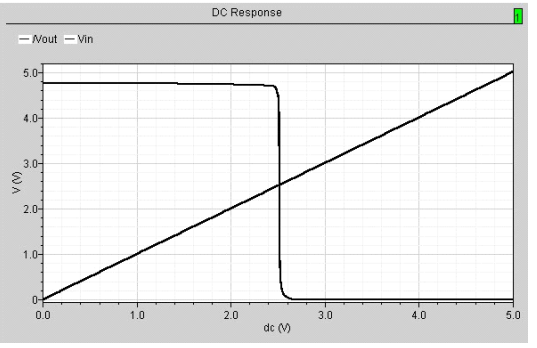
(b) 이득 곡선

[그림 5] 오차 증폭기 회로

그림 5는 오차 증폭기 블록으로 (b) 동작 시뮬레이션을 살펴보면 전압 이득이 100dB의 높은 이득을 가지도록 설계하였다.



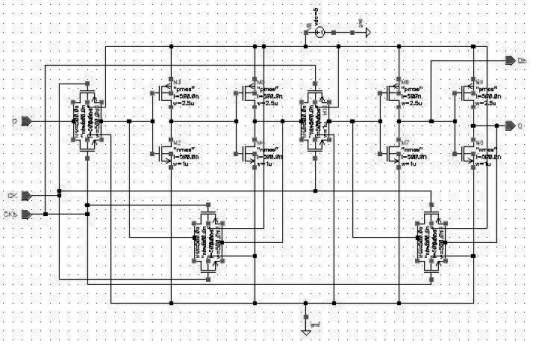
(a) 스키메틱



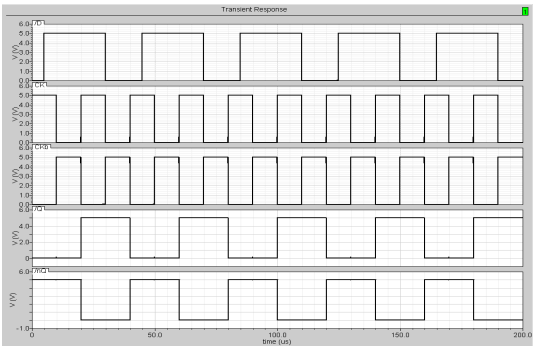
(b) DC 특성곡선

[그림 6] 비교기 회로

그림 6은 비교기 블록으로 (b) 동작 시뮬레이션을 살펴보면 기준전압이 2.5V일 때, 입력전압이 2.5V보다 작을 때는 출력전압은 높은 레벨로 나타나고, 반대로 2.5V보다 크면 0V를 얻을 수 있다.



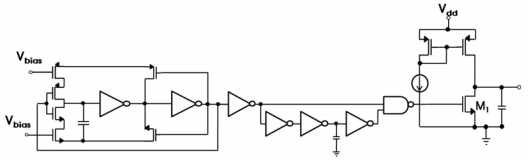
(a) 스키메틱



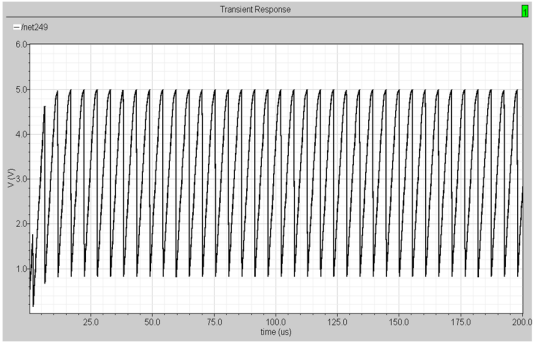
(b) 동작특성곡선

[그림 7] D 플립플럽 회로

그림 7은 Master Slave D – Flip Flop 블록으로 패스 트랜스터와 인버터단으로 설계하였고, D와 출력단 Q를 연결하여 (b)의 시뮬레이션 결과처럼 CK과 CKB에 의해 출력펄스전압은 CK의 1/2배 주파수를 가지는 신호를 출력한다.



(a) 스키메틱

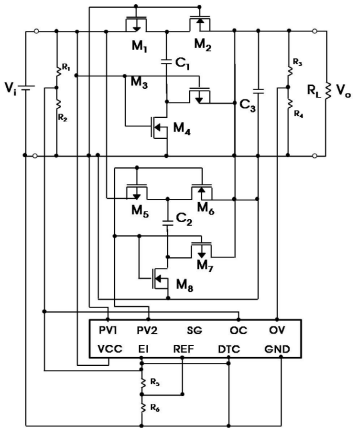


(b) 동작특성

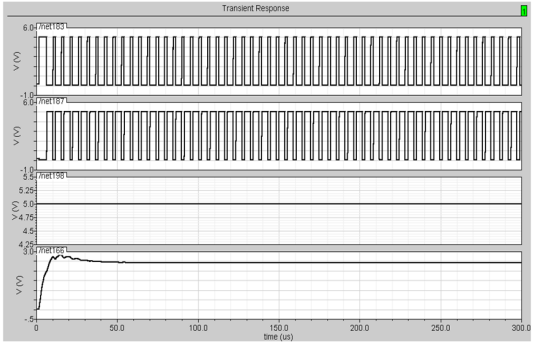
[그림 8] Sawtooth Generator 회로

그림 8은 삼각파 발생 회로로 슈미트트리거의 부귀환을 이용하여 일정한 주파수를 가지는 오실레이터의 특성을 구현하였다. 그 뒷단에 충전과 방전을 빠르게 하도록 NMOS로 커패시터를 구현하였다. 그리고 여기에서 쓰이는 또 다른 커패시터는 신호지연을 위해 사용하였다. 따라서 펄스폭이 좁은 신호가 발생하게 된다. 마지막 단에는 커패시터에 의해 서서히 충전이 일어나고, 앞 단의 펄스전압에 의해 순간적으로 방전되어 삼각파로 출력되도록 하였다. 설계한 삼각파 회로의 주파수는 200kHz를 가진다.

D-Flip Flop이후 Complex gate블록과 Output Driver블록을 지나면서 서로 상반되는 펄스전압 PV1과 PV2신호가 형성되어 SC방식 강압형 DC-DC 컨버터 회로를 제어 한다.



(a) 회로도

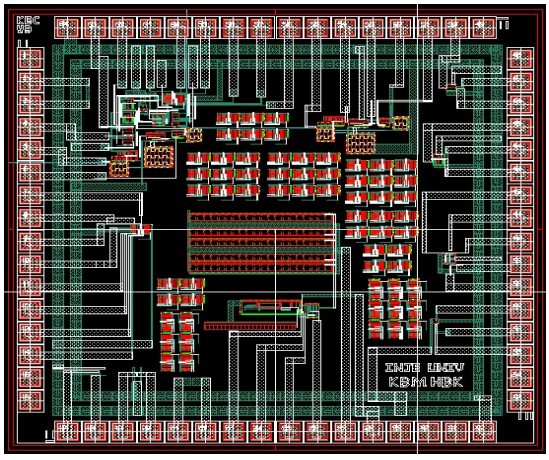


(b) 동작특성결과

[그림 9] 제안하는 저전력 SC 방식 강압형 DC-DC 변환기 동작 시뮬레이션

제안하는 SC방식 CMOS DC-DC Converter의 전체 회로는 그림 9(a)과 같고 동작 시뮬레이션은 그림 9(b)와 같다. 이 컨버터의 동작 및 성능을 시험하기 위해 Cadence Tool을 이용하였으며 부하저항에 따라 출력전압을 확인해보았다. 입력 전압이 5 V이고 부하저항 RL =5kΩ 일 때 출력전압은 약 2.5 V이다.

하지만 부하저항 값이 RL =1kΩ 일 때 약 2.4 V의 출력전압을 얻었다. 그 이유는 부하에 작은 전류가 흐르면 MOSFET의 On 저항만큼 전압손실이 되기 때문이다.



[그림 10] 제안하는 저전력 SC방식 강압형 DC-DC 변환기의 레이아웃

그림 10은 제안하는 저전력 SC방식 강압형 DC-DC 변환기의 레이아웃이며, 0.5 um 1-poly 2-metal 공정을 이용하여 설계하였으며 사이즈는 600um × 650um이다.

[표 1] 목표spec.과 종래의 벅 스위칭 방식과 제안하는 SC PWM 방식의 모의실험결과 비교

Parameter	Symbol	Spec.	Simulation		Units
			conventional Buck converter[9]	proposed SC PWM converter	
Switching frequency	f	200	200	200	kHz
Input Voltage	Vin	5	5	5	V
Output Voltage	Vout	2.5	2.5	2.5	V
Efficiency	η	90	88	96	%
Voltage ripple	△V	0.1	-	0.4	%

4. 결론

기존의 직류 안정화 전원인 연속제어방식(Series Regulator)과 단속제어방식(Switching Regulator)은 전압 변화 및 에너지 축적소자로 인덕터를 사용했고 이러한 방식들과 SC방식의 성능을 비교해보았다. 종래의 DC-DC 변환기에는 부피를 많이 차지하고 전력소모가 큰 인덕터를 사용하나, SC방식은 인덕터가 없으므로 사이즈측면에서 더욱 더 경제적이며, 효율이 종래의 벅컨버터 방식보다 높았다. 따라서 이 논문에서는 인덕터 대신 MOS 스위치와 커패시터를 사용하는 SC 방식을 이용하여 강압형 CMOS DC-DC Converter를 설계하였으며, 전도손실을 최소화하기 위해 DTC를 사용하였다. 입력전압이 5V이며 출력전압이 입력의 반인 2.5V를 출력하는 DC-DC 컨버터를 설계하였으며 스위칭 주파수가 200kHz로 동작한다. 소비전력이 작은 CMOS PWM 제어기를 사용함으로써 96 % 이상의 전력 효율을 얻을 수 있으며, 리플전압은 0.4%로 나타났다.

참고문헌

[1] 노대석, 윤기갑, 김의환, “저압배전선로에 연계된 분산전원의 과도특성 해석에 관한 연구”, 한국산학기술학회, Vol. 11, No. 10, 2010.

[2] K. W. E. Cheng, M. Liu, and J.Wu, “"Chaos study and parameter-space analysis of the dc-dc buck-boost converter,"" Proc. IEE B, Elect. Power Appl., vol. 150, no. 2, pp. 126-138, 2003.

[3] C. Batlle, I. Massana, and A. Miralles, “"Lyapunov exponents for bilinear systems. Application to the buck converter,"" Int. J. Bifurc. Chaos, vol. 13, no. 3, pp. 713-722, 2003.

[4] C. Y. Ho, B. W. Ling, Yan-Qun Liu, P. K. Tam, Kok-Lay Teo, "Optimal PWM Control of Switched-Capacitor DC-DC Power Converters via Model Transformation and Enhancing Control Techniques", Circuits and Systems, IEEE, vol. 55, pp. 1382-1391, 2008.

[5] G. Hoyler, "Voltage Multiplier with Integrated Metalized Switched-Mode Power Converter," Proceeding of the IEEE, Vol.76, pp.343-354, 1988.

[6] T. Das, P. Mandal, "Switched-Capacitor Based Buck Converter Design Using Current Limiter for Better Efficiency and Output Ripple", VLSI Design of IEEE, pp. 181-186, 2009.

[7] B. R. Gregoire, “"A compact switched-capacitor regulated charge pump power supply,"" IEEE J. Solid-State Circuits, vol. 41, no. 8, pp. 1944-1953,

Aug. 2006.
[8] H. Lee and P. K. T. Mok, “"An SC voltage doubler with pseudocontinuous output regulation using a three-stage switchable opamp,”" IEEE J. Solid-State Circuits, vol. 42, no. 6, pp. 1216-1229, Jun. 2007.
[9] Linear Technology, "1.5A, 200kHz Step-Down Switching Regulator" LT1578 datasheet

권 보 민(Bo-Min Kwon) [준회원]

- 2009년 2월 : 인제대학교 나노공학부 (공학사)
- 2009년 3월 ~ 현재 : 인제대학교 대학원 나노시스템공학과 재학 중

<관심분야>
전자공학, 반도체, 회로설계

허 윤 석(Yun-Seok Heo) [준회원]

- 2005년 2월 ~ 현재 : 인제대학교 나노공학부 재학 중

<관심분야>
전자공학, 반도체, 회로설계

송 한 정(Han-Jung Song) [정회원]

- 1986년 2월 : 한양대학교 전자공학부 (공학사)
- 1988년 2월 : 한양대학교 대학원 전자공학과 (공학박사)
- 2000년 8월 : 한양대학교 대학원 전자공학과 (공학박사)
- 1988년 1월 ~ 1994년 2월 : 금성일렉트론 선임연구원
- 1994년 3월 ~ 2004년 2월 : 충청대학 전자정보과 부교수
- 2001년 3월 ~ 2004년 2월 : University of Florida 방문연구원
- 2004년 3월 ~ 현재 : 인제대학교 나노공학부 부교수

<관심분야>
전자공학, 반도체, 회로설계