

a-Si:H TFT의 누설전류 및 문턱전압 특성 연구

양기정 · 윤도영†

광운대학교 화학공학과
139-701 서울시 노원구 월계동 447-1
(2010년 7월 8일 접수, 2010년 9월 16일 채택)

Leakage Current and Threshold Voltage Characteristics of a-Si:H TFT Depending on Process Conditions

Kee-Jeong Yang and Do-Young Yoon†

Department Of Chemical Engineering, Kwangwoon University, 447-1, Wolgye-Dong, Nowon-Gu, Seoul 139-701, Korea
(Received 8 July 2010; accepted 16 September 2010)

요 약

높은 누설 전류와 문턱 전압의 이동은 비정질 실리콘(a-Si:H) 트랜지스터(TFT)의 단점이다. 이러한 특성은 게이트 절연체와 활성층 박막의 막 특성, 표면 거칠기와 공정 조건에 따라 영향을 받는다. 본 연구의 목적은 누설 전류와 문턱 전압의 특성을 개선하는데 목적이 있다. 게이트 절연체의 공정 조건에 대해서는 질소를 증가한 증착 공정 조건을 적용하였고, 활성층의 공정 조건에 대해서는 산소를 증가한 공정 조건을 적용하여 전자 포획을 감소시키고 박막의 밀도를 증가시켰다. I_{off} 는 65 °C 조건하에서 1.01 pA에서 0.18pA로, ΔV_{th} 는 -1.89 V에서 -1.22V로 개선되었다.

Abstract – High leakage current and threshold voltage shift(ΔV_{th}) are demerits of a-Si:H TFT. These characteristics are influenced by gate insulator and active layer film quality, surface roughness, and process conditions. The purpose of this investigation is to improve off current(I_{off}) and ΔV_{th} characteristics. Nitrogen-rich deposition condition was applied to gate insulator, and hydrogen-rich deposition condition was applied to active layer to reduce electron trap site and improve film density. I_{off} improved from 1.01 pA to 0.18 pA at 65 °C, and ΔV_{th} improved from -1.89 V to -1.22 V.

Key words: a-Si:H TFT, Leakage Current, Threshold Voltage Shift, LCD, Photo Current

1. 서 론

Liquid crystal display(LCD)는 액체와 고체의 중간상인 액정의 전기 광학적 성질을 디스플레이에 응용한 것으로 가볍고 얇으며, 전력 소비량이 적은 장점을 바탕으로 평판 디스플레이에서 가장 높은 점유율로 시장으로 점유하고 있으며, 최근에는 3D 디스플레이와 플렉시블 디스플레이로의 영역으로 확대되고 있다[1,2]. Thin film transistor(TFT)-LCD는 스위치 소자를 TFT로 구성하여 각 화소에 위치시켜서 제어를 개별적으로 수행하여, 단순 matrix 구조에 비해 해상도, 대비비, 시야각 특성을 향상시킬 수 있는 구조이다. 현재 TFT에는 비정질 실리콘(a-Si:H)이 적용되고 있다. a-Si:H TFT는 단결정 Si 및 다결정 Si에 비해 낮은 전자 이동도, 온도 및 빛에 의한 높은 누설전류, 장시간 동작 시 threshold voltage의 shift에 따른 회로의 불안정성이 단점이다[3]. 특히 화소를 제어하는 TFT에 비해 gate drive IC를 구현하는 TFT는 bias stress에 취약하고 이는 제품 수명에 결정적인 영향을 미친다[4]. 특히 보통의 TFT-LCD의 구동 환경이 저온

영역(0 °C)에서 고온 영역(60 °C)까지 걸쳐있으므로, 온도에 따른 a-Si:H TFT의 특성과, backlight에 의한 광 특성의 변화가 디스플레이의 화질에 영향을 주고 있다. 이 중에서도 TFT gate insulator 내의 charge trapping과 gate insulator와 active layer 간의 계면에서의 defect 증가에 따른 threshold voltage shift 현상은 화면 구현에 많은 제약을 준다[5,6].

본 실험에서는 a-Si:H TFT의 단점인 온도 및 빛에 의한 높은 누설 전류 및 threshold voltage shift에 따른 회로의 불안정성을 개선하기 위한 공정 평가를 수행하였다.

2. 실 험

Fig. 1은 본 실험에 적용된 TFT 구조를 나타내고 있다. Gate는 AlNd/Mo(2500Å), gate insulator는 SiN_x (4000Å), active layer는 a-Si:H(2,000Å), source/drain은 Mo(2,000Å), passivation layer는 SiN_x (2,000Å), pixel layer는 ITO(500Å)를 적용하였다. 본 논문에서 논의될 gate insulator, active layer, 그리고 passivation layer는 plasma enhanced chemical vapor deposition(PECVD) 방법을 이용하여 증착하였다. 증

†To whom correspondence should be addressed.
E-mail: yoondy@kw.ac.kr

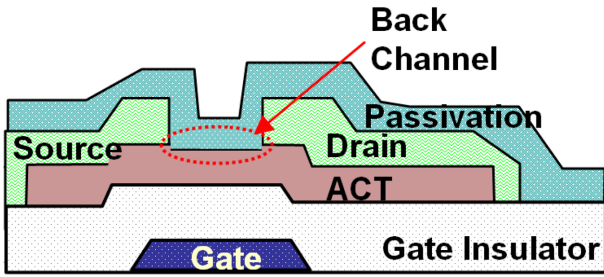


Fig. 1. TFT structure.

Table 1. PECVD deposition conditions

Conditions	Gate Insulator (SiN _x)	Active-1 (a-Si:H)	Active-2 (n+ a-Si:H)	Passivation (SiN _x)
RF power [W]	400	150	300	400
Press. [Torr]	1.2	1.2	1.2	1.2
Temp. [°C]	370	370	370	280
N ₂ [sccm]	90	-	-	90
NH ₃ [sccm]	25	-	-	10
SiH ₄ [sccm]	10	10	15	10
H ₂ [sccm]	-	30	46	-
PH ₃ [sccm]	-	-	10	-

작 조건은 다음 Table 1과 같다. Active layer 증착 시에는 gate insulator 계면 부분에서는 a-Si:H을 증착(active-1)하고, source와 drain 전극 사이의 전기 접촉 저항을 향상시키기 위해 phosphorus(P)를 doping하여 증착(active-2)했다. 완성된 TFT는 4200-SCS(Keithley)를 이용하여 전기적 특성을 분석하였다.

3. 결과 및 고찰

완성된 TFT는 drain current-gate voltage(I-V) 그래프(Fig. 2)로부터 동작 특성을 확인할 수 있다. 상온(25 °C)과 고온(65 °C), 그리고 광 조사 조건에서 측정했다. 실제 디스플레이는 backlight에 의해 빛과 고온의 조건 하에서 구동되기 때문에, TFT의 정확한 거동 특성을 관찰하기 위해 고온과 광 조사 조건에서 측정이 이루어 졌다.

고온 측정 조건에서 off current(I_{off})는 증가된 특성을 보이고 있으며, threshold voltage shift 값(ΔV_{th})도 다소 높은 값을 나타냈다. 또

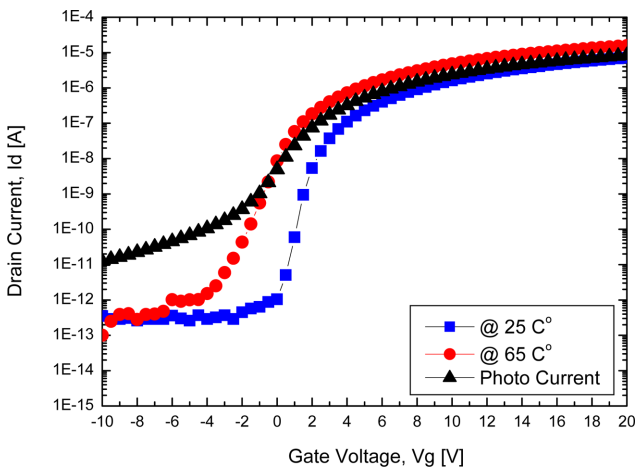
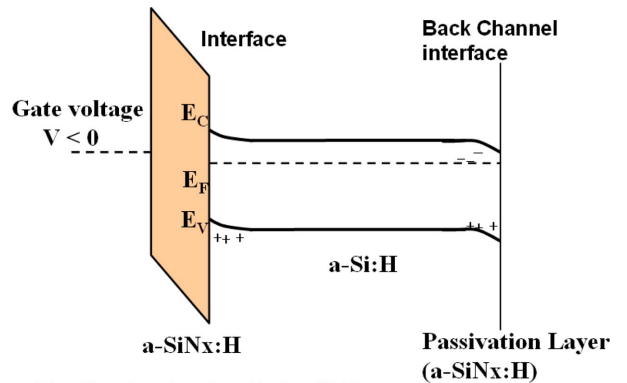


Fig. 2. I-V characteristics at initial deposition condition.

Table 2. I-V characteristics at initial deposition condition

Sample No.	Test Condition	I _{on} [μA]	I _{off} [pA]	V _{th} [V]	ΔV _{th} [V]
#1	25 °C	1.63	0.26	1.82	-
	65 °C	4.80	1.01	-0.07	-1.89
	Photo current	2.72	67.10	1.32	-

한 photo current도 불안정한 누설전류 특성을 보이고 있다. 고온의 조건에서 누설 전류가 발생함에 따라 I_{off}가 높아지게 되고 ΔV_{th}의 증가가 발생하게 되어, 디스플레이의 data 신호 변화에 따라 TFT내의 화소 전압에서 변화가 발생할 수 있다. 따라서 화질의 저하뿐만 아니라 신호 왜곡에 의한 화질의 crosstalk이 발생할 수 있다. 높은 ΔV_{th}가 발생하는 원인은 gate insulator(SiN_x)에서의 전하 trapping에 기인한다고 할 수 있다[7]. 고온 조건에서 gate insulator와 active layer 계면에서 gate insulator내의 불특정한 준위로 electron tunneling이 발생하게 되고, 따라서 flatband voltage shift가 발생하게 된다. 결국 ΔV_{th}가 생기는 원인은 gate insulator와 active layer 계면에서의 electron hopping conduction에 기인하는 것이며, 이는 SiN_x의 막 특성에 좌우된다고 할 수 있다. 또한 누설전류가 증가하는 원인으로서는 Fig. 1의 TFT 구조에서 back channel과 passivation 사이의 back surface에 존재하는 전하 밀도(charge density)가 높아져 발생하는 전하 trapping 현상에 의한 것이다. 즉 I_{off} 상태의 누설 전류는 active layer의 etching 후 strip 공정 중에 오염이 발생이 될 수 있고, back surface 표면 거칠기에 의해 defect가 발생하여 전하 trapping 현상이 발생하며, back surface에 전하 축적 층이 형성되어 누설전류가 증가할 수 있는 것이다(Fig. 3). 또한 active layer의 a-Si:H의 박막의 상태



E_C: Conduction band of a-Si:H
 E_V: Valence band of a-Si:H
 E_F: Fermi energy of a-Si:H

Fig. 3. Band-bending diagram of a-Si:H TFT.

Table 3. I-V characteristics at various O₂ ashing time

Sample No.	O ₂ ashing [sec]	Temp. [°C]	I _{on} [μA]	I _{off} [pA]	V _{th} [V]	ΔV _{th} [V]
#1	-	25	1.63	0.26	1.82	-
		65	4.80	1.01	-0.07	-1.89
#2	10	25	2.36	1.29	1.29	-
		65	4.99	0.15	-0.15	-1.45
#3	20	25	2.08	1.69	1.31	-
		65	4.53	0.25	-0.18	-1.49
#4	30	25	1.97	0.83	1.71	-
		65	4.23	0.39	0.30	-1.41

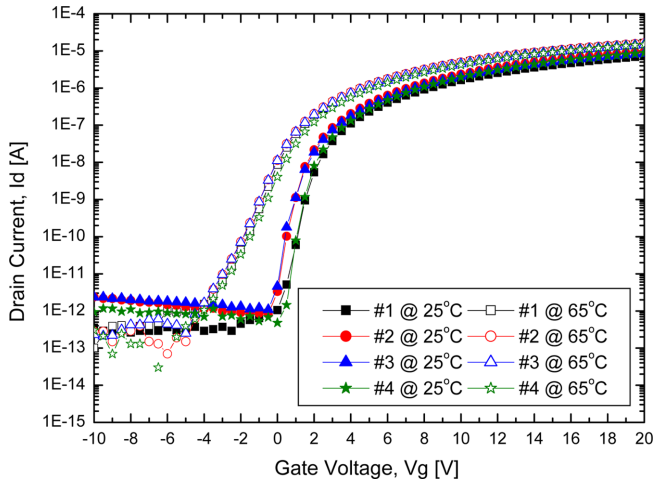


Fig. 4. I-V characteristics at various O₂ ashing time.

의 결함밀도가 높을 경우 박막 내에 defect 증가로 인해 전하 trapping site가 증가함으로써 누설 전류에 취약해 질 수 있다. 따라서 광 조사에 따른 광전류 특성에 취약해 질 수 있는 것이다. 그리고 a-Si:H의 비저항이 작을 경우와 gate insulator와 active layer 계면에서의 defect에 의해서도 누설 전류에 취약해 질 수 있다. 이러한 원인을 해결하기 위해 back channel에서의 오염을 제거하기 위한 back channel O₂ ashing 공정 적용에 대한 평가와 active layer와 gate insulator의 막질

개선 및 계면 특성 개선을 위한 공정 평가가 수행되었다.

Table 3과 Fig. 4는 back channel dry etching 공정 후 O₂ ashing 공정 시간에 따른 I-V 특성 평가 결과를 나타내고 있다. Active-2 layer에 대한 dry etching 공정 이후의 strip 공정 시에 잔류 물질에 의해 발생한 back channel 오염에 대해서 O₂ ashing 공정을 적용함으로써 이러한 영향을 최소화하는 효과를 얻을 수 있다. O₂ ashing time이 증가할 수록 ΔV_{th} 가 감소하는 특성을 보이고 있다. I_{off} 특성은 상온에서 높은 특성을 보이고 있으나, 고온에서는 안정적인 특성을 보이고 있다. 따라서 back channel surface 상태에 따라 많은 영향을 받고 있음을 알 수 있다. 이를 개선하기 위해 증착 공정 조건에 대한 평가를 통한 막 표면에 대한 거칠기와 I-V 특성을 측정했다.

Table 4는 각 layer에 대해 개선된 증착 조건을 나타내고 있다. Gate

Table 4. PECVD improved deposition conditions

Conditions	Gate Insulator (SiN _x)	Active-1 (a-Si:H)	Active-2 (n+ a-Si:H)
RF power [W]	400	150	300
Press. [Torr]	1.2	1.2	1.2
Temp. [°C]	370	370	370
N ₂ [sccm]	230	-	-
NH ₃ [sccm]	65	-	-
SiH ₄ [sccm]	12	10	15
H ₂ [sccm]	-	60	75
PH ₃ [sccm]	-	-	10

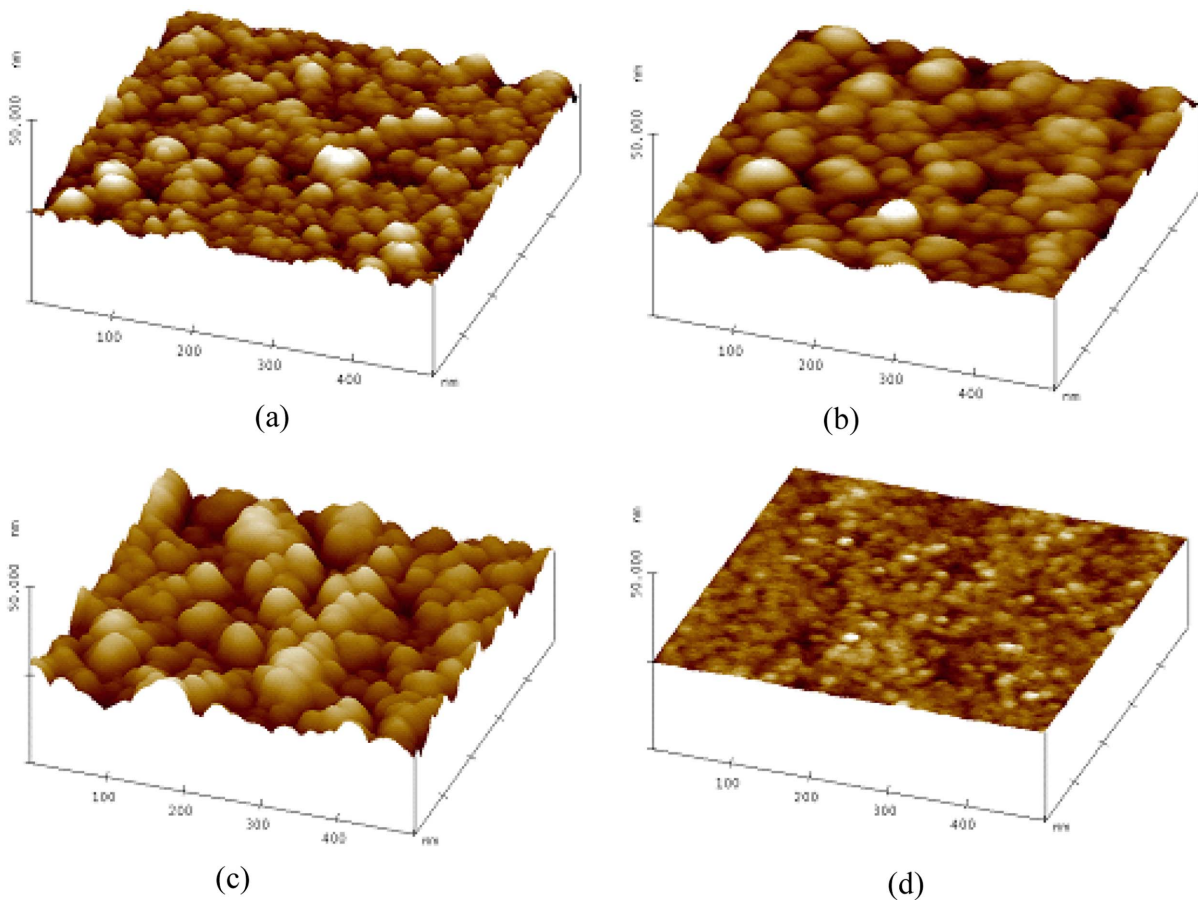


Fig. 5. Morphology images of gate insulator and active layer. (a) initial gate insulator, rms=1.184 nm, (b) improved gate insulator, rms=0.932 nm, (c) initial active layer, rms=2.039 nm, (d) improved active layer, rms=0.158 nm.

Table 5. I-V characteristics at improved deposition condition.

	Process condition				Test Condition	I_{on} [μ A]	I_{off} [pA]	V_{th} [V]	ΔV_{th} [V]
	Gate insulator	Active layer-1	Active layer-2	O ₂ ashing [sec]					
#5	improved	initial	improved	-	25	1.29	0.71	2.49	-1.45
					65	2.94	0.15	1.04	
					Photo Bias	1.73	16.56	1.32	
#6	improved	initial	improved	30	25	1.17	2.67	2.67	-1.34
					65	2.72	1.42	1.33	
					Photo Bias	1.63	13.11	1.35	
#7	improved	improved	improved	-	25	1.46	1.99	2.44	-1.62
					65	3.38	0.29	0.83	
					Photo Bias	2.07	33.01	1.12	
#8	improved	improved	improved	30	25	1.29	0.71	2.21	-1.22
					65	2.96	0.13	0.99	
					Photo Bias	1.39	1.08	1.81	

insulator는 ΔV_{th} 의 원인이라 할 수 있는 막 특성을 개선하기 위해 nitrogen-rich 증착 공정 조건과 표면 거칠기를 개선하기 위한 조건이 적용되었다. 또한 active layer는 I_{off} 개선을 위해 hydrogen-rich 증착 공정 조건과 a-Si:H 막을 치밀하게 하고 표면 거칠기를 개선하는 조건을 적용하였다. 그리고 앞서 평가한 back channel O₂ ashing 적용 유무에 따른 효과를 확인했다.

Fig. 5는 개선 전후의 gate insulator와 active layer의 표면 거칠기를 나타내고 있다. 기존의 증착 막과 비교해 막의 거칠기가 개선되었음을 확인할 수 있었다. 그리고 개선된 증착 공정을 선별적으로 적용하여 평가한 결과를 Table 5와 Fig. 6, 7에 나타냈다. 초기 공정 조건에 대비해서 개선된 조건이 적용된 8번 샘플에서 I_{off} 와 ΔV_{th} 모두 개선된 특성 결과를 보여주고 있다. 이는 앞서 논의된 바와 같이, gate insulator SiN_x layer의 막 특성을 향상시키고, active layer의 증착 공정에서 H-rich 조건을 적용함으로써 막내의 dangling bond 밀도를 낮추고 막의 밀도를 높여 낮은 ΔV_{th} 등 TFT의 개선된 특성을 도출할 수 있었다. 또한 증착 막의 거칠기를 개선하고 back channel의 오염을 개선함으로써 누설 전류값이 낮아졌음을 알 수 있다.

4. 결 론

본 실험에서는 a-Si:H TFT의 단점인 온도 및 빛에 의한 높은 누설 전류, threshold voltage shift에 영향을 미치는 인자의 개선을 통해 단점을 보완할 수 있는 방법을 제시하였다. 높은 누설 전류와 threshold voltage shift는 TFT LCD의 화질에 직접적인 영향을 미칠 수 있고, 특히 고온 수직 crosstalk과 같은 화질 저하를 유발할 수 있기 때문에 반드시 개선되어야 하는 특성이다. 각각의 특성들은 gate insulator와 active layer의 막질 개선 및 거칠기 개선, 그리고 back channel의 오

염 원인을 제거함으로써 ΔV_{th} 를 -1.89 V에서 -1.22 V로, I_{off} 는 65 °C에서 1.01 pA에서 0.18 pA로 안정화되었으며, photo current 특성 역시 향상되었다.

감 사

본 논문은 서울시 기반사업의 연구과제(10890)로 수행된 결과이며, 연구지원에 감사드립니다.

참고문헌

1. Stemi, LCD-PDP-OLED Materials & Components Market Forecast, 15(2005)
2. Stemi, Next Generation Display Market Forecast, 83(2004).
3. Tsukada, T., "TFT/LCD: Liquid-Crystal Display Addressed by Thin-Film, Transistors," *Jpn. Tech. Rev.*, **29**, 66-73(1996).
4. Staebler, D. L. and Wronski, C. R., "Reversible Conductivity Changes in Discharge-Produced Amorphous Si," *Appl. Phys. Lett.*, **31**, 292-294(1977).
5. Powell, M. J., "The Physics of Amorphous-Silicon Thin-Film Transistors," *IEEE Conf. on electron Devices*, **36**(12), 2753-2763 (1989).
6. Lebrun, H., Szydlo, N. and Bidal, E., "Threshold-Voltage Shift of Amorphous-Silicon TFTs in Integrated Devices for Active-matrix LCDs," *SID2003*, 539-542(2003).
7. Powell, M. J., "Charge Trapping Instabilities in Amorphous Silicon-Silicon Nitride Thin-Film Transistors," *Appl. Phys. Lett.*, **43**, 597-599(1983).