

# 비선형 RF 전력 증폭기의 효율적 다항식 기반 이산 행동 모델링 기법에 관한 연구

## A Study on Efficient Polynomial-Based Discrete Behavioral Modeling Scheme for Nonlinear RF Power Amplifier

김 대 근 · 구 현 철

Daegeun Kim · Hyunchul Ku

### 요 약

본 논문에서는 비선형 RF 전력 증폭기의 효율적인 다항식 기반의 이산 신호 모델링 방법을 제시하였다. 비선형 RF 증폭기의 입, 출력 신호의 샘플링 과정을 통하여 이산 비선형 모델을 추출하는 과정을 기술하고, 테일러 급수와 메모리 다항식 구조를 이용한 다항식 기반의 비선형 이산 모델에서 모델 인자인 샘플률, 비선형 차수, 최대 메모리 깊이의 변화에 따른 모델의 오차를 분석하였다. 다항식 기반의 비선형 모델에서 오차는 샘플률, 비선형 차수, 최대 메모리 깊이에 대하여 특정 값 이후부터 일반적으로 수렴하는 특성을 보인다. 이에 모델 인자 값에 따른 시스템의 복잡성을 고려하는 효율적인 이산 신호 모델링 기법을 제시하였다. 모델링 효율 지수를 정의하고, 이를 활용하여 최적의 모델 인자 값을 추출하는 방법을 제시하였다. 제시한 방법을 WiBro, WCDMA 등의 다양한 신호를 가지는 RF 전력 증폭기의 모델링에 적용하고, 제시한 방법의 효율성을 검증하였다. 제안된 기법은 빠른 속도의 모델링과 저렴한 가격의 디지털부를 사용할 수 있게 하여 차후 광대역 송신기에서의 빠른 속도와 낮은 가격의 디지털 전치 왜곡기 구성 등에 활용될 수 있을 것으로 사료된다.

### Abstract

In this paper, we suggest a scheme to develop an efficient discrete nonlinear model based on polynomial structure for a RF power amplifier(PA). We describe a procedure to extract a discrete nonlinear model such as Taylor series or memory polynomial by sampling the input and output signal of RF PA. The performance of the model is analyzed varying the model parameters such as sample rate, nonlinear order, and memory depth. The results show that the relative error of the model is converged if the parameters are larger than specific values. We suggest an efficient modeling scheme considering complexity of the discrete model depending on the values of the model parameters. Modeling efficiency index(MEI) is defined, and it is used to extract optimum values for the model parameters. The suggested scheme is applied to discrete modeling of various RF PAs with various input signals such as WCDMA, WiBro, etc. The suggested scheme can be applied to the efficient design of digital predistorter for the wideband transmitter.

Key words : Power Amplifier, Memory Polynomial, Behavioral Modeling, Modeling Efficiency, Predistorter

### I. 서 론

무선 통신 시스템은 대용량의 데이터를 고속으로 정확히 전송하는 것을 목표로 발달하고 있다. 데이

「이 논문은 2010년 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(2010-0015258).」

건국대학교 전자공학과(Department of Electronic Engineering, Konkuk University)

· 논문 번호 : 20100519-067

· 교신저자 : 구현철(e-mail : hcku@konkuk.ac.kr)

· 수정완료일자 : 2010년 9월 15일

터의 대용량 고속 전송을 위해 심볼당 전송 데이터 수 및 단위 시간당 전송 심볼 수가 증가하고, 이는 송신 신호의 PAPR(Peak to Average Power Ratio)과 대역폭을 증가시킨다. 이는 전력 증폭기에서 넓은 입력 범위를 가지는 신호에 대한 광대역 선형화 기법을 요구하는 요인이 된다. 다양한 전력 증폭기 선형화 방식 중에서 디지털 전치 왜곡 기법(DPD: Digital Predistortion)은 선형성 개선 성능이 좋고, 여분의 전력 증폭기가 필요하지 않은 장점이 있다<sup>[1]</sup>.

디지털 전치 왜곡 선형화기는 기저 대역의 디지털부에서 FPGA(Field Programmable Gate Array)와 DSP(Digital Signal Processor) 등을 활용하여 전력 증폭기의 비선형 특성을 선보상하는 과형을 발생시키는 장치로서, 디지털 전치 왜곡 선형화기의 설계 및 구현을 위해서는 RF 전력 증폭기의 비선형 특성을 디지털 기저 대역에서 효과적으로 모델링하는 과정이 필요하다. 행동 모델(behavioral model)은 입, 출력 신호를 이용하여 시스템의 수학적 모델을 산출하는 방식으로 디지털 전치 왜곡기 설계 등을 위한 전력 증폭기 분석 등에 사용된다. 다양한 비선형 행동 모델 중 다항식 기반의 수학적 모델을 이용하는 방법이 자주 활용되고 있다. 다항식 기반의 모델은 테일러 급수를 이용한 단순한 메모리리스 행동 모델부터 메모리를 가지는 비선형 시스템의 일반적인 표현을 위한 볼테라 급수 등이 있다<sup>[2],[3]</sup>. 실제 전력 증폭기의 디지털 전치 왜곡기 구성을 위해서는 성능과 복잡성 등을 고려하여 메모리 다항식 기반의 행동 모델이 종종 사용된다<sup>[2],[4]</sup>.

RF 전력 증폭기의 입, 출력 신호는 RF 대역의 연속 신호이며, 디지털 전치 왜곡기의 설계를 위해서는 기저 대역의 디지털 신호가 필요하다. 이러한 아날로그 신호와 디지털 신호의 변환에는 샘플링이 필요하다. 새년의 샘플링이론<sup>[5]</sup>에 따르면 연속 신호를 이산 신호로 변환 후 왜곡 없이 복원하기 위해서는 연속 신호 최대 주파수의 두 배 이상의 샘플링이 필요하다. 일반적으로 전력 증폭기를 통과한 출력 신호의 대역폭은 전력 증폭기의 비선형 특성에 따라 홀수배로 증가하게 된다. 출력 신호를 이산 신호로 변환 후 왜곡 없이 복원하기 위해서는 그에 비례하여 샘플링의 증가를 필요로 한다. 하지만 디지털 전치 왜곡기의 구현에 필요한 비선형 모델링의 목표는

출력 신호의 왜곡 없는 복원이 아니라 전력 증폭기의 비선형 특성의 정확한 추출이므로 실제 구현 시 확장된 대역폭의 나이퀴스트율 이상의 샘플링이 필요하지 않다.

본 논문에서는 DSP부의 처리속도 및 용량에 영향을 미치는 샘플링, 비선형 차수, 전력 증폭기의 메모리 효과를 고려할 경우 메모리 깊이 등의 요소가 다항식 기반의 비선형 모델의 정확도에 미치는 영향을 분석하고, 이를 바탕으로 효율적인 이산 행동 모델링을 위한 최적 조건 도출 기법을 제시한다. 이는 광대역, 고속 데이터 전송을 요구하는 통신 환경에서 효율적으로 디지털 전치 왜곡기를 설계할 수 있게 하여 차세대 무선 통신 송신부의 비용 절감 및 성능 향상에 도움이 될 수 있을 것이다.

2장에서는 새년의 샘플링 이론<sup>[5]</sup>과 Zhu의 일반적 샘플링 이론<sup>[6]</sup>을 바탕으로 비선형 RF 전력 증폭기의 이산 모델링에 필요한 샘플링에 대하여 살펴본다. 3장에서는 다항식 기반의 이산 행동 모델과 모델의 변수값을 추출하는 과정에 대하여 설명한다. 4장에서는 최적의 이산 신호 모델링 조건 산출 방법을 제안하고, 시뮬레이션 및 실험을 통하여 제안된 방법의 유효성을 검증한다.

## II. 비선형 RF 시스템의 이산 신호 모델링

비선형 RF 전력 증폭기의 입출력 신호 및 이산 신호 모델링 과정을 도시하면 그림 1과 같다. 이산 신호 모델링을 위하여 전력 증폭기의 출력 신호는 주파수 하향 변환 후 ADC에서 샘플링의 과정을 거친다.

입력의 연속 기저 대역 복소 신호를  $x(t)$  라 하고, 중심 주파수를  $f_{RF}$ 라 할 때 전력 증폭기에 입력 신호는 다음과 같다.

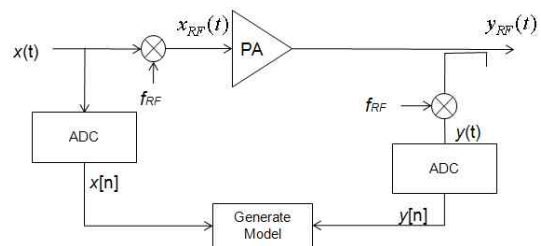


그림 1. RF 전력 증폭기 이산 신호 모델링 블록도  
Fig. 1. Block diagram for discrete signal modeling of nonlinear RF PA.

$$x_{RF}(t) = Re[x(t)e^{j2\pi f_{RF}t}] \quad (1)$$

전력 증폭기의 중심 주파수 대역의 출력 RF 신호는 다음과 같이 표현한다.

$$y_{RF}(t) = Re[y(t)e^{j2\pi f_{RF}t}] \quad (2)$$

이 경우  $y(t)$ 는 기저 대역 복소 출력 신호이다. RF 신호를 분석하기 위해 필요한 샘플률은 매우 크므로 일반적으로 하향 변환기와 저역 통과 필터를 통과한 기저 대역 신호  $y(t)$ 를 샘플링하여 디지털부에서 사용한다. 식 (1), (2)의  $x(t)$ ,  $y(t)$ 는 연속 신호이지만 디지털 전치 왜곡기 구현에 필요한 신호는 이산 신호이므로 다음과 같이 샘플링 한다( $n$ 은 정수).

$$\begin{aligned} x_s(t) &= x(t) \sum_{n=-\infty}^{\infty} \delta(t-nT_s), \\ y_s(t) &= y(t) \sum_{n=-\infty}^{\infty} \delta(t-nT_s) \end{aligned} \quad (3)$$

샘플링 주파수를  $f_s$ 라 하면 주기인  $T_s$ 는  $1/f_s$ 가 된다. 이 경우 샘플링된 입출력 복소 기저 대역 이산 신호는 다음과 같이 표시할 수 있다.

$$x[n] = x_s(nT_s), \quad y[n] = y_s(nT_s) \quad (4)$$

새년의 샘플링이론<sup>[5]</sup>에 의하면 신호의 주파수가  $f_0$ 인 신호를 복원하기 위한 샘플링 주파수  $f_s$ 는  $f_s \geq 2f_0$ 를 만족해야 한다. 샘플링 주기를  $T_s$ 라 하면 연속 신호  $x(t)$ 는 다음과 같은 식을 이용하여 이산 신호로부터 복원 가능하다.

$$x(t) = \sum_{n=-\infty}^{\infty} x[n] \frac{\sin[\pi(t-nT_s)T_s]}{\pi(t-nT_s)T_s} \quad (5)$$

Zhu의 일반적 샘플링 이론<sup>[6]</sup>에 따르면 하나의 변수를 가지는 신호  $f(t)$ 에 대하여, 대역 제한 신호  $g(f(t))$ 를 생성하는 1대 1 연속 사상  $g(\cdot)$ 가 존재하면,  $g(\cdot)$ 의 역함수  $g^{-1}(\cdot)$ 를 이용하여 식 (6)과 같이  $f(t)$ 를 결정할 수 있다.

$$f(t) = g^{-1} \left\{ \sum_{n=-\infty}^{\infty} g(f(t_n)) \frac{\sin[\pi(t-nT_s)T_s]}{\pi(t-nT_s)T_s} \right\} \quad (6)$$

$f(t)$ 는 대역 제한 신호  $g(f(t))$ 의 나이퀴스트율로 복원이 가능하다. 이러한 Zhu의 일반적 샘플링 이론

을 이용하면 일대일 사상의 특성을 가지는 일반적인 Weakly 비선형 특성을 가지는 메모리리스 전력 증폭기의 특성을 함수  $f(\cdot)$ 로 표현하고, 역함수  $g^{-1}(\cdot) = f^{-1}(\cdot)$ 를 가정하면, 전력 증폭기의 비선형 모델링과 전치 왜곡기 설계를 위하여서는 입력 신호에 대한 나이퀴스트 샘플율로서 가능하다는 것을 알 수 있다<sup>[7]</sup>. 참고문헌 [8]에서는 볼테라 시스템의 추출을 위해서는 입력 신호에 대한 나이퀴스트 샘플율이 충분하다는 것을 보이고 있다.

### III. 다항식 기반의 이산 비선형 모델

다항식 기반의 비선형 모델은 테일러 급수와 같은 형태를 가진다. 전력 증폭기의 메모리 효과를 고려하지 않는 메모리리스 다항식 모델과 이를 확장하여 메모리 효과를 고려한 메모리 다항식 모델에 관하여 살펴본다.

#### 3.1 메모리리스 다항식 모델

메모리리스 다항식 모델은 하나의 입력에 대하여 하나의 출력을 갖게 된다. 연속 신호인 입력 신호  $x(t)$ 와 출력 신호  $y(t)$ 의 전달 함수를  $f(\cdot)$ 라 하고 메모리리스 다항식 모델을 적용하면 다음과 같이 표현할 수 있다.

$$y(t) = f(x(t)) = \sum_{k=1}^N a_{2k-1} |x(t)|^{2(k-1)} \cdot x(t) \quad (7)$$

식 (7)은 다음과 같은 이산 신호의 관계식으로 표현된다.

$$y[n] = f(x[n]) = \sum_{k=1}^N a_{2k-1} |x[n]|^{2(k-1)} \cdot x[n] \quad (8)$$

식 (8)은 연속 입출력 신호와 같이 이산 입출력 신호에 대한 복소 테일러 급수 모델을 나타낸 것이다. 여기서  $(2k-1)$ 은 비선형 차수를 나타낸다. 모델링에 이산 입출력 신호  $m$ 개를 순서대로 사용했다고 가정하고  $x_n, y_n$ 을 각각  $x[n], y[n]$ 이라 하면 위의 수식은 다음과 같은 행렬식으로 나타낼 수 있다.

$$y = \mathbf{X}_N \cdot \mathbf{a} \quad (9)$$

여기서

$$\mathbf{y} = \begin{bmatrix} y_1 \\ y_2 \\ y_3 \\ \vdots \\ y_m \end{bmatrix}, \mathbf{X}_N = \begin{bmatrix} x_1 & |x_1|^2 x_1 & \cdot & |x_1|^{2(N-1)} x_1 \\ x_2 & |x_2|^2 x_2 & \cdot & |x_2|^{2(N-1)} x_2 \\ x_3 & |x_3|^2 x_3 & \cdot & |x_3|^{2(N-1)} x_3 \\ \vdots & \vdots & \vdots & \vdots \\ x_m & |x_m|^2 x_m & \cdot & |x_m|^{2(N-1)} x_m \end{bmatrix}, \mathbf{a} = \begin{bmatrix} a_1 \\ a_3 \\ a_5 \\ \vdots \\ a_{2N-1} \end{bmatrix} \quad (10)$$

위의 행렬  $\mathbf{X}_N$ 은  $m \times N$ 의 크기를 가지며, 시스템 변수 벡터인  $\mathbf{a}$ 는 최소 자승법을 이용하여  $\mathbf{X}_N$ 의 유사역행렬과  $\mathbf{y}$ 의 곱으로부터 구할 수 있다. 비선형 차수와 샘플률 및 샘플의 개수는  $\mathbf{X}_N$ 의 크기를 결정하여 DSP부에서 처리할 데이터량 및 시간을 결정하게 된다.

### 3-2 메모리 다항식 모델

전력 증폭기의 출력은 전력 소자의 열 특성, DC 바이어스 또는 정합 회로의 주파수 특성에 따라 메모리 효과를 가지게 되어 출력 값은 현재 신호 및 과거 신호에 영향을 받게 된다. 신호의 대역폭이 커질수록 주파수 응답 특성의 변화가 커지고, 신호의 PAPR의 증가에 따른 열 특성 등의 변화가 증가하여 높은 PAPR을 가지는 차세대 통신 시스템에서 메모리 효과는 증가하는 경향이 있다. 그러므로 차세대 통신 시스템에서 디지털 전치 왜곡기를 설계하기 위하여서는 메모리 효과를 고려해 주는 것이 필수적이다. 메모리 효과를 포함하는 다양한 모델 중 메모리 다항식 모델은 다항식 기반의 모델을 사용하여 3.1 절에서 기술한 최소 자승법을 활용하여 타 기법에 비하여 상대적으로 용이하게 시스템 변수 값을 추출할 수 있는 장점이 있어서 디지털 전치 왜곡기 설계 등에 종종 활용되고 있다<sup>[2],[4]</sup>. 메모리 다항식 모델의 기본적인 수식은 다음과 같다.

$$y[n] = \sum_{k=1}^N \sum_{q=0}^Q a_{2k-1,q} |x[n-q]|^{2(k-1)} \cdot x[n-q] \quad (11)$$

여기서  $(2k-1)$ 은 비선형 차수,  $Q$ 는 고려해 줄 최대 메모리 깊이이다. 메모리 다항식 모델 또한 식 (9)와 같이 선형 행렬식을 이용하여 입, 출력 관계 표현이 가능하며, 시스템 변수를 추출하기 위하여 최소 자승법을 사용한다. 하지만 비선형 차수와 함께 메모리 깊이를 고려해야 하므로 메모리 다항식 모델에서  $\mathbf{X}_N$  행렬은 다음과 같이 변경된다.

$$\mathbf{X}_N = [\mathbf{X}_{N0} \mathbf{X}_{N1} \mathbf{X}_{N2} \mathbf{X}_{N3} \cdot \cdot \mathbf{X}_{Nq}] \quad (12)$$

이 경우  $\mathbf{X}_{Nq}$ 는  $q$ 번째 메모리 깊이를 가지는 입력 신호에 대하여 식 (9)와 유사한 행렬을 나타내는 것으로 다음과 같이 정의된다.

$$\mathbf{X}_{Nq} = \begin{bmatrix} x_{1q} & |x_{1q}|^2 x_{1q} & |x_{1q}|^4 x_{1q} & \cdot & |x_{1q}|^{2(N-1)} x_{1q} \\ x_{2q} & |x_{2q}|^2 x_{2q} & |x_{2q}|^4 x_{2q} & \cdot & |x_{2q}|^{2(N-1)} x_{2q} \\ x_{3q} & |x_{3q}|^2 x_{3q} & |x_{3q}|^4 x_{3q} & \cdot & |x_{3q}|^{2(N-1)} x_{3q} \\ \vdots & \vdots & \vdots & \vdots & \vdots \\ x_{mq} & |x_{mq}|^2 x_{mq} & |x_{mq}|^4 x_{mq} & \cdot & |x_{mq}|^{2(N-1)} x_{mq} \end{bmatrix} \quad (13)$$

식 (13)에서  $x_{nq} = x[n-q]$ 로 정의된다. 시스템 변수를 나타내는  $\mathbf{a}$  벡터는 메모리 다항식에 대해서는 다음과 같이 정의된다.

$$\mathbf{a} = [a_{1,0} a_{3,0} \dots a_{2N-1,0} a_{1,1} a_{3,1} \dots a_{2N-1,1} \dots a_{2N-1,Q}]^T \quad (14)$$

메모리 다항식에서의  $\mathbf{X}_N$ 은  $m \times N(Q+1)$ 의 크기를 가지며,  $\mathbf{a}$ 는  $N(Q+1) \times 1$  벡터가 된다. 메모리 다항식 모델은 과거의 신호를 고려하기 때문에 모델링 과정에서 메모리리스 다항식 모델에 비해(메모리 깊이+1)배 만큼의 데이터가 필요하고, 이는 DSP부의 연산 속도 및 메모리 용량에 영향을 주게 된다. 본 논문에서는 모델링 과정에서 비선형 차수, 메모리 깊이, 샘플률에 따른 모델의 정확도를 비교하고, 모델의 정확도가 열화되지 않는 최소한의 모델링 조건을 찾아내는 방법을 제시하고, 이를 다양한 조건에 대하여 검증한다.

## IV. 다항식 기반 이산 비선형 모델의 최적 모델링 조건 산출

3장에서 기술한 다항식 기반의 이산 신호 모델링에서 모델의 성능 및 복잡도를 결정하는 인자는 비선형 차수  $N$ 과 최대 메모리 깊이  $Q$ , 샘플링 주파수  $f_s$ 와 행렬식 추출에 필요한 연속적인 이산 신호의 개수  $m$ 이다. 본 논문에서는 이산 신호 모델을 추출하는 DSP에서 다루어 주는 데이터의 개수  $m$ 을 고정시키고,  $N, Q, f_s$ 의 변화에 따른 모델의 성능을 분석한다. 또한,  $N, Q, f_s$ 를 변수로 가지는 모델링 효율 지수를 정의하고, 모델의 성능과 DSP의 속도 및 용량을 고려한 효율적인 모델을 도출하는 방법을 제시

하고 유효성을 검증한다.

4.1 모델 인자에 따른 모델 성능 분석

다항식 기반의 이산 모델의 인자 값인  $N, Q, f_s$ 를 변경해가면서 시스템 변수 값인  $\mathbf{a}$  벡터를 추출하여 모델을 생성하고, 입력 신호를 생성된 모델에 인가하여 모델의 예측 출력 신호를 생성한다. 모델의 성능을 분석하기 위하여 모델의 성능을 다음식과 같이 실제 측정된 이산 신호  $y[n]$ 와 모델에서 예측되는 이산 신호  $\tilde{y}[n]$ 의 정규화된 오차 값으로 정의한다.

$$E = \frac{\|y[n] - \tilde{y}[n]\|_2}{\|y[n]\|_2} \tag{15}$$

식 (16)에서  $\|\cdot\|_2$ 은 2-norm을 나타낸다. 그림 2는 모델 인자에 따른 모델 성능을 추출하기 위한 시스템 블록도이다.

다양한 입력 신호와 RF 전력 증폭기에 대하여 다항식 기반의 이산 모델의 인자 값인  $N, Q, f_s$ 에 따른  $E$ 값의 변화를 살펴본다. 입력 신호로는 WiBro 1FA, WiBro 3FA, WCDMA 4FA, 4 MHz의 대역폭을 갖는 16-QAM 신호를 사용하였으며, 증폭기는 WiBro 3FA 신호에 대하여서는 30 W의 정격 출력을 가지는 LD-MOS 소자를 이용한 Doherty 전력 증폭기를 WCDMA 신호의 경우는 20 W의 정격을 가지는 LDMOS 소자를 이용한 Doherty 전력 증폭기를 WiBro 1FA, 16-QAM 신호에 대해서는 GaN 소자를 이용한 10 W 급의 Class AB 전력 증폭기를 활용하였다. 그림 3에서는 측정된 WiBro 3FA 신호에 대한 입, 출력 신호

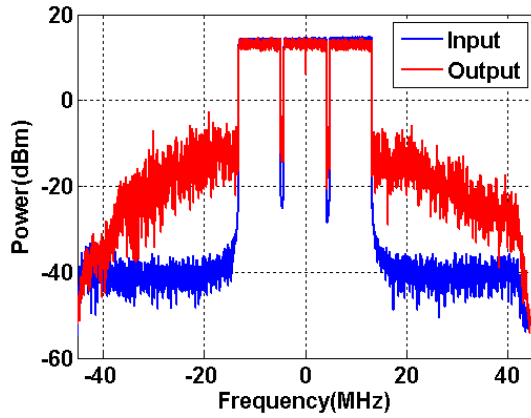


그림 3. WiBro 3FA 신호의 스펙트럼  
Fig. 3. Spectrum for WiBro 3FA signal.

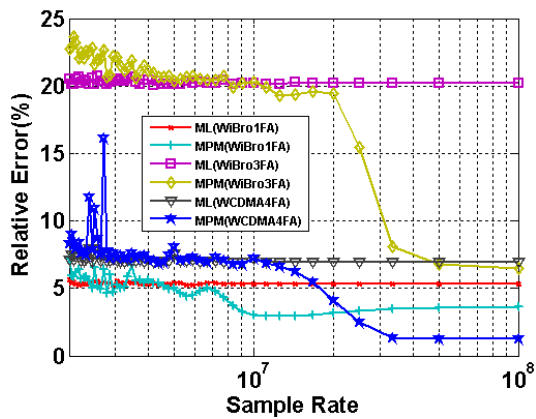


그림 4. 모델에서의 샘플률에 따른 오차  
Fig. 4. Error versus sample rate of the model.

의 스펙트럼을 나타내고 있다.

그림 4에서는  $f_s$ 의 영향에 따른  $E$ 의 변화를 도시하였다. 메모리리스 모델은 ML, 메모리 다항식 모델은 MPM으로 표현하였다. 상기의 신호 중에서 WiBro, WCDMA 신호에 대한 오차의 변화를 그림 4에서 도시하였다. ML의 경우는 샘플률의 변화에 따른 모델의 성능은 영향을 크게 미치지 않는 것을 확인할 수 있다. 반면, MPM의 경우는 입력 신호의 대역폭과 동일한 값의 샘플률 근처에서 오차가 급격히 줄어드는 양상을 보여주고 있으며, 입력 대역폭의 2 배의 샘플률 이후부터 수렴하는 특성을 확인할 수 있다. 그림 4는  $N=7, Q=4$ 를 이용한 경우의 샘플률에 따른 오차의 변화를 나타낸 것으로서  $N, Q$ 의 값의 변화에 따른 오차의 값의 변화는 발생하나, 변화의

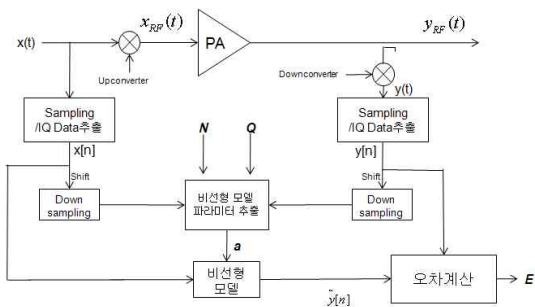


그림 2. 모델 인자에 따른 비선형 모델 성능 분석을 위한 시스템 블록도  
Fig. 2. System block diagram for analysis of model performance considering model parameters.

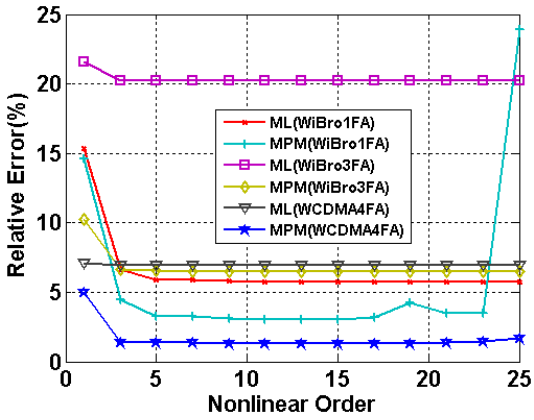


그림 5. 비선형 차수에 따른 오차  
Fig. 5. Error versus nonlinear order of the model.

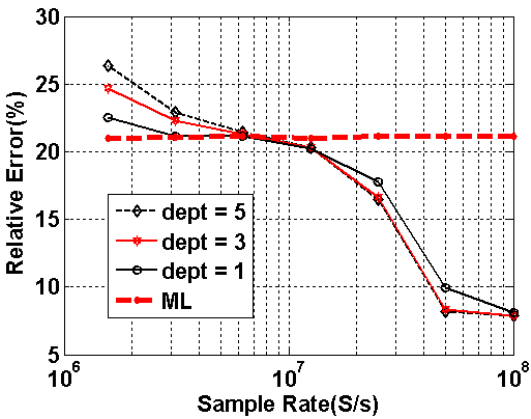


그림 6. 메모리 깊이와 샘플률 변화에 따른 오차(WiBro 3FA 신호)  
Fig. 6. Error versus memory depth and sample rate of the model(WiBro 3FA signal).

모습은 유사한 형태를 가지게 된다.

그림 5에서는  $Q=4, f_s=100$  MHz로 고정하고,  $N$ 의 변화에 따른 오차의 변화를 확인하였다.  $N$ 값이 1차에서 3차로 변화 시 오차가 가장 급격히 줄어들며, 5차 이후에는 비선형 차수의 변화는 크게 오차를 감소시키지 못하는 것을 확인할 수 있다. 반면,  $N$ 값의 증가는 식 (12), (13)에서의 행렬의 차수를 크게 증가시키고, 안정도를 감소시켜 그림 5에서와 같이 큰 차수에서는 오차가 발산하는 경우를 발생시킨다.

그림 5에서 오차 값이 수렴하는 비선형 차수를 7차로 하고, 메모리 깊이의 변화에 따른 WiBro 3FA 신호에 대한 오차의 변화를 살펴보면 그림 6과 같다.

그림 6에서와 같이 샘플률이 6 MHz를 기준으로 그보다 샘플률이 낮은 경우에는  $Q$ 값이 커질수록 오히려 오차가 커지는 것을 확인할 수 있다. 이는 샘플률이 낮아짐에 따라 이산화된 메모리 성분의 시간 간격이 커져서 메모리 깊이의 증가는 광대역 신호에 대한 메모리 특성을 나타내지 못하고 오차만을 증가시키기 때문이다. 샘플률이 6 MHz보다 큰 경우는  $Q$ 가 증가함에 따라 오차가 빠르게 감소하는 것을 확인할 수 있다.

#### 4.2 모델링 효율 지수

앞 절에서  $N, Q, f_s$ 의 영향에 따른 모델의 성능을 분석하였다. 그림 4~6의 결과에서 비선형 모델링에 많은 수의 데이터나 시스템 변수를 사용한다고 해도 모델의 정확도가 항상 좋아지는 않는다는 것을 확인할 수 있다. 오히려 지나치게 많은 경우의 수를 고려할 경우 상기 기술한 바와 같이 행렬의 발산 등의 요인들로 인해 정확도에 좋지 않은 영향을 미칠 수 있다. 앞 절에서의 모델의 성능을 출력 신호의 예측 정확도인 오차로서만 평가하였으나, 실제 모델을 이용하여 디지털 시스템을 구현을 고려하면  $N, Q, f_s$ 를 어떻게 최소화하는지가 주요한 설계 요소가 된다. 본 논문에서는 이러한 영향을 고려한 새로운 모델링 효율 지수(MEI: Modeling Efficiency Index)를 다음과 같이 정의한다.

$$MEI = (1 - E_{\text{mod}}) \left( \frac{BW \cdot N_{\text{max}} \cdot Q_{\text{max}}}{f_s \cdot N \cdot Q} \right) \left( \frac{1}{\log C} \right) \quad (16)$$

여기서

$$E_{\text{mod}} = \begin{cases} E, & \text{if } E \leq E_{th} \\ 1, & \text{if } E > E_{th} \end{cases} \quad (17)$$

식 (16)에서  $N_{\text{max}}, Q_{\text{max}}$ 는 시뮬레이터나 실제 하드웨어에서 지원 가능한 최대 비선형 차수 및 메모리 깊이를 나타낸다.  $BW$ 는 입력 신호의 대역폭이다.  $E_{th}$ 는 이산 신호 모델에서 요구하는 최대 허용 오차 레벨 값으로서 식 (17)을 이용하여 최대 허용 오차가 넘는 경우는 MEI가 0이 되도록 설정하였다. MEI는 1에서 식 (17)에서 정의된  $E_{\text{mod}}$ 를 빼 준 모델의 정확도 값을  $BW, N_{\text{max}}, Q_{\text{max}}$ 를  $f_s, N, Q$ 로 나누어준 값

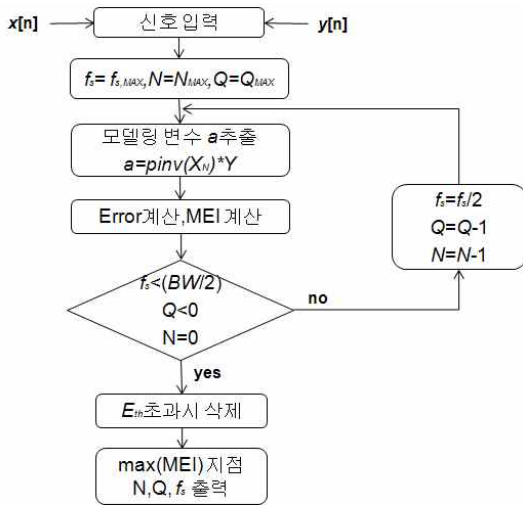


그림 7. MEI를 이용한 최적의 모델 인자 탐색 방식  
Fig. 7. A scheme to extract optimal model parameter using MEI.

을 가장 곱하였다. 이는  $f_s, N, Q$  값이 커지는 것에 따라 비례적으로 증가하는 시스템의 필요한 하드웨어 성능을 모델링 효율 지수에 포함하기 위함이다. 상기에서 정의된  $C$ 는 식 (9)의  $X_N$  행렬의 조건수를 나타내는 것으로서 모델의 안정도를 나타내는 지표이다. 조건수가 커짐에 따라 안정도가 떨어지는 것을 고려하여 모델링 효율 지수를 산정하였다. 식 (16)에서 정의된 MEI는 오차의 보수와 시스템의 연산량, 모델의 안정성의 가중곱으로 나타내는 함수로서, 이는 하나의 지수를 사용하여 이러한 영향들을 동시에 평가하여 최적 모델 조건을 산출하기 위함이다. 시스템에서 허용되는 오차값  $E_{th}$ 의 값이 적은 경우는  $1 - E_{mod} \approx 1$ 이 되어 오차에 의한 MEI의 변화는 없어지며, 시스템의 연산량과 안정성에 의한 부분이 MEI를 결정하는 주요 값이 된다. 허용되는 오차값  $E_{th}$ 가 큰 경우는 연산량뿐만 아니라 오차의 감소분도 MEI를 결정하는 성능 지표가 된다. 최적의  $f_s, N, Q$  값은 상기의 모델링 효율 지수를 최대화하는 지점이 된다. 이러한 과정을 그림 7의 순서도를 이용하여 도시하였다.

### 4.3 모델링 효율 지수를 고려한 최적 모델 성능

상기의 MEI 값을  $N=2$ 인 경우에 대하여  $f_s, Q$ 에

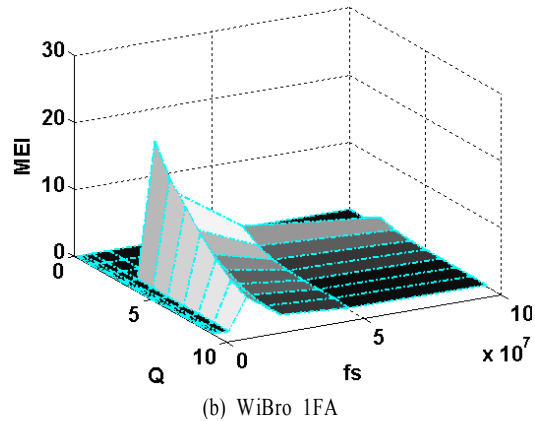
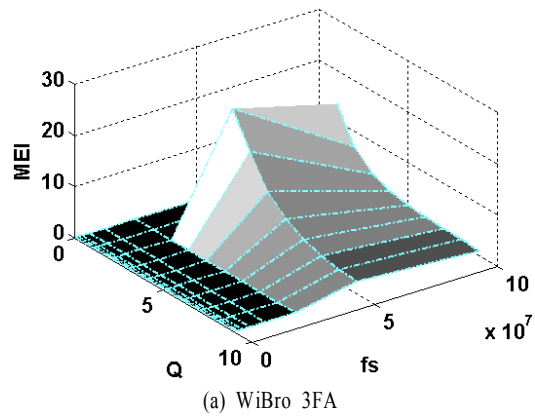


그림 8. 샘플률과 메모리 깊이에 따른 모델링 효율 지수 분포  
Fig. 8. A distribution of the MEI versus sample rate and memory depth of the model.

대한 2차원 함수로 도시하면 그림 8과 같다. 일반적으로 높은 샘플률, 메모리 깊이, 차수를 사용하면 모델의 정확도는 높아지지만 식 (16)의 모델링 효율지수를 고려하게 되면 높은  $f_s, N, Q$  값은 시스템의 부하를 증가시켜 비효율적인 모델링을 하게 되는 결과를 가져온다. 따라서 입력 신호의 나이퀴스트율과 3~5차의 비선형 차수, 그리고 2~3개의 메모리 깊이 정도면 정확도의 큰 차이 없이 비선형 모델링을 진행할 수 있을 것이다. 표 1은 본 논문에서 제안한 모델링 효율 지수를 고려한 최적의 모델링 조건과 그 경우의 성능 변화 및 필요 시스템 요구 사항 등을 비교 정리한 것이다.

최적 모델링 조건(3차의 비선형 차수)의 경우를 실제 데이터 획득을 위해 실험에서 사용한 100 Ms/s의 샘플률과 오차가 완전히 수렴하는 7차의 비선형



표 1. 신호별 최적의 모델링 환경 및 성능 비교  
Table 1. Condition for optimal discrete model and comparison of the model performances.

		WiBro 1FA	WiBro 3FA	WCDMA 4FA	16QAM
대역폭( MHz)		8.75	27	20	4
최대 조건 경우	E(%)	4.66	7.86	2.22	4.69
	처리 시간(ms)	90	90	90	20
	MEI	0.03	0.11	0.09	0.02
최적 조건	샘플률( MHz)	12.5	50	33.3	6.25
	메모리 깊이	2	2	2	3
최적 조건 경우	E(%)	5.58	8.64	2.45	4.70
	처리 시간(ms)	3	3	3	1
	MEI	20.2	20.64	23.35	27.65

차수, 9의 메모리 깊이를 가지는 최대 조건에서의 모델링 결과와 비교하였다. 표 1에서 최적 조건은 3차의 비선형 차수에서 가장 높은 MEI 값이 나오는 경우로서 이는 실험에 사용한 신호의 5차 비선형 성분이 크지 않았기 때문이다. 5차 이상의 비선형 성분이 많이 포함될 경우 최적의 비선형 차수는 증가할 수 있다. 최적의 메모리 깊이는 일반적으로 2~3이었으며, 최적의 샘플률 값은 입력 신호 대역폭의 1.5배 가량인 것을 확인할 수 있다. 표 1에서 처리 시간은 동일한 하드웨어와 소프트웨어를 이용하여 모델의 시스템 변수를 추출하기 위한 시간을 나타낸다. 표 1에서와 같이 최대조건 대비 최적 조건에서의 E는 평균 0.48 % 정도 나빠졌지만, 모델링을 위한 DSP의 처리 속도는 30배 가량 줄어드는 것을 확인할 수 있다.

### V. 결 론

본 논문에서는 비선형 전력 증폭기의 다항식 기반 이산 신호 모델링에서 샘플률, 비선형 차수, 메모리 효과의 고려 깊이 등에 따른 모델의 오차를 분석하였다. 분석한 결과에 의하면 샘플률, 비선형 차수, 메모리 효과는 특정한 값 이상인 경우 성능이 수렴해 가며, 특정 지점 이후에는 모델 추출 시 사용되는 최소 자승법의 특성에 의한 행렬의 안정성 감소로 발산이 일어나는 경우도 발생한다. 본 논문에서는 이러한 성능 분석을 기반으로 이산 신호 모델링을

위한 리소스(하드웨어 성능 및 메모리)와 성능을 동시에 고려하여 최적의 이산 신호 모델링 조건을 추출하는 방법을 제시하였다. 모델링 효율 지수(MEI)를 이용하여, MEI 값을 최대로 하는 최적 다항식 기반 이산 모델링 조건을 추출하였다. 제안된 방법을 다양한 전력 증폭기와 입력 신호에 대하여 검증하였다. 제안된 방식은 광대역 송신기에서의 빠른 속도와 낮은 가격의 디지털 전치 왜곡기 구성에 활용될 수 있을 것으로 사료된다.

### 참 고 문 헌

- [1] J. K. Cavers, "Amplifier linearization using a digital predistorter with fast adaptation and low memory requirements", *IEEE Trans. on Microwave Theory and Techniques*, vol. 39, no. 4, pp. 374-382, Nov. 1990.
- [2] D. Schreurs, M. O'droma, A. A. Goacher, and M. Gadringer, *RF Power Amplifier Behavioral Modeling*, Cambridge University Press, 2009.
- [3] M. Schetzen, *The Volterra and Wiener Theories of Nonlinear Systems*, John Wiley & Sons.
- [4] H. Ku, J. S. Kenney, "Behavior modeling of nonlinear RF power amplifiers considering memory effects", *IEEE Trans. on Microwave Theory and Techniques*, vol. 51, no. 12, pp. 2495-2504, Dec. 2002.
- [5] A. J. Jerri, "The Shannon sampling theorem-its various extension and applications: A tutorial review", *Proc. IEEE*, vol. 65, pp. 1565-1596, Nov. 1977.
- [6] Y. M. Zhu, "Generalized sampling theorem", *IEEE Trans. Circuits Systems*, vol. 39, no. 8, pp. 587-588, Aug. 1992.
- [7] J. Tsimbinos, K. V. Level, "Sampling frequency requirements for identification and compensation on nonlinear systems", in *Proc. 1994 Int. Conf. Acoust., Speech, Signal Processing*, Adelaide, Australia, pp. III-513-III-516, Apr. 1994.
- [8] W. A. Frank, "Sampling requirement for Volterra system identification", *IEEE Signal Processing Letters*, vol. 3, no. 9, pp. 266-268, Sep. 1996.



김 대 근



2008년 2월: 건국대학교 전자공학과 (공학사)  
2010년 8월: 건국대학교 전자공학과 (공학석사)  
2010년 9월~현재: 삼성전자 [주 관심분야] 비선형 시스템 해석, RF 전력 증폭기

구 현 철



1995년 2월: 서울대학교 전기공학과 (공학사)  
1997년 2월: 서울대학교 전기공학과 (공학석사)  
2003년 12월: Dept. ECE, Georgia Institute of Technology, Atlanta, USA (공학박사)  
1997년 2월~1999년 7월: KT 연구개발본부 전임연구원  
2004년 1월~2005년 2월: 삼성전자 무선사업부 책임연구원  
2005년 3월~현재: 건국대학교 전자공학부 부교수  
[주 관심분야] RF 전력 증폭기, Digital RF, 비선형 시스템 해석 및 선형화, CR/SDR 등