

초 저전력 CMOS 2.4 GHz 저잡음 증폭기 설계

Design of an Ultra Low Power CMOS 2.4 GHz LNA

장 요 한 · 최 재 훈

Yohan Jang · Jaehoon Choi

요 약

본 논문에서는 2.4 GHz 대역에 적용할 수 있는 초 저전력 저잡음 증폭기를 TSMC 0.18 μm RF CMOS 공정을 이용하여 설계하였다. 높은 이득과 낮은 전력 소모를 만족하기 위해서 전류 재사용 기법을 사용하였으며, sub-threshold 영역에서 문턱 전압보다 낮은 바이어스 전압을 인가함으로써 초 저전력 특성을 구현하였다. 설계된 저잡음 증폭기는 2.4 GHz에서 13.8 dB의 전압 이득과 3.4 dB의 잡음 지수 특성을 나타냈으며, 0.9 V의 공급 전압으로 0.7 mA의 전류를 소모하여 0.63 mW의 초 저전력을 소모하는 결과를 얻었다. 칩 면적은 1.1 mm \times 0.8 mm 이다.

Abstract

In this paper, we proposed an ultra-low power low noise amplifier(LNA) using a TSMC 0.18 μm RF CMOS process. To satisfy the low power consumption with high gain, a current-reused technique is utilized. In addition, a low bias voltage in the subthreshold region is utilized to achieve ultra low power characteristic. The designed LNA has the voltage gain of 13.8 dB and noise figure(NF) of 3.4 dB at 2.4 GHz. The total power consumption of the designed LNA is only 0.63 mW from 0.9 V supply voltage and chip occupies 1.1 mm \times 0.8 mm area.

Key words : Low Noise Amplifier, Current-Reused Technique, Subthreshold Region, Low Power, CMOS

I. 서 론

최근의 이동 통신 단말기들은 WCDMA, LTE, Wi-MAX/WiBro, WLAN, Bluetooth, DMB, GPS 등 다양한 이동 통신 및 데이터 서비스와 방송을 하나로 통합하는 것이 일반화된 추세이다. 또한, 단말기의 다중 대역 및 소형화 추세와 배터리 사용의 극대화를 위해서 저전력 소모 기술의 개발은 필수적이다. 이러한 요구 사항을 위해 저비용으로 저전력 및 칩면적을 최소화할 수 CMOS 공정을 이용한 연구가 활발히 진행되고 있으며, 이 공정을 적용한 단말기의 RF 수신단에서 가장 중요한 소자 중의 하나는 저잡음

증폭기(LNA: Low Noise Amplifier)이다. RF front-end 첫 단계에 위치한 LNA는 저잡음 특성, 높은 이득, 저전력, 입출력 정합, 선형성을 반드시 만족해야 한다. CMOS RF 회로 설계에 있어 일반적으로 MOSFET (Metal-Oxide Semiconductor Field Effect Transistor)의 본질적으로 낮은 트랜스 컨덕턴스 때문에 높은 전력 소모가 발생한다. 더우기, 일반적인 CMOS RF 회로는 공급 전원이 낮아지면 성능이 악화되는 단점이 있다. 따라서 CMOS RF 회로 설계에 있어서 저전력, 낮은 공급 전압을 갖는 회로 설계에 대한 연구가 활발히 이루어지고 있다^{[1][2]}. 전력 소모를 줄이기 위해서 낮은 전원 공급과 전류 재사용 기법을 이용한 설

「본 연구는 지식경제부 및 정보통신연구진흥원의 대학 IT연구센터 지원사업의 연구 결과로 수행되었음.」

한양대학교 전자공학과(Department of Electronics and Computer Engineering, Hanyang University)

· 논문 번호 : 20100709-03S

· 교신저자 : 최재훈(e-mail : choijh@hanyang.ac.kr)

· 수정완료일자 : 2010년 9월 2일

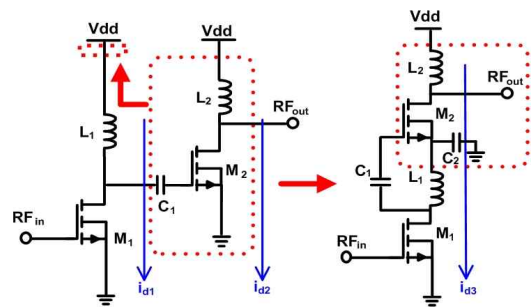
계 방법이 많이 쓰인다. 전류 재사용 기법은 상대적으로 낮은 전류 소모로 원하는 이득을 얻을 수 있으나, 여러 개의 트랜지스터를 사용하므로 높은 공급 전압이 필요하다. 공급 전압을 낮게 하기 위한 방법으로 folded 구조가 제안되었다^[1]. 요구되는 공급 전압은 cascade 증폭기의 공급 전압과 비교하면 하나의 트랜지스터를 사용함으로써 감소되긴 했으나, LNA의 총 전류 소모는 줄어들지 않는 단점이 있다. 낮은 전압과 전력 소모를 위해 전류 재사용 공통 소스나 공통 게이트 구조로 저전압, 저전력의 설계가 가능하나, 잡음 지수가 약간 높다는 단점이 있다^[2]. 이러한 문제점을 해결하기 위하여 본 논문에서는 동일한 전류 재사용 공통 소스 구조와 문턱 전압(Threshold voltage: V_T) 이하의 V_{GS} 를 인가하여 μW 급의 초 저전력 LNA의 설계를 제안하였다.

II. 전류 재사용 기법을 이용한 LNA 설계

2-1 전류 재사용 기법 기본 이론

저전력 소모와 충분한 전압 이득을 얻기 위하여 그림 1(b)와 같은 전류 재사용 기법을 자주 사용한다. 회로 구성은 그림 1(a)에 주어진 2단 cascade 기법의 점선 내 구조를 그림 1(b)의 점선 내 있는 1단의 전류 재사용 기법으로 대체하여 직류 전류가 흐를 때, 같은 전류원을 사용함으로써 전력 소모를 최소화 할 수 있다.

그림 2는 간단하게 나타낸 입력단의 소신호 등가 회로이다. 여기서 R_s 는 소스 임피던스, R_L 은 로드 임



(a) 2단 cascade 기법 (b) 전류 재사용 기법
(a) Two stage cascade technique (b) Current-reused technique

그림 1. 전류 재사용 기법을 사용한 LNA 회로도
Fig. 1. LNA circuit of the current-reused technique.

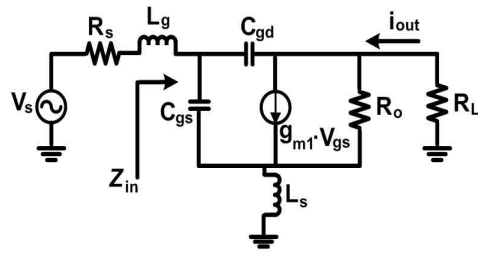


그림 2. 입력단의 소신호 등가회로
Fig. 2. The small-signal equivalent circuit of input stage.

피던스를 나타내며, g_{m1} 과 C_{gs} 는 M_1 의 트랜스 컨덕턴스와 게이트와 소스 사이의 캐패시턴스를 나타낸다. R_o 는 MOSFET의 출력 임피던스를 나타내며, C_{gd} 가 상대적으로 작다고 가정하면 입력단의 입력 임피던스 Z_{in} 는 소신호 등가회로에 의해 식 (1)과 같이 표현할 수 있다.

$$Z_{in} = j\omega(L_g + L_s) + \frac{1}{j\omega C_{gs1}} + g_{m1} \frac{L_s}{C_{gs1}} \quad (1)$$

여기서 ω 는 동작 주파수이다.

2-2 Subthreshold LNA

MOSFET의 I_D - V_{GS} 커브를 살펴보면 $V_{GS}=V_T$ 일 때 전류는 0으로 급격히 떨어지지 않으며, MOSFET가 threshold voltage 이하 전압에서 이미 일부 전도된다. 이러한 효과를 subthreshold 또는 weak inversion conduction이라 한다. MOSFET의 I-V 특성에서 대부분 MOSFET가 $V_{GS}>V_T$ 인 상태로 동작하지만, subthreshold 영역에는 열 전압 V_T 보다 작은 V_{GS} 값이 존재함을 확인할 수 있다. Subthreshold conduction을 포함하는 영역을 weak inversion 영역이라고 부르며, weak inversion 영역에서 드레인 전류와 게이트-소스간 전압 사이의 관계는 다음과 같이 표현할 수 있다^[3].

$$I_D = \frac{W}{L} I_{D0} e^{qV_{GS}/nkT} \quad (2)$$

식 (2)에 의하면, subthreshold에 의한 드레인 전류는 게이트-소스 전압의 지수 형태로 나타내지며, 0에 가까워질 때 적은 V_{GS} 값으로 1 mA 이하의 낮은 I_D 로 동작이 가능하다.

2-3 2.4 GHz 저전압, 저전력 LNA 설계

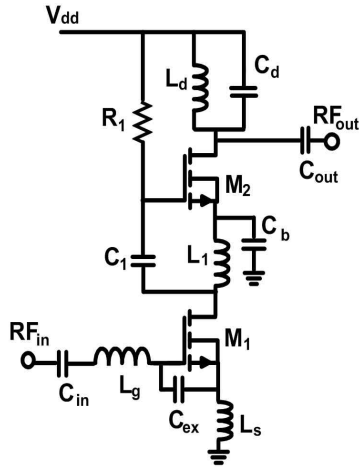


그림 3. 제안된 2.4 GHz LNA 전체 회로도
Fig. 3. Full schematic of the proposed 2.4 GHz LNA.

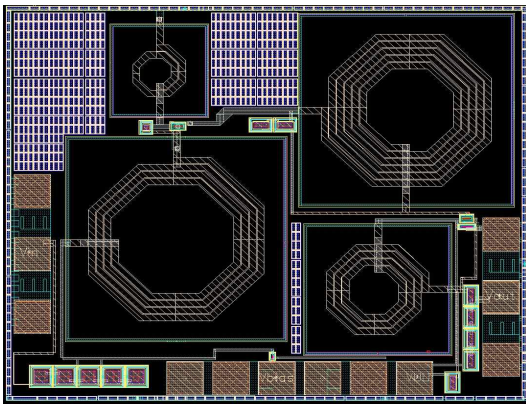


그림 4. 제안된 LNA의 레이아웃
Fig. 4. The layout of the proposed LNA.

그림 3은 TSMC 0.18 μm RF CMOS 공정을 이용한 2.4 GHz CMOS LNA의 전체 회로도이다.

본 논문에서 구현된 LNA는 낮은 공급 전압과 저전력 소모의 특성을 만족시키기 위하여 전류 재사용 기법과 weak inversion 영역에서 문턱 전압 이하의 바이어스 전압(0.5 V)을 인가함으로써 낮은 전류 소모의 특성을 얻을 수 있었다. MOSFET M_1 , M_2 에 동일한 바이어스 전류를 공유함으로써 전류 재사용 증폭기의 전체 전력 소모를 감소시킬 수 있었다. 일반적인 캐스케이드 구조의 LNA보다 높은 전압 이득과 저전력 소모를 유지하면서 트랜스 컨덕턴스를 높이기 위해 M_1 , M_2 의 게이트 폭과 바이어스 전류의 값을 적절하게 선택하였다. 그리고 낮은 잡음 지수와

입력 정합을 동시에 얻기 위해 LNA의 소스단에 degeneration 인덕터를 사용하였으며, 이런 경우 높은 값의 C_{gs} 가 필요하여 MOSFET의 게이트 폭을 늘려야 하나, 게이트 폭을 늘리면 전류 소모가 커지므로 저전력 구조에서 적합하지 못한 설계가 된다. 따라서 게이트와 소스 사이에 캐패시터 C_{ex} 를 추가함으로써 잡음 지수를 낮추고 동시에 입력 임피던스 정합을 동시에 얻을 수 있었다^[4].

III. 설계 결과

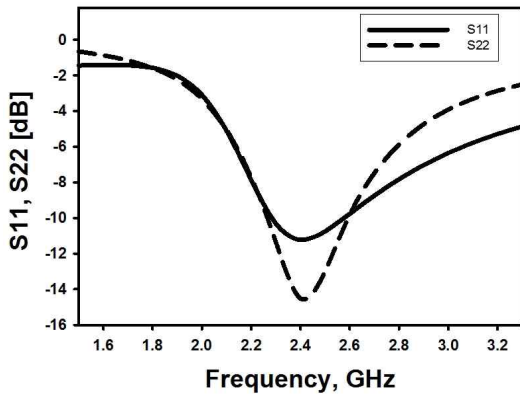
제안된 LNA는 Cadence SpectreRF 툴을 사용하여 시뮬레이션 결과를 얻었다. 그림 4에서 보듯이 제안된 LNA의 레이아웃은 온 칩 스파이럴 인덕터의 개수와 크기에 따라 전체 레이아웃의 면적이 좌우됨을 확인할 수 있으며, 전체 칩면적은 측정 패드를 포함하여 1.1 mm×0.8 mm이다. 그림 5는 설계된 LNA의 S-parameters와 잡음 지수 특성의 시뮬레이션 결과이다. 저전압, 저전력의 결과를 얻기 위하여 공급 전압은 0.9 V를 인가하였으며, 전류 소모는 0.7 mA의 결과를 얻어서 0.7 mW 이하의 초 저전력 설계를 만족시켰다. 동작 주파수 2.4 GHz에서 입력력 반사계수는 10 dB 이상의 결과를 얻었으며, 전압 이득은 13.8 dB의 결과를 얻었다. 잡음 지수는 3.4 dB를 나타냈다. 저전력 소모와 비교적 높은 전압 이득을 동시에 만족시켰지만, IIP3는 -9 dBm으로 선형성이 감소하는 단점을 보였다. 선형성 특성을 개선하기 위해서는 트랜스 컨덕턴스(g_m) 값을 크게 해주어야 하지만 그에 따른 전력 소모가 커지는 단점을 보였다. 표 1은 0.18 μm 공정을 이용해 최근에 연구된 단일 대역 저전력 LNA의 결과와 제안한 LNA의 성능 요약 비교표이다. 참고논문 [6], [8]은 subthreshold LNA 설계의 결과로 특별히 참고논문 [8]은 최상의 전력 소모의 결과를 얻었지만 고주파로 갈수록 이와 같은 결과를 얻기가 상당히 힘들고 잡음 지수가 상승하는 단점이 있으며, 참고논문 [7]은 제안한 연구와 동일한 전류 재사용 기법을 사용하여 저전력의 높은 전압 이득의 결과를 얻었지만 제안한 방법보다 전력 소모가 높은 단점이 있다. 참고논문 [5]는 전류 소모는 비교적 낮으나 공급 전압이 높은 단점이 있다. 따라서 제안한 방법은 낮은 공급 전압으로 초저

표 1. 성능 요약

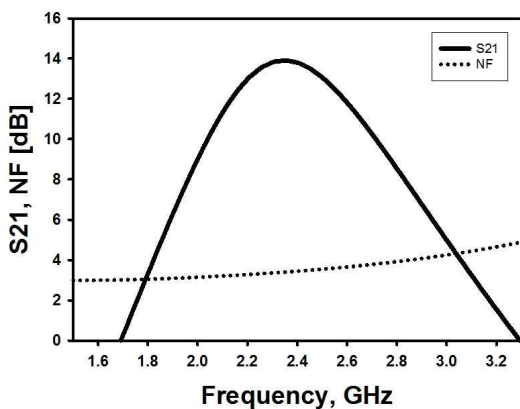
Table 1. Performance summary.

Ref.	Gate length (μm)	Freq. (GHz)	Supply (V)	Current (mA)	S_{21} (dB)	NF. (dB)	IIP3 (dBm)	Power (mW)
Ref. [5]	0.18	2.4	1.5	0.6	12	1.8	-3	0.9
Ref. [6]	0.18	2.4	1	0.65	9.8	3.6	-2.7	0.65
Ref. [7]	0.18	5.7	1	3.2	16.4	3.5	-	3.2
Ref. [8]	0.18	1	1	0.26	13.6	4.6	7.2	0.26
This Work*	0.18	2.4	0.9 V	0.7	13.8	3.4	-9	0.63

* Simulation results only.



(a) 입력, 출력 반사계수
(a) S_{21} , S_{22}



(b) 전압 이득, 잡음 지수
(b) S_{21} , noise figure

그림 5. 제안된 LNA의 S-parameters와 잡음 지수
Fig. 5. Simulated S-parameters and noise figure.

전력 특성과 적절한 전압 이득의 장점을 살려 다양한 서비스를 제공하여 최소의 전압으로 저전력 소모를 요구하는 단말기에 응용할 수 있는 장점이 있다.

IV. 결론

본 논문에서는 2.4 GHz 대역 초 저전력 저잡음 증폭기를 TSMC 0.18 μm RF CMOS 공정을 사용하여 설계하였다. 저전압, 저전력의 특성을 위하여 전류 재사용 기법과 문턱 전압 이하의 바이어스 전압을 사용하여 0.9 V의 공급 전원에서 0.7 mA의 전류를 소모하며, 13 dB 이상의 고이득의 결과를 보였다. 향후 subthreshold 동작을 이용한 저전력 설계로 인하여 높아진 잡음 지수의 특성과 선형성을 개선할 수 있는 지속적인 연구가 필요하다.

참고 문헌

- [1] H. -H. Hsieh, J. -H. Wang, and L. -H. Lu, "Gain-enhancement techniques for CMOS folded cascode LNAs at low-voltage operations", *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, no. 8, pp. 1807-1816, 2008.
- [2] C. -P. Chang, J. -H. Chen, and Y. -H. Wang, "A fully integrated 5 GHz low-voltage LNA using forward body bias technology", *IEEE Microwave and Wireless Components Letters*, vol. 19, no. 3, pp. 176-178, 2009.
- [3] D. J. Comer, D. T. Comer, "Operation of analog MOS circuits in the weak or moderate inversion region", *IEEE Trans. Edu.*, 47, pp. 430-435, 2004.
- [4] T. Nguyen, C. Kim, G. Ihm, M. Yang, and S. Lee, "CMOS low-noise amplifier design optimization techniques", *IEEE Tran. Microwave Theory and Techniques*, vol. 52, no. 5, pp. 1433-1442, May 2004.

- [5] T. -K. Nguyen, S. -K. Han, and S. -G. Lee, "Ultra-low-power 2.4 GHz image-rejection low-noise amplifier", *Electronics Letters*, vol. 41, no. 15, Jul. 2005.
- [6] L. K. Meng, N. C. Yong, Y. K. Seng, and D. M. Anh, "A 2.4 GHz ultra low power subthreshold CMOS low-noise amplifier", *Microwave Opt. Technol. Lett.*, vol. 49, pp. 743-744, 2007.
- [7] Y. S. Wang, L. -H. Lu, "5.7 GHz low-power variable gain LNA in 0.18 μm CMOS", *Electronics Letters*, vol. 41, no. 2, pp. 66-68, 2005.
- [8] B. G. Perumana, S. Chakraborty, C. H. Lee, and J. Laskar, "A fully monolithic 260 μW , 1 GHz subthreshold low noise amplifier", *IEEE Microwave Wireless Components Lett.*, vol. 155, pp. 428-430, 2005.

장 요 한



2003년 8월: 광운대학교 제어계측 공학과 (공학사)
 2005년 7월: 영보엔지니어링 Bluetooth H/W 연구원
 2005년 8월~현재: 한양대학교 전자통신컴퓨터공학과 석·박사 통합과정

[주 관심분야] CMOS RFIC, 초고주파 능·수동소자 설계

최 재 훈



1980년: 한양대학교 전자공학과 (공학사)
 1986년: 미국 Ohio State University 전기공학과 (공학석사)
 1989년: 미국 Ohio State University 전기공학과 (공학박사)
 1989년~1991년: 미국 Arizona State University 연구교수

1991년~1995년: 한국통신위성사업단 연구팀장
 1995년~현재: 한양대학교 융합전자공학부 교수

[주 관심분야] 안테나 및 마이크로파 회로 설계, EMC