

# 모바일 기기 신호 인터페이스용 MIPI 디지털 D-PHY의 저전력 설계

## Low Power Design of a MIPI Digital D-PHY for the Mobile Signal Interface

김유진, 김두환, 김석만, 조경록  
충북대학교 정보통신공학과

Yoo-Jin Kim(yjkim@hbt.cbnu.ac.kr), Doo-Hwan Kim(dhkim@hbt.cbnu.ac.kr),  
Seok-Man Kim(smkim@hbt.cbnu.ac.kr), Kyoung-Rok Cho(krcho@cbu.ac.kr)

### 요약

본 논문에서는 모바일 기기 신호 인터페이스용 MIPI(Mobile industry processor interface)의 D-PHY의 디지털 블록의 저전력 설계를 제안한다. MIPI는 고속 데이터 전송을 위한 HS(high-speed)모드와 주로 제어에 사용되는 LP(low-power)모드의 두 가지 동작 모드를 갖는다. 저전력 소모를 위해 디지털 블록 내부 구성요소를 각 동작에 따라 선택적으로 스위칭 할 수 있는 클럭 게이팅(Clock gating) 기법을 적용했다. 저전력 동작의 설계에 대한 동작을 시뮬레이션을 통해 검증하고 기존의 일반적인 MIPI D-PHY 디지털 블록과 전력소모를 비교했다. HS 모드 데이터 전송동작에 대해서는 저전력 설계를 통하여 전력소모가 송신단(TX: transmitter)과 수신단(RX: receiver) 각각 74%와 31% 감소하여 전체적으로 전력소모가 50%로 줄었고, LP 모드 동작에 대해서도 전력소모가 TX와 RX 각각 79%와 40% 감소하여 전체적으로 51.5% 줄어들었다. 제안된 저전력 MIPI D-PHY 디지털 칩은 0.13 $\mu$ m CMOS 공정에서 1.2V의 전원을 갖도록 설계 및 제작되었다.

■ 중심어 : | MIPI | DSI | 물리 계층 | 인터페이스 | 저전력 | 클럭 게이팅 |

### Abstract

In this paper, we design digital D-PHY link chip controlling DSI (Display Serial Interface) that meets MIPI (Mobile Industry Processor Interface) standard. The D-PHY supports a high-speed (HS) mode for fast data traffic and a low-power (LP) mode for control transactions. For low power consumption, the unit blocks in digital D-PHY are optionally switched using the clock gating technique. The proposed low power digital D-PHY is simulated and compared with conventional one about power consumption on each transaction mode. As a result, power consumptions of TX, RX, and total in HS mode decrease 74%, 31%, and 50%, respectively. In LP mode, power reduction rates of TX, RX, and total are 79%, 40%, and 51.5%, separately. We implemented the low power MIPI D-PHY digital chip using 0.13- $\mu$ m CMOS process under 1.2V supply.

■ keyword : | MIPI | DSI | D-PHY | Interface | Low Power | Clock Gating |

## 1. 서론

MIPI는 급격히 성장하는 모바일 IT 기기의 프로세서와 주변장치간의 인터페이스를 최적화하기 위해 노키아, 인텔 등 100여개 업체가 설립한 단체명이자 모바일 어플리케이션과 프로세서의 개방형 표준이다[1]. D-PHY는 MIPI에서 제공하는 각종 프로토콜을 위한 물리 계층이다.

아, 인텔 등 100여개 업체가 설립한 단체명이자 모바일 어플리케이션과 프로세서의 개방형 표준이다[1]. D-PHY는 MIPI에서 제공하는 각종 프로토콜을 위한 물리 계층이다.

\* 본 연구는 2009년도 충북대학교 학술연구지원사업의 연구비 지원에 의하여 연구되었음.

접수번호 : #101025-002

접수일자 : 2010년 10월 25일

심사완료일 : 2010년 12월 10일

교신저자 : 조경록, e-mail : krcho@chungbuk.ac.kr

최근 모바일 시장은 편의성과 휴대성을 요구하고 한 장치에서 다양한 기능들을 수행할 수 있는 제품을 지향하고 있다. 특히 mp3, 동영상 플레이어 같은 멀티미디어 요소는 모바일 디바이스에서 빠질 수 없는 기능이 되었다. 디바이스가 다양한 기능을 수행하게 될수록 내부의 하드웨어들은 더 많은 전력을 필요로 하지만, 휴대성이 강조되는 모바일 디바이스에서 배터리의 용량 증가 속도가 모바일 디바이스에서 요구되는 전력량 증가를 충족시키지 못하고 있다. 따라서 저전력 소모는 모바일 디바이스의 동작 시간 연장을 위해서 매우 중요한 사항이다.

본 논문에서는 MIPI D-PHY 디지털 블록을 설계하고 효율적인 전력 관리가 가능한 모델을 제시한다. II장에서는 제안된 디지털 D-PHY의 구조와 동작 특성을 설명하고, III장에서는 시뮬레이션 결과를 해석하며, IV장에서 결론을 맺는다.

## II. 저전력 MIPI 디지털 D-PHY

### 1. MIPI D-PHY 송수신 블록

#### 1.1 MIPI DSI 계층

[그림 1]은 MIPI DSI 기능별 계층도이다 [2]. 각각의 송신단(TX: transmitter)인 프로세서와 수신단(RX: receiver)인 주변장치의 구성은 최상위부터 응용 계층, 프로토콜 계층, 레인 관리 계층, 물리 계층으로 구성된다. 응용 계층에서는 바이트 단위로 패킹을 하고 명령어를 만들면, 프로토콜 계층에서는 패킷 기반으로 여러 수정을 위한 부분을 추가하고, 레인 관리계층은 여러 개의 레인을 사용할 경우의 데이터를 레인별로 분산 통합하는 작업을 한다. 물리 계층(PHY)은 실제 데이터의 시작과 끝을 알리는 SoT(Start of packet)/EoT(End of packet)을 추가하고 직병렬 변환(SERDES: serializer-deserializer)을 수행한다. 또한 고속 영상 데이터 전송을 위한 DDR 클럭시스템을 관리하고 아날로그 송수신을 수행한다.

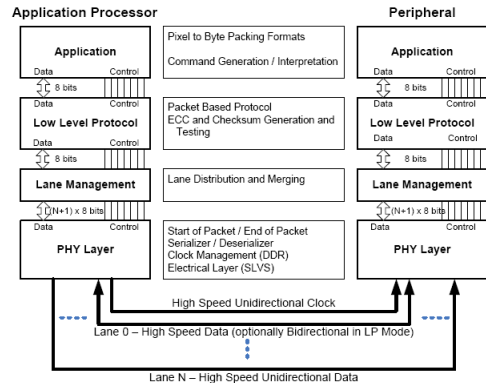


그림 1. MIPI DSI 기능별 계층도[2]

### 1.2 MIPI D-PHY 구성

PHY는 하나의 클럭 레인 모듈과 하나 또는 다수의 데이터 레인 모듈로 구성된다 [3]. 각각의 PHY 레인 모듈은 레인 연결의 다른 측면에 상호 보완적인 부분에 두 라인을 통해 통신한다. 각 레인 모듈은 하나 또는 다수의 차동출력 HS(High-speed) 모드로 동작하거나, 하나 또는 다수의 단일출력 LP(Low-power) 모드일 때는 라인이 각각 개별적으로 동작한다.

D-PHY 디지털 블록은 명령어와 영상 데이터의 송수신의 제어를 맡는다. TX는 상위 계층으로부터 요청받은 바이트단위의 패킷을 직렬변환해서 비트 단위로 외부로 전송하고, RX는 외부 인터페이스로부터 수신한 직렬 패킷을 병렬 변환해서 바이트 단위로 상위 계층으로 전송한다.

D-PHY는 기본적으로 TX와 RX 간에 클럭(Clock)과 데이터(Data)를 동시에 보내는 동기방식을 사용한다 [4]. 실제 PHY 는 하나의 클럭 레인과 1~4개까지의 데이터 레인으로 구성된다. 클럭은 단방향으로 TX에서 RX로 보내진다. 데이터는 주로 단방향으로 클럭과 같은 방향으로 보내지지만 선택적으로 양방향으로도 사용된다. 최소 PHY의 구성은 각각 1 개의 클럭 레인과 데이터 레인으로 구성되며, 각각은 2개의 전송선을 사용하므로 최소 필요한 전송선은 4개이다.

[그림 2]는 전체적인 MIPI의 디지털 D-PHY 블록도이다. TX의 왼쪽에서는 프로세서 상위의 프로토콜 계층으로 부터의 신호 입력이 있고, TX의 오른쪽과 RX

왼쪽 사이에는 신호 전달을 위한 아날로그 D-PHY의 송수신기와 전송선이 있다. RX 오른쪽으로 디스플레이와 같은 주변 장치의 프로토콜 계층으로의 신호가 출력된다. HS 모드와 LP 모드의 조합으로 이루어진 고속영상데이터 전송 모드 (HSDT: high-speed data transmission)와 LP 모드로만 이루어진 제어를 위해 사용되는 Escape 모드는 지정된 순서로 신호를 보내서 동작의 시작과 끝을 알려주고 판단해야 하므로 송수신 FSM이 각각 존재한다. FSM의 제어에 따라 송수신기를 동작시켜 HS 모드 또는 LP 모드로 신호를 송수신한다. 동기 코드 검출기가 HS 모드 초기엔 동기 코드를 검출하여 바이트 클럭 동기를 맞춘 후 데이터의 직렬화 변환이 시작된다.

[그림 2]의 점선으로 표시된 블록은 LP 모드로 동작하며 10MHz의 클럭을 공급받아, 최대 전송률 10Mbps를 갖고 [그림 2]의 실선으로 표시된 블록은 HS 모드에서 동작하며 TX의 기능과 연결부의 구현에 따라 80~1000Mbps

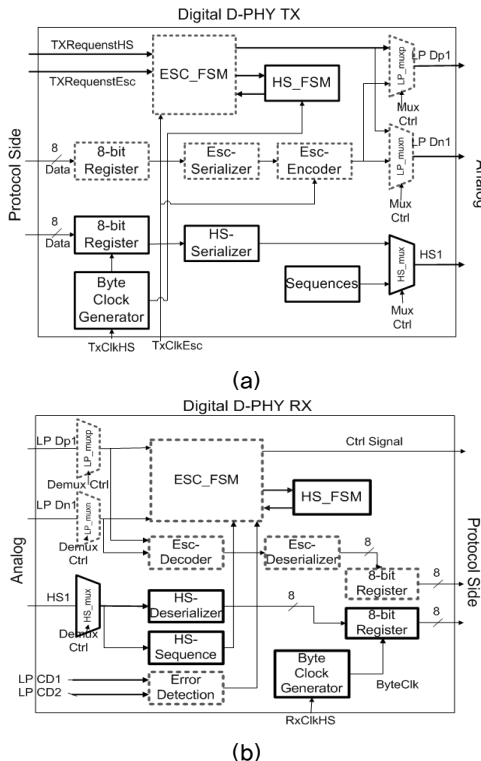


그림 2. MIPI의 디지털 D-PHY 블록도 (a) TX (b) RX

의 비트 전송률을 갖는다. 정상적으로 신호의 송수신이 이뤄지는가를 아날로그D-PHY의 LP-CD (Contention detector) 출력 신호들 (LP\_CD1, LP\_CD2)로부터 오류 검출부에서 확인하며 오류가 있을 경우에는 상위 프로토콜 계층에서 오류 정정을 위한 조치를 취한다

[그림 3]은 TX의 HSDT 모드의 직렬화기(Serializer)의 블록도와 타이밍도이다 [5]. HSDT 모드의 직렬화기는 2개의 4-입력 MUX와 1개의 DDR 레지스터로 구성되고, 고속 클럭의 상승과 하강 전이를 모두 사용해 DDR 방식으로 고속 데이터를 전송할 수 있도록 설계되었다. Escape 모드의 직렬화기는 저속 클럭으로 동작하므로 레지스터로만 구성된다. RX의 병렬화기는 고속과 저속 각각 8개의 시프트 레지스터로 구성되는 비슷한 구조를 갖는다.

### 1.3 D-PHY의 동작 모드

D-PHY 디지털 블록의 TX는 고속 영상 데이터 전송을 위한 HSDT 모드와 저속데이터 전송 및 사용되지 않을 때를 위한 ULPS(Ultra low power state)등의 제어를 위한 Escape 모드를 지원하기 위한 FSM 블록들을 갖는다 [6]. 디지털 블록의 RX는 수신한 신호를 통해 모드를 판단하고 해당 모드의 프로토콜에 따라 동작하도록 설계되었다.

D-PHY 아날로그 블록은 명령어 처리를 위한 LP 모드 동작에 사용되는 단일 입출력 블록들인 각각 2개의

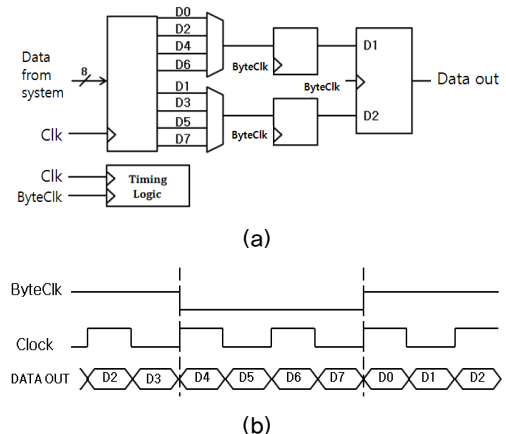


그림 3. HSDT 모드 직렬화기 (a)블록도 (b)타이밍도[5]

LP-TX, LP-RX, LP-CD와 HS 모드 동작에 사용되는 차동모드 동작블록인 각각 1개의 HS-TX, HS-RX로 구성된다.

[표 1]은 MIPI D-PHY의 각 모드별 특성이다. 고속 영상 데이터는 HS 모드를 통해 SLVS(Scalable low voltage signaling) 방식으로 0.2V의 공통모드 전압과 0.2V의 스윙을 갖는 80~1000Mbps 전송률의 차동신호로 2개의 전송선을 통해 전송된다. 명령어는 LP 모드를 통해 기존의 병렬전송방식과 마찬가지로 LVCMOS (Low-voltage CMOS) 전송 방식을 사용하여 1.2V 스윙을 갖는 최대 10Mbps의 단일 출력 신호로 2개의 라인을 통해 각각 전송된다. LP 모드 전송방식은 데이터에 클럭을 포함시켜 보내는 비동기방식이고, HS 모드 전송방식은 클럭과 데이터를 동시에 함께 보내는 동기방식이다.

[그림 4]는 모드별 전송 타이밍도이다 [7]. HSDT 동작은 영상 데이터와 같이 많은 양의 데이터를 burst 모드로 전송할 때 사용되며 패킷 전송방식을 통해 전송된다. 각 영상 데이터 패킷의 사이는 LP 모드로 상태의 시작과 끝을 나타내는 친이 모드가 있다. 데이터가 없을 경우에는 아날로그 송수신기(HS-TX, HS-RX)의 동작을 중지시켜 전력소모를 줄인다. LP-11, 01, 10의 연속된 코드는 RX가 HS 모드로 전환되어야 함을 알리는 진입코드다. RX에서는 전체적인 동기화를 위해 클럭 레인을 통해 수신한 클럭과 데이터 레인을 통해 검출된 동기 코드를 통해 바이트 클럭을 생성하게 된다. D-PHY에서 DDR 방식으로 클럭의 상승과 하강천이

모두에서 데이터를 검출해야 하므로 바이트 클럭을 적은 지터(Jitter)를 갖도록 생성해야 한다.

[그림 4](b)는 LP 데이터 전송(LPDT: low-power data transmission)의 타이밍도이다 [8]. LPDT 동작은 클럭 레인은 꺼지고, 데이터 레인만이 동작한다. TX에서는 spaced -one-hot 부호화를 통해 RZ방식의 데이터를 Dp, Dn으로 각각 보내고, RX에서 Dp, Dn으로 수신된 데이터를 XOR 게이트를 사용해 LP 클럭을 만들어 사용한다.

## 2. 소비 전력 개선

### 2.1 클럭 게이팅

[그림 5]는 일반적인 클럭시스템과 클럭 게이팅 적용 후의 시스템을 비교한 것이다. [그림 5](a)와 같은 일반적인 클럭시스템의 경우는 사용되지 않는 블록에도 클럭이 인가되어 동적전력소모가 발생한다. 그러나, [그림 5](b)의 클럭 게이팅을 적용한 경우에는 FSM에서 활성화 신호를 생성하여 사용되지 않는 블록에는 클럭이 입력되지 않게 조절하여 동적전력소모를 최소화한다.

[표 2]와 [표 3]에서는 HSDT와 LPDT에 필요한 동작 상태를 각각 세부적으로 구분하여 사용되는 블록을 표시하였다. 전체 모듈의 동작에 따라 작동하지 않는 블록의 클럭을 비활성화하는 클럭 게이팅을 적용한다.

표 1. MIPI D-PHY의 각 모드별 특성

	HS mode	LP mode
Purpose	HSDT	Escape (Control & LPDT)
Transmission	Differential	Single-ended
Data rate (Mbps)	80~1000	~10
Transfer tech.	SLVS	LVC MOS
VCM (V)	0.6	0.2
VDM (V)	1.2	0.2
CLK	with CLK lane	without CLK lane
	Synchronous	Asynchronous
Data coding	NRZ	RZ
Termination	Both-ends	Un-termination

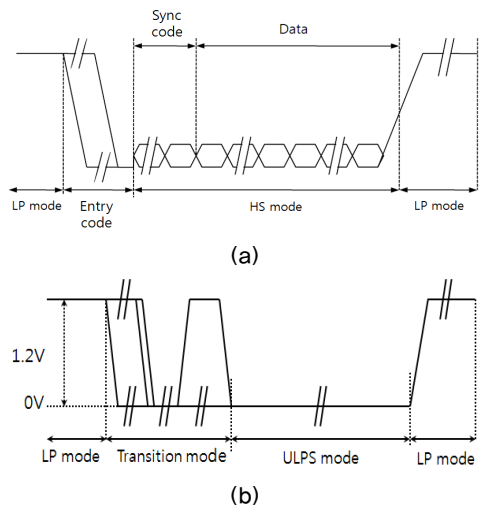


그림 4. 모드별 전송 타이밍 (a)HSDT [7] (b)LPDT [8]

[그림 6]에 HSDT에서 각 동작 상태별로 사용되는 블록만을 빗금으로 진하게 표시하여 나타내었다. 빗금으로 표시되지 않은 나머지 블록에는 FSM에서 컨트롤 신호로 클럭을 차단한다. HS\_Rqst 상태는 HS 모드로 전환되기 직전까지의 과정으로 LP 모드로 동작하며, TX와 RX 각각 3개의 블록(ESC\_FSM, LP\_muxp, LP\_muxn)을 사용해 HS 모드 진입 코드를 송수신한다. HS\_Sync 상태에서는 TX는 동기코드를 생성하고, RX는 동기코드 검출을 통해 동기화를 시킨다. HS\_DT 상태에서는 TX는 HS-Serializer를 통해 직렬 변환된 데이터를 출력해서 전송하고, RX는 수신된 데이터를 HS-Deserializer로 병렬 변환한다.

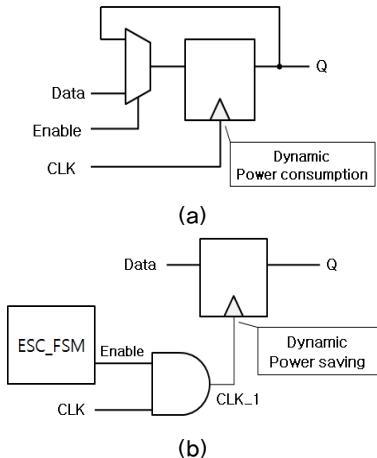


그림 5. 클럭시스템의 비교 (a) 일반적인 경우 (b) 클럭 게이팅이 적용된 경우

표 2. HSDT에 필요한 동작 상태별 세부블록

동작 상태	사용되는 블록	
	TX	RX
HS_Rqst	ESC_FSM, LP_muxp, LP_muxn	ESC_FSM, LP_muxp, LP_muxn
HS_Sync	Byte Clock Generator, HS_FSM, Sequence, HS_mux	Byte Clock Generator, HS_FSM, Sequence, HS_mux
HS_DT	HS_mux, HS-Serializer, Byte Clock Generator, HS_FSM, Register,	HS_mux, HS-Deserializer, Byte Clock Generator, HS_FSM, Register
HS_Stop	HS_Rqst와 동일	HS_Rqst와 동일

[그림 7]에 LPDT에 대해 [표 3]처럼 각 동작 상태별로 사용되는 블록을 표시한 것이다. 모두 LP 모드로 동작하지만 전송 전(ESC\_Ent)과 후(ESC\_Stop)에는 컨트롤 신호만 송수신하기 때문에 TX와 RX에서 각각 3개의 블록(ESC\_FSM, LP\_Muxp, LP\_muxn)만 동작하고, 전송 중(LP\_DT)에는 TX에서는 ESC\_Serializer, LP\_Muxp, LP\_muxn을 사용하고, RX에서는 ESC\_Deserializer, LP\_Muxp, LP\_muxn을 사용한다.

표 3. LPDT에 필요한 동작 상태별 세부블록

동작 상태	사용되는 블록	
	TX	RX
ESC_Ent	ESC_FSM, LP_Muxp, LP_muxn	ESC_FSM, LP_Muxp, LP_muxn
LP_DT	Register, ESC_Serializer, ESC_Encoder, LP_muxp, LP_muxn	Register, ESC_Deserializer, ESC_Decoder, Error Detection, LP_muxp, LP_muxn
ESC_Stop	ESC_Ent와 동일	ESC_Ent와 동일

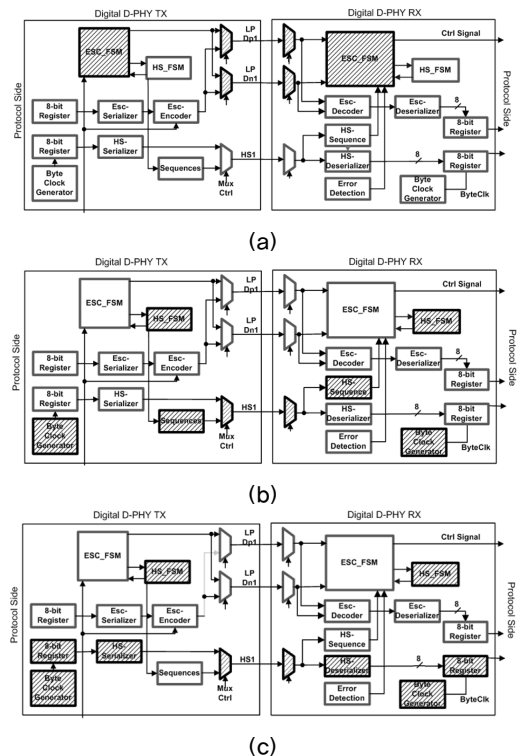


그림 6. HSDT에서 각 상태별로 사용되는 세부 블록 (a) HS\_Rqst (b) HS\_Sync (c) HS\_DT

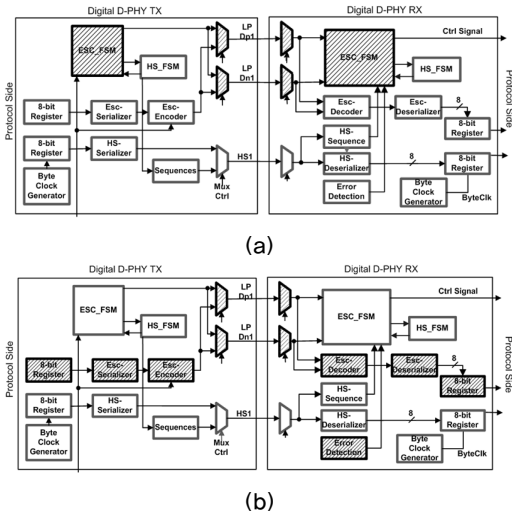


그림 7. LPDT에서 각 상태별로 사용되는 세부 블록 (a) ESC\_Ent (b) LP\_DT

ESC\_Encoder를 포함한 5개의 블록이 사용되고, RX에서는 ESC\_Decoder, ESC\_Deserializer를 포함한 6개의 블록이 사용된다.

### III. 실험결과

[그림 8]은 일반적인 D-PHY 디지털 블록 시뮬레이션 결과이다. [그림 8](a)는 500Mbps로 108-1개의 PRBS (Pseudo random binary sequence) 입력을 전송한 HSDT의 시뮬레이션 결과이다. HS 모드 요청 신호(TxRequestHS)가 들어오면 HS 모드로 동작한다. 전송될 바이트 데이터(TxDataHS)가 입력되면 TX는 데이터의 시작을 나타내는 Sync 패턴을 먼저 전송한 후 TxDataHS를 Clk에 따라 직렬화해서 HS1 신호로 바꿔 전송한다. RX에서는 HS1 직렬데이터를 다시 병렬화하여 바이트단위의 데이터(RxDataHS)로 주변장치의 상위 계층으로 보낸다. D-PHY간 또는 D-PHY와 외부장치 간의 데이터의 송수신은 바이트클럭(TxByteClk HS)을 통해 동기화된다.

[그림 8](b)은 20Mbps로 108-1개의 PRBS 입력을 전송한 LPDT의 시뮬레이션 결과이다. Escape 모드에서 LPDT 요청 신호(TxLpdtESC)가 들어오면 LP 모드 테

이터를 전송한다. TX로 입력된 바이트 단위의 데이터 (TxDataESC)는 직렬화한 후 한 비트씩 spaced-one-hot 부호화(Encoding)를 거쳐 각각 LP\_Dp1, LP\_Dn1으로 전송된다. RX에서 역부호화(Decoding)를 통해 복원된 비트 단위의 데이터는 병렬화를 거쳐 바이트 단위의 데이터(RxDataESC)로 출력된다. LPDT는 클럭을 같이 보내지 않는 비동기전송이므로 RX에서 LP\_Dp1과 LP\_Dn1을 XOR해서 클럭 신호(RxClkESC)를 만들어 이 클럭을 이용해서 동작한다.

[그림 9]는 제안된 저전력 D-PHY 디지털 블록을 위한 저전력 클럭 공급의 예를 HSDT 클럭으로 보여주는 시뮬레이션 결과이다. 클럭 게이팅이 적용된 HSDT의 동작은 데이터를 전송하는 경우에만 HS 블록에 클럭이 입력된다. ESC\_FSM의 출력이 활성화 신호를 추가해서 사용하는 블록에만 클럭을 공급하고 사용하지 않는

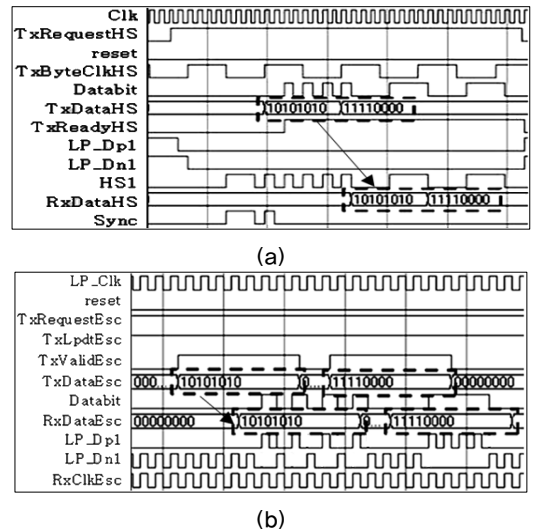


그림 8. 일반적인 D-PHY 디지털 블록 시뮬레이션 결과 (a) HSDT (b) LPDT

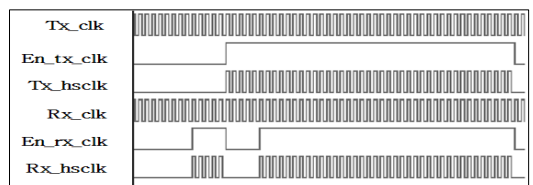
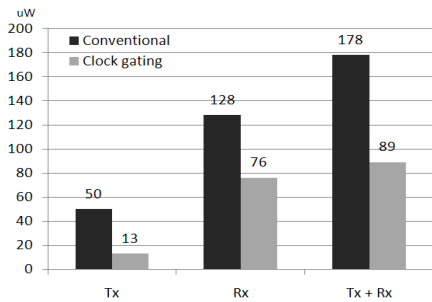


그림 9. HSDT 블록의 저전력 클럭 공급 시뮬레이션

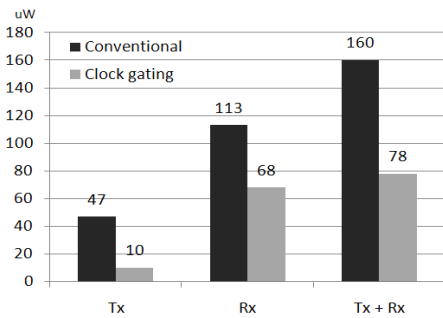
블록에는 공급하지 않는다. 기본적인 TX 클럭(Tx\_clk)과 RX 클럭(Rx\_clk)에서 각각의 활성화 신호(En\_tx\_clk, En\_rx\_clk)에 따라 저전력 동작을 위한 각각의 선택적 클럭(Tx\_lpclock, Rx\_lpclock)이 활성화되는 것을 알 수 있다.

제안된 저전력 D-PHY 디지털 블록의 성능향상을 확인하기 위해 Synopsys사의 Prime Time으로 전력소모량을 측정했다. 100 $\mu$ s동안 각각의 모드에서 클럭 게이팅 적용 유무에 따라 동작을 시키고 평균 전력소모량을 비교한다. HSDT와 LPDT의 동작에서의 전송률은 각각 500Mbps와 20Mbps이다.

[그림 10](a)와 [그림 10](b)는 각각 HSDT와 LPDT에서의 TX와 RX 및 전체의 소비전력 비교를 나타낸다. HSDT로 기존의 방식으로 시뮬레이션한 결과, TX에서는 50 $\mu$ W, RX에서는 128 $\mu$ W로 총 178 $\mu$ W의 전력을 소비했고, 클럭 게이팅이 적용된 제안된 저전력 D-PHY의 경우, TX에서는 13 $\mu$ s, RX에서는 76 $\mu$ W로 총 89 $\mu$ W의 전력을 소비했다. [표 4]를 보면 제안된 저전력 MIPI 디지털



(a)



(b)

그림 10. 소비전력 비교 (a) HSDT (b) LPDT

D-PHY의 HSDT 동작에서 TX, RX, 전체에서의 전력감소율은 각각 74%, 31%, 50%이고, LPDT 동작에서 TX, RX, 전체의 전력감소율은 각각 79%, 40%, 52%이다.

[그림 11]의 제안된 저전력 MIPI D-PHY 디지털 칩은 IDEC에서 지원된 0.13 $\mu$ m CMOS 공정에서 1.2V의 전원을 갖도록 설계 및 제작되었다.

#### IV. 결론

본 논문에서는 모바일 기기 신호 인터페이스용 MIPI의 D-PHY의 디지털 블록의 저전력 설계를 제안한다. 선택적으로 필요에 따라 동작의 활성화, 비활성화를 스위칭하는 아날로그 블록과 같이 저전력 소모를 위해 디지털 블록에도 내부 블록을 필요 동작에 따라 선택적으로 스위칭할 수 있는 클럭 게이팅 기법을 적용했다. 저전력 동작의 설계에 대한 동작을 시뮬레이션을 통해 검증하고 기존의 일반적인 MIPI D-PHY 디지털 블록과 전력소모를 비교했다. HS 모드 데이터 전송동작에 대해서는 저전력 설계를 통하여 전력소모가 50%로 줄었고, LP 모드 동작에 대해서도 전력소모가 전체적으로 52% 줄어들었다. 제안된 저전력 MIPI D-PHY 디지털 칩은 0.13 $\mu$ m CMOS 공정에서 1.2V의 전원을 갖도록 설계 및 제작되었다.

표 4. 저전력 MIPI 디지털 D-PHY의 전력감소율

	송신단(TX)	수신단(RX)	전체(TX+RX)
HSDT	74%	31%	50%
LPDT	79%	40%	52%

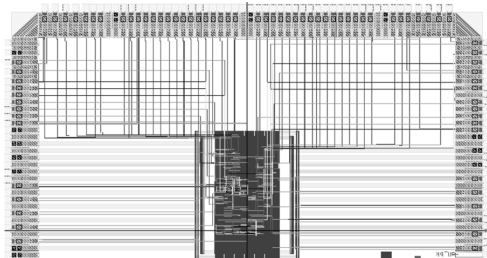


그림 11. 제안된 저전력 MIPI D-PHY 디지털 칩

참고 문헌

- [1] <http://www.mipi.org/>
- [2] MIPI alliance, *MIPI alliance specification for display serial interface, version 1.01.00*, 2008.
- [3] MIPI alliance, *MIPI alliance specification for D-PHY, version 0.90.00*, 2007.
- [4] Y. H Lee and H. W Ju, "PHY Adapter Layer Design for Low-power Fast Serial Bus Protocol," ITC-CSCC2008, pp.1505-1508, 2008.
- [5] H. K Jeon, H. R, Kim, J. M. Choi, J. P. Hong, Y. S. Kim, H. S. Oh, D. K. Han, and L. S. Kim, "High Speed Serial Interface for Mobile LCD Driver IC," ISCAS2008, pp.157-160, 2008.
- [6] Y. H Lee and H. W Ju, "Design of Serial Interface for High-speed Communication between Processor and Device," 정보 및 제어 학술대회 논문집, pp.499-500, 2008.
- [7] R. Lawrence, "High-speed Serial Interface for Mobile Displays," IDW, pp.2013-2016, 2006.
- [8] 현유진, 권순, 이종훈, 정우영, "멀티레인을 지원하는 모바일 카메라용 직렬 인터페이스 프로세서 설계," 전자공학회논문지, 제44권, pp.62-70, 2007.

저자 소개

김 유 진(Yoo-Jin Kim)

준회원



- 2008년 2월 : 충북대학교 정보통신공학과(공학사)
- 2008년 2월 ~ 현재 : 충북대학교 정보통신공학과(석사과정)

<관심분야> : 내용기반 영상검색, 멀티미디어

김 두 환(Doo-Hwan Kim)

정회원



- 2003년 2월 : 충북대학교 정보통신공학과(공학사)
- 2005년 2월 : 충북대학교 정보통신공학과(공학석사)
- 2005년 3월 ~ 현재 : 충북대학교 정보통신공학과(박사과정)

<관심분야> : 고속 인터페이스 회로, LVDS, MIPI, OTA-C 필터 설계

김 석 만(Seok-Man Kim)

정회원



- 2005년 2월 : 충북대학교 전기전자공학(공학사)
- 2008년 2월 : 충북대학교 정보통신공학과(공학석사)
- 2008년 3월 ~ 현재 : 충북대학교 정보통신공학과(박사과정)

<관심분야> : 저전력 회로 설계, 고성능 MCU 설계

조 경 록(Kyoung-Rok Cho)

정회원



- 1977년 : 경북대학교 전자공학과(공학사)
- 1989년 : 일본 동경대학교 전자공학과(공학석사)
- 1992년 : 일본 동경대학교 전자공학과(공학박사)

- 1979년 ~ 1986년 : (주)금성사 TV연구소 선임연구원
  - 1999년 ~ 2005년 : Oregon State University 객원교수
  - 1992년 ~ 현재 : 충북대학교 전기전자공학부 교수
  - 2008년 ~ 현재 : World Class University program (충북대학교) 책임
  - 2010년 ~ 현재 : IDEC 충북대 지역센터장
- <관심 분야> : 통신시스템LSI설계, 저전력 고속회로 설계, Platform 기반의 SoC 설계