

플로어플랜 기법에 따른 3차원 멀티코어 프로세서의 성능, 전력효율성, 온도 분석

최 홍 준[†] · 손 동 오[‡] · 김 종 면^{**} · 김 철 홍^{***}

요 약

공정기술 발달로 인해 칩 내부 집적도가 크게 증가하면서 내부 연결망이 멀티코어 프로세서의 성능 향상을 제약하는 주된 원인이 되고 있다. 내부 연결망에서의 지연시간으로 인한 프로세서 성능 저하 문제를 해결하기 위한 방안 중 하나로 3차원 적층 구조 설계 기법이 최신 멀티코어 프로세서를 설계하는데 있어서 큰 주목을 받고 있다. 3차원 적층 구조 멀티코어 프로세서는 코어들이 수직으로 쌓이고 각기 다른 층의 코어들은 TSV(Through-Silicon Via)를 통해 상호 연결되는 구성으로 설계된다. 2차원 구조 멀티코어 프로세서에 비해 3차원 적층 구조 멀티코어 프로세서는 내부 연결망의 길이를 감소시킴으로 인해 성능 향상과 전력소모 감소라는 장점을 가진다. 하지만, 이러한 장점에도 불구하고 3차원 적층 구조 설계 기술은 증가된 전력 밀도로 인해 발생하는 프로세서 내부 온도 상승에 대한 적절한 해결책이 마련되지 않는다면 실제로는 멀티코어 프로세서 설계에 적용되기 어렵다는 한계를 지니고 있다. 본 논문에서는 3차원 멀티코어 프로세서를 설계하는데 있어서 온도 상승 문제를 해결하기 위한 방안 중 하나인 플로어플랜 기법을 다양하게 적용해 보고, 기법 적용에 따른 프로세서의 성능, 전력효율성, 온도에 대한 상세한 분석 결과를 알아보고자 한다. 실험 결과에 따르면, 본 논문에서 제안하는 온도를 고려한 3가지 플로어플랜 기법들은 3차원 멀티코어 프로세서의 온도 상승 문제를 효과적으로 해결함과 동시에, 플로어플랜 변경으로 데이터 패스가 바뀌면서 성능이 저하될 것이라는 당초 예상과는 달리, 온도 하락으로 인해 동적 온도 제어 기법의 적용 시간이 줄어들면서 성능 또한 향상시킬 수 있음을 보여준다. 이와 함께, 온도 하락과 실행 시간 감소로 인해 시스템에서의 전력 소모 또한 줄일 수 있을 것으로 기대된다.

키워드 : 3차원 멀티코어 프로세서, 저온도 설계, 열섬 현상, 동적 온도 제어 기법, 플로어플랜, 데이터패스

Analysis of Performance, Energy-efficiency and Temperature for 3D Multi-core Processors according to Floorplan Methods

Choi Hong Jun[†] · Son Dong Oh[‡] · Kim Jong Myon^{**} · Kim Cheol Hong^{***}

ABSTRACT

As the process technology scales down and integration densities continue to increase, interconnection has become one of the most important factors in performance of recent multi-core processors. Recently, to reduce the delay due to interconnection, 3D architecture has been adopted in designing multi-core processors. In 3D multi-core processors, multiple cores are stacked vertically and each core on different layers are connected by direct vertical TSVs(through-silicon vias). Compared to 2D multi-core architecture, 3D multi-core architecture reduces wire length significantly, leading to decreased interconnection delay and lower power consumption. Despite the benefits mentioned above, 3D design technique cannot be practical without proper solutions for hotspots due to high temperature. In this paper, we propose three floorplan schemes for reducing the peak temperature in 3D multi-core processors. According to our simulation results, the proposed floorplan schemes are expected to mitigate the thermal problems of 3D multi-core processors efficiently, resulting in improved reliability. Moreover, processor performance improves by reducing the performance degradation due to DTM techniques. Power consumption also can be reduced by decreased temperature and reduced execution time.

Keywords : 3D Multi-core Processor, Low-temperature Design, Hotspot, Dynamic Thermal Management, Floorplan, Data Path

※ 이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단 기초연구사업의 지원(No.2010-0015343)과 2009년도 전남대학교 특성화 분야 연구비지원에 의하여 연구되었음.

† 준 회 원 : 전남대학교 전자컴퓨터공학부 석사과정

** 정 회 원 : 울산대학교 컴퓨터정보통신공학부교수

*** 총신회원 : 전남대학교 전자컴퓨터공학부 교수(교신저자)

논문접수 : 2010년 10월 6일

수정일 : 1차 2010년 11월 26일

심사완료 : 2010년 6월 28일

1. 서론

프로세서의 성능은 공정기술 발전에 따른 주파수 증가에 힘입어 크게 향상되어 왔다. 하지만 최근 들어 주파수 증가가 소모 전력 상승과 발열이라는 부작용으로 이어지면서 경쟁력에 한계를 나타내기 시작했다. 공정기술 발전에 따른 프로세서의 성능 향상이 한계에 도달한 상황에서, 멀티코어 프로세서 구조는 프로세서의 성능 향상을 위한 새로운 패러다임으로 제시되고 있다. 멀티코어 프로세서는 단일 프로세서에 여러 개의 실행 코어를 배치함으로써 연산 능력이 향상됨과 동시에 다중 작업에 매우 적합하다. 또한, 다수의 코어를 탑재하기 때문에 싱글코어보다 낮은 주파수에서 동작하여도 높은 성능을 보여줄 수 있는 장점을 지닌다. 이는 멀티코어 프로세서가 싱글코어 프로세서보다 소모되는 전력을 줄일 수 있을 뿐만 아니라 프로세서의 발열 문제에서도 유연성을 가질 수 있다는 것을 의미한다. 이러한 장점으로 인하여 최근의 고성능 프로세서는 주로 멀티코어 프로세서 구조를 사용하고 있다[1-4].

공정 기술이 발달하면서 2차원 평면(2D planar) 구조의 멀티코어 프로세서를 설계할 때, 내부 연결망(interconnection)은 성능과 전력소모 측면에서 칩의 유연성에 매우 부정적인 영향을 미치고 있다[5]. 2차원 구조에서 발생하는 멀티코어 프로세서의 한계점들은 3차원(3D) 구조로 설계함으로써 극복할 수 있다 [6-7]. 3차원 적층(stacked) 구조 멀티코어 프로세서에서 각 코어들은 여러 층에 수직으로 쌓이게 되고, 각 층은 TSV (Through-Silicon Vias)를 통해 서로 연결된다[8]. 멀티코어를 3차원으로 설계하는 기술은 2차원 구조와 비교하여 와이어 길이(wire length)를 상당히 줄일 수 있으므로 칩 내부의 연결망 속도를 크게 향상시킨다. 또한, 와이어 길이의 감소는 전력 소모량을 줄이는 데에도 상당한 영향을 미친다[9]. 그리고 멀티코어 프로세서를 3차원으로 설계하면 되면 2차원으로 설계하는 경우와 비교하여 칩의 크기를 상당히 줄일 수 있다. 이와 같은 3차원 설계 기술의 다양한 장점들로 인해 최근에는 많은 프로세서 개발 회사에서 3차원 멀티코어 프로세서 설계에 대한 연구를 활발하게 진행하고 있다[10-13].

2차원 구조와 비교하여 3차원 설계 기술의 장점은 적층되는 다이(die) 개수가 많아질수록 더욱 부각될 수 있다. 하지만 적층되는 다이 개수가 늘어날수록 활성화된 회로들이 수직으로 많이 쌓이게 되므로 전력 밀도가 급격히 증가하는 경향을 보이게 되고, 이로 인해 프로세서 내부의 온도가 크게 높아지는 문제점이 발생한다[14]. 프로세서 내부 온도 상승으로 인한 열섬(hotspot) 현상은 냉각 비용의 증가, 성능 저하, 그리고 프로세서의 작동 오류 및 칩의 변형을 발생시키게 되고, 이는 칩의 신뢰성에 치명적인 영향을 미치게 된다[15-16]. 그러므로 경쟁력을 갖춘 3차원 멀티코어 프로세서를 설계하기 위해서는 효과적인 온도 제어가 매우 중요하다[17].

기존의 2차원 멀티코어 프로세서 내부의 온도를 제어하기

위해 사용되는 대표적인 기법으로는 동적 주파수 조절(DFS: Dynamic Frequency Scaling), 동적 전압 조절(DVS: Dynamic Voltage Scaling), 클럭 게이팅(clock gating) 등을 이용하여 프로세서의 온도를 제어하는 동적 온도 제어 기법(DTM: Dynamic Thermal Management)을 들 수 있다 [18-20]. 동적 온도 제어 기법은 프로세서 내부의 평균 온도를 낮추거나 기준값(threshold) 이하로 온도를 유지시킴으로써 열섬 현상을 해결하는 기법으로, 프로세서 내부의 온도를 낮추는 데에는 효과적이지만, 온도를 줄이기 위해 프로세서 클럭을 멈추거나 전압을 낮추는 등의 방식을 사용하기 때문에 프로세서의 성능이 저하되는 단점을 내포하고 있다. 예를 들어, 마이크로프로세서 내부 특정 구성 요소의 온도가 일정 수준 이상으로 계속 발열할 경우에는, 해당 구성 요소에 대해 동적 온도 관리 기법이 지속적으로 적용되면서 프로세서의 성능이 크게 저하될 수 있다. 그러므로 최근에는 온도 제어 기법을 연구하는데 있어서 성능 저하를 최소화하는데 초점이 맞춰지고 있다[21]. 이와 같은 연구의 일환으로, 동적 온도 관리 기법의 적용 시간을 최소한으로 줄이기 위한 연구가 지속되고 있다. 이 연구는 대부분 온도의 발열을 미리 억제하는데 초점을 맞추고 있는데 이를 위해 제안된 기법들은 다음과 같다. 성능 계수기(PC: Program Counter)를 이용하여 발열을 예측하여 온도 상승을 미리 억제함으로써 동적 온도 관리 기법의 수행을 최소한으로 하는 기법, 발열이 높은 유닛에 보조 유닛을 추가하여 접근 빈도를 분산시켜 발열을 감소시키는 연산 이관 기법, 온도가 높은 유닛 주변에 낮은 온도의 유닛을 배치하여 온도를 낮추는 플로어플랜 기법 등이 있다[22-24].

국제 반도체 기술 로드맵(ITRS: International Technology Roadmap for Semiconductors)에서는 반도체 공정이 0.13 μ m 이하에서는 칩의 최고 온도(maximum junction temperature)가 섭씨 90도보다 낮아야 한다고 발표한 바 있다[25]. 하지만, 본 연구팀의 실험 결과에 따르면 동적 온도 제어 기법을 적용하지 않은 2-다이 듀얼코어 프로세서에 mcf 프로그램을 실행시켜 각각의 코어에 10억개씩의 명령어들을 수행하면 최고온도가 섭씨 100도보다 훨씬 높게 나타난다는 사실을 확인할 수 있다. 앞서 언급한 바와 같이, 프로세서의 최고 온도를 90도 이하로 낮추지 못하면 프로세서의 신뢰성을 보장할 수 없게 된다. 그러므로 3차원 멀티코어 구조에서의 높은 발열 문제를 해결하여 칩의 신뢰성을 확보하기 위해서는 동적 온도 제어 기법이 반드시 사용되어야만 한다. 하지만 너무 높은 3차원 멀티코어 프로세서의 온도는 동적 온도 관리 기법의 수행 시간을 급격하게 증가시켜 심각한 성능 저하를 유발한다. 성능 저하는 결과적으로 프로세서 수행시간을 증가시켜 전체 시스템의 전력 소모 또한 증가시킨다.

3차원 멀티코어 구조에서 발생하는 온도를 큰 성능 저하 없이 낮출 수 있다면 여러 측면에서 다양한 이점을 얻을 수 있다. 이를 위해 본 논문에서는 3차원 멀티코어 구조에서의 온도를 효과적으로 낮출 수 있는 플로어플랜(floorplan) 기법

을 제안하고자 한다. 플로어플랜 기법은 2차원 멀티코어 프로세서에서 동적 온도 관리 기법의 수행을 최소한으로 줄이기 위해 적용된 대표적인 연구 중 하나로 성능의 저하를 최소한으로 하면서 온도를 제어할 수 있다는 장점을 보인다. 본 논문의 구성은 다음과 같다. 2장에서는 3차원 멀티코어 프로세서 설계 기술, 동적 온도 제어 기법, 플로어플랜 기법 등의 관련 연구 내용을 기술한다. 3장에서는 제안하는 다양한 저온도 플로어플랜 기법들에 대해 설명한다. 4장과 5장에서는 제안 기법의 효율성을 살펴보기 위한 실험 환경과 세부적인 실험 결과를 보여준다. 마지막으로 6장에서는 본 논문의 결론을 기술한다.

2. 관련 연구

2.1 3차원 멀티코어 프로세서 설계 기술

프로세서 설계 시 내부 연결망은 지연 시간, 면적, 그리고 전력 측면에서 주요한 부분을 차지하고 있다. 멀티코어 프로세서를 3차원으로 설계하면 2차원 설계와 비교하여 내부 연결망의 길이를 크게 감소시킬 수 있으며 이는 높은 대역폭과 낮은 지연 시간, 그리고 전력 소모의 감소 효과를 얻을 수 있다. 이와 같은 이점들로 인해, 최근에는 멀티코어 프로세서를 설계하는데 있어서 3차원 설계 기술이 크게 주목을 받고 있다.

3차원 칩 설계를 위해서는 다이를 수직으로 적층하는 제조 기술이 필수적이다. 3차원 적층 기술에는 웨이퍼-웨이퍼 본딩 기술(wafer-to-wafer bonding), 다이-다이 본딩 기술(die-to-die bonding), 다이-웨이퍼 본딩 기술(die-to-wafer bonding) 등이 존재한다[26-27]. 현재 가장 주목받고 있는 웨이퍼-웨이퍼 본딩 기술은 다수의 반도체 웨이퍼 위에 코어들이 존재하고 전체 웨이퍼들은 직접적으로 함께 붙게 되는 기술이다. 높은 처리량(throughput)을 가지는 각각의 웨이퍼들은 매우 얇게 연결되어 있으며, 3차원 접합을 위해 1.5mm 이하의 정밀한 정렬이 요구된다. 이를 위해 본딩 인터페이스(bonding interface)는 변형되지 않는 물질을 사용한다[28-29].

3차원 멀티코어 프로세서에서는 여러 개의 다이가 적층될 수 있는데, 본 논문에서는 기본 특성을 세부적으로 살펴보기 위해 (그림 1)에서 보이는 바와 같이 2개의 다이에 코어를 각각 하나씩 배치한 2-die 듀얼코어 구조를 사용한다.

각 층의 다이들은 TSV를 통해 수직으로 연결되어 있으며, 이를 이용하여 짧은 시간에 상호 통신을 한다. 지금까지

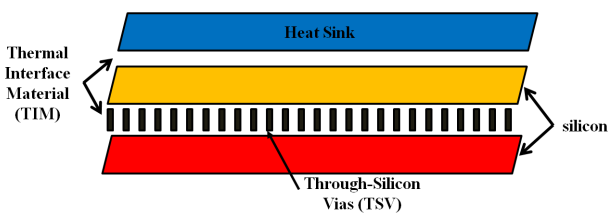
제조회사들은 TSV기술을 주로 CMOS이미지 센서, MEMS 및 전력 증폭기의 일부 부품 등의 제한된 영역에서만 사용하였다. 또한, 현재로서는 TSV 기술을 적용하는데 있어서 EDA 설계 툴의 부재, 설계의 복잡성, 설계 및 검증 통합, 그리고 비용 및 기술 표준의 부재 등의 많은 문제점에 부딪히고 있다. 설계자들은 지난 10여년간 TSV 기술을 기반으로 하는 3차원 칩에 대해 이야기해 왔지만 현재에도 TSV 기술을 기반으로 하는 3차원 칩의 양은 많지 않은 수준이다. 현재까지는 이와 같은 많은 어려움이 존재하지만 앞으로는 3차원 칩을 설계하기 위해서 TSV 기술이 주로 사용될 것으로 기대된다[30].

앞서 기술한 바와 같이, 3차원 멀티코어 프로세서 구조에서의 가장 큰 문제점은 프로세서 내부의 발열 현상으로 인한 높은 온도라고 볼 수 있다. [31]에 따르면, 온도가 높게 발생하는 이유는 크게 두 가지로 정리할 수 있다. 하나는 수직으로 쌓인 실리콘 층들로 인해 전력 밀도가 급격히 상승하는 것이고, 다른 하나는 TIM(Thermal Interface Material)의 온도 제어능력이 떨어지는 것이다. TIM은 열 전달(heat transfer)을 효과적으로 하기 위해 사용하는 구조로 다이와 다이 사이 또는 다이와 냉각 장치 사이에 위치한다.

2.2 동적 온도 제어 기법

공정 기술의 발달은 프로세서의 성능 향상이라는 긍정적인 효과와 함께 전력 밀도의 증가로 인한 열섬 현상이라는 새로운 문제를 유발했다. 이전에도 온도는 프로세서 설계 시 고려해야 할 사항이었지만, 최근에 들어서 더욱 중요한 설계 요소로 부각되고 있다. 전통적으로는 프로세서 내부의 온도를 낮추기 위해 기계적 냉각기법을 사용해 왔다. 기계적 냉각 기법에서는 방열 판(heat sink), 냉각 팬(cooling fan), 액체(liquid) 등을 이용한다. 기계적 냉각 기법은 성능의 저하 없이 온도를 제어할 수 있지만 냉각 효율과 비용적인 측면에서 한계를 지니고 있다. 최근 주목 받고 있는 기계적 냉각 기법인 수냉식 냉각 기법은 공냉식 냉각 기법에 비해 칩의 온도를 제어하는데 효과적이지만 비용이 매우 비싸고, 프로세서 자체가 물에 취약하기 때문에 유지보수 비용 또한 상당히 소모된다. 이러한 비용과 냉각 효율성 등에 따른 문제점들로 인해 최근의 온도 제어 연구는 발생된 온도를 제어하는 기계적 냉각이 아닌 프로세서 내에서 발생하는 온도 자체를 감소시키는 구조적인 설계 기법으로 이동하고 있다.

고성능 프로세서에서 발열 문제를 해결하기 위해 사용되는 구조적인 설계 기법은 크게 하드웨어 기반의 기술과 소프트웨어 기반의 기술로 구분된다. 하드웨어 기반의 동적 온도 제어 기법은 주파수나 전압을 조절하여 온도를 제어하는 기법으로 온도를 효과적으로 제어할 수 있지만 성능이 저하되는 단점이 존재한다. 소프트웨어 기반의 동적 온도 제어 기법은 하드웨어 기반의 동적 온도 제어 기법에 비해 성능에 대한 오버헤드는 적은 반면 온도를 효과적으로 제어할 수 없다. 3차원 멀티코어 프로세서 구조에서는 2차원 구



(그림 1) 3차원 듀얼코어 프로세서의 구성

조와 비교하여 온도가 더욱 높게 발생하기 때문에 온도를 효과적으로 제어할 수 있는 하드웨어 기반의 동적 온도 제어 기법이 필요하다. 하드웨어 기반의 동적 온도 제어 기법들은 주로 전압이나 주파수를 조절 하여 프로세서의 온도를 제어 하는 가변 전압 주파수 조절(DVFS: Dynamic Voltage and Frequency Scaling)이나 명령어 인출을 지연시키거나 멈추는 기법을 사용해서 온도를 제어하는 인출 지연(fetch throttling) 기법 등을 통해 구현된다. 하지만, 동적 온도 관리 기법은 발생하는 온도 자체를 낮추기 때문에 효과적으로 온도를 제어하는 대신에, 이를 위해서 프로세서의 성능을 저하시키는 단점이 존재한다. [32]에 따르면, 2차원 멀티코어 구조에서 가변 주파수 조절 기법은 2~3%, 가변 전압 주파수 조절 기법은 6~9%, 인출 지연 기법은 8% 정도의 성능이 하락한다고 한다.

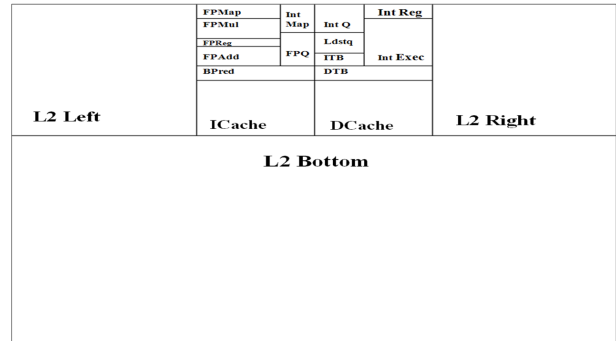
3차원 멀티코어 구조는 높은 온도가 지속적으로 발생하는 특징을 가진다. 그러므로 2차원 구조에서 사용되던 동적 온도 제어 기법을 3차원 구조에 동일하게 적용한다면, 동적 온도 제어 기법은 프로세서가 수행되는 거의 모든 시간에 수행될 것이므로, 이로 인한 성능 저하 현상이 급격하게 커질 것으로 예상된다.

2.3 플로어플랜 기법

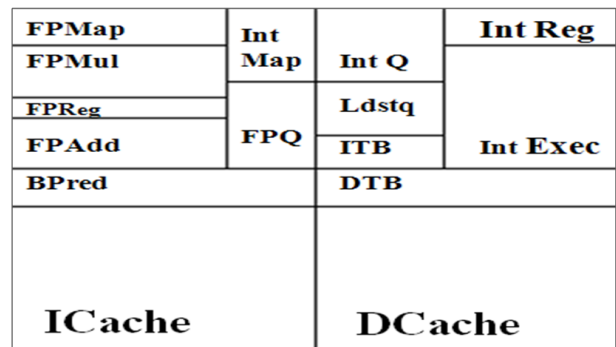
플로어플랜 기법은 성능 저하를 최소화하면서 프로세서의 온도를 제어할 수 있는 대표적인 기법이다. 기존의 플로어플랜 기법은 주로 회로 수준(circuit-level)에서 연구가 진행되었다. 하지만 와이어 지연(wire delay)으로 인한 성능 저하와 온도가 중요한 설계 요소로 부각되면서 구조적 수준(architecture-level)에서의 연구로 초점이 이동하고 있다. 코어 내부의 뜨거운 구성요소들이 인접해 있는 경우보다 그렇지 않는 경우 온도가 낮을 것은 자명하다. 구조적 수준에서의 플로어플랜 기법은 이러한 간단한 원리를 이용하여 높은 온도의 구성요소 주변에는 온도가 높지 않은 구성요소들을 배치하여 온도를 낮추는 기법이다. 달리 말하면, 저온도 플로어플랜 기법은 뜨거운 구성요소들을 인접하지 않도록 고려하여 배치하는 기법이다. 플로어플랜 기법을 효과적으로 사용한다면 새로운 구성요소를 추가하지 않더라도 온도를 효과적으로 제어할 수 있다. 또한 구성요소의 위치 변화로 인한 전체적인 면적 변화를 무시할만한 수준으로 유지시키면서 구현하는 것도 크게 복잡하지 않다.

다만, 구성요소의 위치가 변경됨으로써 서로 연관성을 가지는 구성요소들을 연결하는 연결망의 길이가 증가하는 경우에는 상호 통신 시간이 증가하여 성능의 저하를 가져올 수 있다. 특히, 상호 통신이 빈번한 구성요소들의 배치 상태를 변경할 경우에는 성능 저하 문제가 더욱 심각해질 수 있다. 그러므로 플로어플랜 기법을 이용하여 저온도 프로세서를 설계하고자 한다면 각 구성요소간의 데이터패스 또한 반드시 고려해야 한다.

(그림 2)는 Alpha 21364(Alpha ev6)의 플로어플랜을 나타낸다[33]. (그림 3)은 Alpha 21364 프로세서의 코어 부분만



(그림 2) Alpha 21364 구조의 플로어플랜



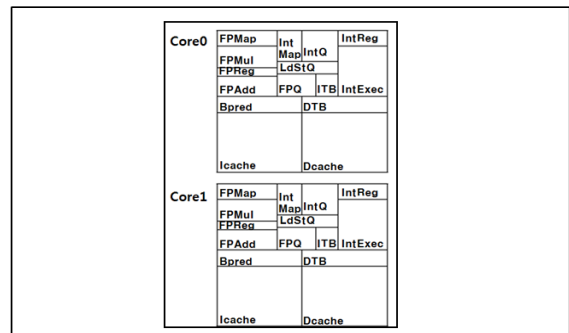
(그림 3) Alpha 21364 구조 중 코어의 플로어플랜

을 확대해서 보여주는 그림이다. 본 논문에서는 기본적으로 (그림 2)에서 보이는 Alpha 21364 구조를 (그림 1)에 나타낸 2-다이 3차원 듀얼코어 구조에 적용하여 멀티코어 프로세서를 구성한다.

3. 저온도 플로어플랜 기법

(그림 4)는 본 논문에서 분석 대상으로 설정한 3차원 듀얼코어 프로세서의 기본 플로어플랜을 보여준다.

그림에서 core0은 방열판과 멀리 떨어져 있는 코어를 나타내며, core1은 방열판과 가까이 있는 코어를 나타낸다. 3차원 듀얼코어 프로세서의 기본 플로어플랜은 앞서 설명한 Alpha 21364코어를 변경 없이 core0와 core1에 각각 사용한다.

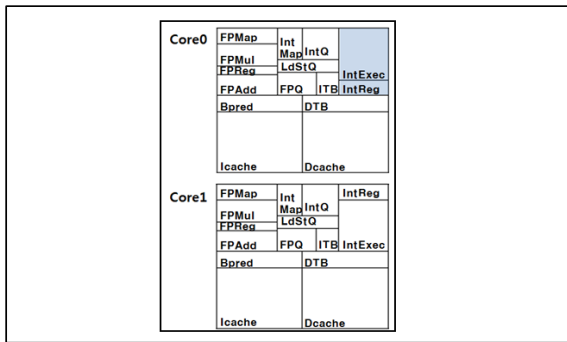


(그림 4) 3차원 듀얼코어 프로세서에서의 기본 플로어플랜

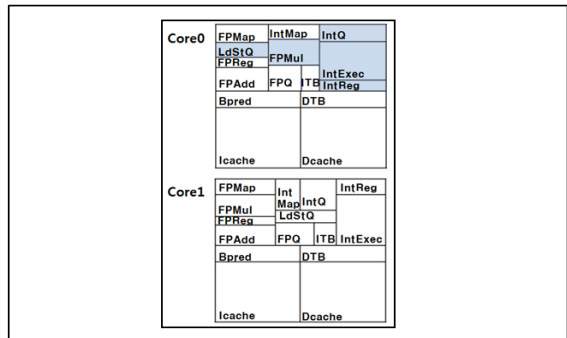
사전 연구를 통해 (그림 4)의 기본 플로어플랜 구조의 3차원 듀얼코어 프로세서에서 온도가 높게 발생한 구성요소의 온도를 낮추기 위하여 20여 가지의 다양한 플로어플랜에 대한 실험을 수행하였다. 그러나 본 논문에서는 지면상의 문제로 인해 20여 가지의 플로어플랜 중 효과적인 저온도 플로어플랜 3가지를 선택하여 기술한다.

(그림 5)~(그림 7)은 본 논문에서 제안하는 3차원 듀얼코어 프로세서에서의 저온도 플로어플랜들을 자세히 보여준다. 그림에서 보이다시피 저온도 플로어플랜 기법은 방열판에서 거리가 먼 core0의 온도를 낮출 수 있도록 core0의 내부 배치를 변경하고, 방열판에서 거리가 가까운 core1의 플로어플랜은 기존의 Alpha 21364구조를 그대로 사용한다.

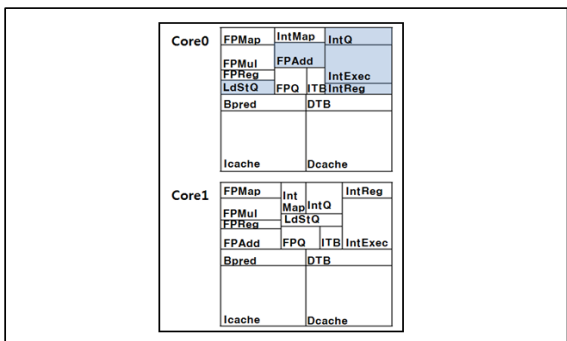
(그림 5)의 IntEx_IntReg 플로어플랜은 core0의 IntReg와 IntExec를 서로 맞바꾼 플로어플랜 구조이며 (그림 6)의



(그림 5) 저온도 플로어플랜 - IntEx_IntReg 플로어플랜



(그림 6) 저온도 플로어플랜 - INT_FPMul 플로어플랜



(그림 7) 저온도 플로어플랜 - INT_FPAdd 플로어플랜

INT_FPMul 플로어플랜은 core0의 정수(INT)형 유닛들인 IntReg, IntExec, IntQ와 FPMul, LdStQ 등이 변경된 플로어플랜을 나타낸다. 마지막으로 (그림 7)의 INT_FPAdd 플로어플랜은 정수형 유닛들인 IntQ, IntExec, IntReg와 FPAdd, LdStQ 등이 변경된 플로어플랜이다.

본 논문에서는 온도를 낮추기 위해 제안한 각각의 플로어플랜 기법에서 구성요소의 위치 변경에 따른 데이터패스 변경 또한 고려한다. (그림 5)에서 보이는 IntEx_IntReg 플로어플랜은 기본 플로어플랜과 비교하여 큰 변경이 없으며, 연관성 있는 구성요소들의 데이터패스 또한 달라지지 않는다. 하지만, (그림 6)의 INT_FPMul 플로어플랜과 (그림 7)의 INT_FPAdd 플로어플랜은 변경된 구성요소들의 수도 많을 뿐 아니라, LdStQ(Load Store Queue)의 위치가 기본 플로어플랜과 비교하여 크게 달라졌으므로 이와 관련된 구성요소들의 데이터패스를 고려해야만 한다. 그러므로 본 논문에서는 두 가지 플로어플랜(INT_FPMul 플로어플랜, INT_FPAdd 플로어플랜)에서 LdStQ 모듈과 연관이 깊은 Dcache(Level 1 Data Cache)의 접근 지연 시간이 기본 플로어플랜에 비해 증가한 것을 반영하여 실험을 수행한다.

4. 실험 환경

3차원 멀티코어 프로세서 구조에서 온도를 측정하는데 있어서 냉각 장치는 매우 중요한 요소이다. 본 논문에서는 프로세서의 기계적 냉각 장치로는 기존의 방열판을 그대로 사용한다. 본 논문에서 사용한 3차원 멀티코어 프로세서 구조의 성능과 온도를 정확하게 평가하기 위한 모의실험 환경과 벤치마크 프로그램 및 모델링 기법들은 다음과 같다.

4.1 모의실험 환경

본 논문에서는 프로세서의 성능 측정을 위해서는 검증된 시뮬레이터인 SimpleScalar[34]를 수정하여 사용한다. 온도 측정을 위해서는 HotSpot[35]에 각 프로세서에서 소모하는 전력을 입력하여 결과를 살펴본다. 각 프로세서에서 소모되는 전력 값 측정을 위해서는 SPEC CPU2000[36] 벤치마크 프로그램을 Wattch[37]에서 수행하여 추출한다.

모의실험 시 사용한 프로세서 관련 구성 변수는 <표 1>에 자세히 나타나있다. 명시하지 않은 값들은 기본 설정 값

<표 1> 모의실험 시 프로세서 구성 변수

실험인자	값
Functional Units	4 integer ALUs, 1 FP ALUs, 1 integer multiplier/divider, 1 FP multiplier/divider
L1 I-Cache	32KB, 4-way, 32byte lines, 1 cycle latency
L1 D-Cache	32KB, 4-way, 32byte lines, 1 to 2 cycle latency
L2 Cache	256KB, 8-way, 64byte lines, 12 cycle latency

을 그대로 사용한다. 또한, 모의실험에서는 프로세서에서 발생하는 온도 문제를 해결하기 위해 동적 온도 제어 기법을 사용한다. 적용된 동적 온도 제어 기법은 2단계로 동작한다. 1단계는 구동단계(trigger threshold)로 명령어의 인출 지연 방법으로 온도를 조절한다. 2단계는 긴급단계(emergency threshold)로 가변전압 및 주파수 조절 방법으로 온도를 제어한다. 모의실험 시 구동단계 온도는 80℃로 설정하였고, 긴급단계 온도는 90℃로 설정하였다. 각 구성요소의 처음 기본온도는 60℃로 설정하였다.

<표 2>는 SPEC CPU2000 벤치마크 프로그램 중에서 높은 병렬성(ILP: Instruction Level Parallelism)과 메모리 요구성, 그리고 온도가 높게 발생하는 특징을 가지고 있는 applu, crafty, gcc, mgrid, swim, art, mcf 프로그램을 2차원 싱글코어 프로세서에서 수행 시킨 결과를 보여 주고 있다.

L2 캐시의 접근 실패는 성능에 큰 오버헤드를 가져오기 때문에 주의해야 한다. 일반적인 프로그램들은 L2 캐시의 실패율이 높아 L2 캐시의 크기에 영향을 많이 받는 메모리연계(memory-bound) 프로그램과 그렇지 않은 중앙처리장치 연계(CPU-bound) 프로그램으로 분류된다. 본 실험에서는 다양한 특성들을 고려하여 벤치마크 프로그램 중에서 gcc, mcf 두 개의 프로그램 선택하여 실험을 수행하였다.

<표 2> 벤치마크 프로그램 특징

	Benchmark Program	IPC	L2 Cache Miss rate	Peak Temperature
CINT	crafty	2.279	0.054	78.09
	gcc	2.482	0.034	77.76
	mcf	2.731	0.251	81.04
CFP	applu	1.801	0.213	70.04
	art	0.642	0.727	73.50
	mgrid	1.103	0.345	74.14
	swim	2.961	0.265	72.29

4.2 온도 모델링

본 논문에서는 3차원 멀티코어 프로세서에서 발생하는 온도를 예측하기 위해 HotSpot 5.0을 사용한다. HotSpot을 이용하여 온도 값을 예측하기 위해 Wattch를 통해 사이클 단위로 마이크로프로세서의 성능과 내부 구성요소들의 전력 소비를 계산하고, Wattch에서 측정된 각 구성요소의 전력 데이터를 HotSpot의 입력으로 이용한다. 플로어플랜 배치는 Alpha 21364 코어를 참조하여 구성요소의 영역과 순서를 먼저 설정한 후, hotfloorplan[23]을 이용하여 설계하였다. 특히, 3차원 구조에서의 온도를 측정하기 위해 HotSpot 5.0에서 제공된 격자 형식(grid model)의 온도 평가 방법을 이용한다.

실험에서 사용한 3차원 듀얼코어 프로세서의 온도 구성 변수 값은 <표 3>에서 자세히 보여준다. die-0은 방열판과 멀리 떨어져 있는 다이를 die-1은 방열판 가까이에 위치하는 다이를 각각 나타낸다.

<표 3> 온도 모델링 구성 변수

Parameters	Value			
	die-0	TIM-0	die-1	TIM-1
Specific heat capacity (J/ m3K)	1.75e6	4e6	1.75e6	4e6
Resistivity (mK/W)	0.01	0.25	0.01	0.25
Thickness (m)	15e-5	2e-05	15e-5	2e-05

5. 실험 결과

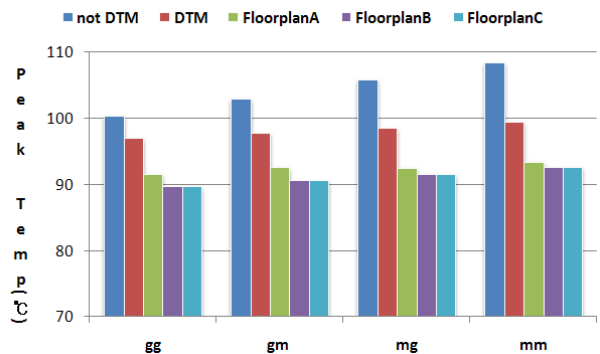
본 논문에서는 3차원 듀얼코어 프로세서를 대상으로 제안된 저온도 플로어플랜 기법들을 적용하여 실험을 수행한다. 실험결과에서, notDTM과 DTM은 3차원 듀얼코어 프로세서에 동적 온도 제어 기법이 적용되지 않은 경우와 적용된 경우를 표시하고, (그림 4)에서 보이는 기본 플로어플랜 구조를 사용한다. 또한, FloorplanA,B,C는 동적 온도 제어가 적용된 3차원 듀얼코어 프로세서에서 (그림 5)~(그림 7)에서 보이는 각각의 플로어플랜이 적용된 것을 의미한다.

5.1 온도 비교

프로세서 내에서 발생하는 열섬 현상은 프로세서의 전체적인 온도가 아니라 어느 한 지점에서 발생하는 고온 문제가 원인이 된다. 그러므로 본 논문에서는 평균 온도가 아니라, 프로세서 내에서의 최고 온도를 비교한다.

실험 결과 그래프의 가로축은 수행된 프로그램들을 나타내는 것으로, gcc는 g로 mcf는 m으로 각각 표시된다. 또한, core0에서 수행된 프로그램을 앞에 기술하고, core1에서 수행된 프로그램은 뒤에 표시한다. 즉, gm의 경우 core0은 gcc를 수행하고 core1은 mcf를 수행하는 경우를 나타낸다. 그래프의 세로축은 섭씨 온도 값(℃)으로 측정된 프로세서 내부의 최고 온도를 나타낸다.

(그림 8)은 각 구성에 따른 3차원 듀얼코어 프로세서의 최고 온도를 보여주고 있다. 그림에서 보이는 바와 같이, 동적 온도 제어 기법을 사용하는 경우(DTM)가 그렇지 않은 경우(not DTM)보다 온도가 훨씬 낮게 나타난다. 또한, 본



(그림 8) 3차원 듀얼코어 프로세서의 최고 온도

논문에서 제안된 플로어플랜 기법들을 적용하게 되면 기존의 플로어플랜과 비교하여 최고 온도가 현저히 낮아짐을 확인할 수 있다. 제안된 플로어플랜 기법 중 플로어플랜A보다 플로어플랜B와 플로어플랜C가 온도를 더욱 많이 감소시킬 수 있다. 실험 결과, not DTM에 비해 DTM은 평균 6.22°C(gg:3.42°C, gm:5.16°C, mg:7.28°C, mm:9.05°C)가량 온도가 낮으며 플로어플랜A는 평균 11.92°C(gg:8.8°C, gm:10.38°C, mg:13.4°C, mm:15.08°C)가 낮은 결과를 보여준다. 그리고 플로어플랜B와 플로어플랜C는 평균적으로 각각 13.27°C와 13.32°C만큼 최고 온도가 낮아진 것이 측정된다.

5.2 성능 비교

3차원 듀얼코어 프로세서에서는 예상대로 방열판과 거리가 먼 core0의 온도가 방열판과 가까운 core1의 온도보다 높게 나타난다. 코어의 온도가 높을수록 동적 온도 제어 기법의 적용으로 인한 성능 저하가 클 것임은 자명한 사실이다. 즉, 온도가 높은 core0에서의 성능 저하가 core1과 비교하여 크게 나타나고, 이는 결과적으로 전체적인 프로세서 성능에 악영향을 미치게 된다.

본 논문에서는 보다 높은 온도를 보이는 core0의 성능을 플로어플랜 기법에 따라 비교하고자 한다. 성능을 평가하기 위해서는 선택된 벤치마크 프로그램이 수행된 실행 시간을 실험을 통해 측정하였다.

(그림 9)는 동적 온도 제어 기법이 적용되지 않은 기존 플로어플랜에서의 core0의 성능에 정규화하여 각 구조들에서의 성능을 나타내고 있다. not DTM의 경우에는 동적 온도 제어 기법이 적용되지 않기 때문에 온도 문제로 인한 성능 저하가 하나도 없는 경우를 나타낸다. 실험 결과, DTM을 사용하는 경우 평균 22.89%의 성능이 저하됨을 알 수 있다. 이는 3차원 멀티코어 프로세서 내부 온도가 너무 높기 때문에 상당히 오랜 기간 동안 동적 온도 제어 기법이 지속적으로 적용되기 때문이다. 실험 결과, 1단계 구동단계는 전체 프로그램의 수행 5.1%이후부터 적용되었으며 8.4%이후부터는 2단계 구동단계가 작동하였다. 그 결과 예상보다 성능 저하가 훨씬 심각하게 나타남을 확인할 수 있다. 반면에, 본 논문에서 제안한 저온도 플로어플랜 기법을 적용한 플로어플랜A, 플로어플랜B, 그리고 플로어플랜C는 각각 평균

5.00%, 2.19%, 2.20%의 성능이 저하된다. 이는 프로세서 내부의 최고 온도가 낮아짐에 따라 동적 온도 제어 기법의 적용 시간이 크게 감소하여 성능 저하가 줄어들었음을 보여준다. 특히, 플로어플랜A에 비해 플로어플랜B와 플로어플랜C는 데이터패스의 변경으로 인해 데이터 캐쉬 접근 시간이 증가했음에도 불구하고(1cycle → 2 cycles), 성능은 오히려 약 3%정도 향상되는 결과를 보여준다. 분석에 따르면, 프로세서 내부 온도가 매우 높은 경우에는 동적 온도 제어 기법으로 인한 성능 저하가 매우 크기 때문에, 데이터패스 지연 시간 증가로 인한 성능의 저하보다 온도가 낮아짐에 따라 얻을 수 있는 성능 향상이 더욱 크게 나타나기 때문이다.

5.3 전력 소모 비교

프로세서에서 소모되는 전력은 크게 동적 전력(dynamic power)과 누설 전력(leakage power)으로 구분된다. 동적 전력은 구성요소가 동작하기 위해서 소모되는 전력이며, 정적 전력은 누설 트랜지스터로부터 기인하여 소모되는 전력으로 아무런 작업을 수행하지 않더라도 발생하게 된다.

누설 전력은 90nm의 공정에서 전체 전력 소모의 50%를 차지하고 있으며 공정 기술이 발달할수록 더욱 증가한다. 3차원 멀티코어 프로세서에서의 온도에 따른 전력 비용을 계산하는 [38]에 따르면, 면적과 온도를 기반으로 하여 CPU 코어에서 소모되는 누설 전력 값을 아래와 같은 식으로 구할 수 있다.

$$P_{leak} = a \cdot Area \cdot e^{\beta(T_{current} - T_0)} \quad (1)$$

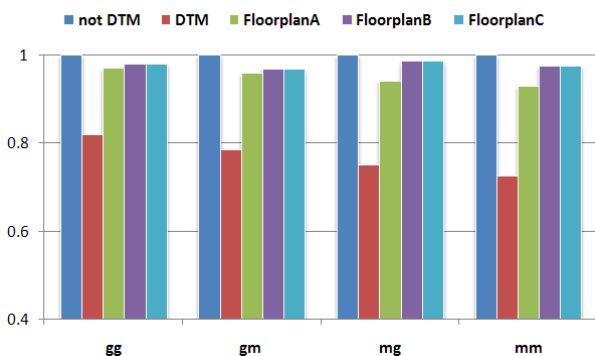
$$P_{total} = \sum P_{leak} \quad (2)$$

위의 식 (1)에서 a는 기본적으로 소모되는 누설 전력 값을 말하여 β는 공정에 따라 변하는 상수 값을 나타낸다. 그리고 T_{current}는 현재의 온도를 T₀는 기본적인 누설 전력 값일 때의 온도를 나타낸다. 식 (2)는 프로그램이 수행되는 동안 소모되는 누설 전력 값을 구하는 식으로 프로그램이 수행되는 동안의 P_{leak} 값을 합하여 전체 누설 전력을 계산하게 된다.

위의 식에서 보이는 바와 같이, 수행시간과 온도는 코어에서 소모되는 누설 전력에 직접적인 영향을 미치게 되고, 누설 전력 소모량은 실행시간이 짧을수록, 온도는 낮을수록 줄어든다. 그러므로 본 논문에서 제안하는 저온도 플로어플랜 기법들은 수행 시간 감소와 온도 하락을 통해 프로세서 코어에서 소모되는 누설 전력량을 크게 줄일 수 있을 것으로 기대된다.

6. 결론

3차원 멀티코어 프로세서 구조는 기존의 2차원 구조와 달리 코어들을 수직으로 쌓아 내부 연결망의 길이를 크게 줄임으로써 성능 향상과 전력 소모 감소라는 이점을 가지게



(그림 9) 3차원 듀얼코어 프로세서의 core0의 성능 비교

된다. 하지만 전력 밀도의 급격한 증가로 인해 프로세서 내부의 온도가 크게 높아지기 때문에 적절한 처리를 하지 않는다면 프로세서의 신뢰성에 큰 문제가 발생할 수 있다. 본 논문에서는 3차원 멀티코어 구조에서의 온도 문제를 효과적으로 해결하기 위해서 변경된 구성요소들의 배치에 따른 데이터패스를 함께 고려하여 3가지의 저온도 플로어플랜 기법들을 제안하였다. 제안된 플로어플랜 기법 중 하나의 플로어플랜 기법에서는 데이터패스의 변화가 없었으며, 나머지 플로어플랜 기법들은 구성요소의 위치가 변경됨에 따라 내부 통로의 지연 시간이 변경되었다. 실험 결과, 제안된 플로어플랜 기법들은 온도가 높은 구성요소들의 위치를 떨어뜨려 놓음으로써 프로세서 내부 온도를 상당히 낮출 수 있었고, 이에 따라 온도를 제어하기 위한 동적 온도 제어 기법의 적용 시간 또한 크게 감소하였다. 성능의 저하가 예상되었던 데이터패스가 변경된 플로어플랜 기법들에서도 오히려 동적 온도 제어 기법의 적용 시간을 감소시킴으로써 성능을 향상시킬 수 있었다. 제안된 플로어플랜 기법들은 발생하는 온도와 프로그램의 실행 시간을 줄임으로써 시스템에서 소모되는 전력량 또한 크게 감소시킬 수 있을 것으로 기대된다.

참 고 문 헌

- [1] R. Kalla, S. Balaran, and J. M. Tendler, "IBM Power5 cip: a dual-core multithreaded processor," *IEEE MICRO*, Vol.24, Issue 2, pp.40-47, 2004.
- [2] P. Kongetira, K. Aingaran, and K. Olukotun, "Niagara: a 32-way multithreaded Sparc processor," *IEEE MICRO*, Vol.25, Issue 2, pp.21-29, 2005.
- [3] M. B. Taylor, J. Psota, A. Saraf, N. Shnidman, V. Strumpen, M. Frank, S. Amarasinghe, A. Agarwal, W. Lee, J. Miller, D. Wentzlaff, I. Bratt, B. Greenwald, H. Hoffmann, P. Johnson, and J. Kim, "Evaluation of the Raw microprocessor: an exposed-wire-delay architecture for ILP and Stremas," In Proceedings of 31st annual International Symposium on Computer Architecture, pp.2-13, 2004.
- [4] K. Sankaralingam, R. Nagarajan, H. Liu, C. Kim, J. Huh, D. Burger, S. W. Keckler, and C. Moore, "Exploiting ILP, TLP, and DLP with the polymorphous trips architecture," *IEEE MICRO*, Vol.23, Issue 6, pp.46-51, 2003.
- [5] V. Agarwal, M. S. Hrishikesh, S. W. Keckler, and D. Burger, "Clock rate versus IPC: the end of the road for conventional microarchitectures," In Proceedings of the 27th International Symposium on Computer Architecture, pp.248-259, 2000.
- [6] A. W. Topol, D. C. L. Tulipe, L. Shi, D. J. Frank, K. Bernstein, S. E. Steen, A. Kumar, G. U. Singco, A. M. Young, K. W. Guarini, and M. Jeong, "Three-dimensional integrated circuits," *IBM Journal of Research and Development*, Vol.50, No.4/5, pp.491-506, 2006.
- [7] B. Black, M. Annavaram, N. Brekelbaum, J. DeVale, L. Jiang, G. H. Loh, D. McCauley, P. Morrow, D. W. Nelson, D. Pantuso, P. Reed, J. Rupley, S. Shankar, J. Shen, and C. Webb, "Die Stacking (3D) Microarchitecture," In Proceedings of 39th International Symposium on Microarchitecture, pp.469-479, 2006.
- [8] S. W. Yoon, D. W. Yang, J. H. Koo, M. Padmanathan, and F. Carson, "3D TSV processes and its assembly/Packaging technology," In Proceedings of IEEE International Conference on 3D System Integration, pp.1-5, 2009.
- [9] J. W. Joyner, and J. D. Meindl, "Opportunities for reduced power dissipation using three-dimensional integration," In Proceedings of the IEEE 2002 international Interconnect Technology Conference, pp.148-150, 2002.
- [10] B. Black, D. W. Nelson, C. Webb, and N. Samra, "3D Processing Technology and its Impact on IA32 Microprocessors," In Proceedings of IEEE International Conference on Computer Design, pp.316-318, 2004.
- [11] K. W. Guarini, A. W. Topol, M. Jeong, R. Yu, L. Shi, M. R. Newport, D. J. Frank, D. V. Singh, G. M. Cohen, S. V. Nitta, D. C. Boyd, P. A. O'Neil, S. L. Tempest, H. B. Pogge, S. Purushothaman, and W. E. Haensch, "Electrical integrity of state-of-the-art 0.13 μm SOI CMOS devices and circuits transferred for three-dimensional (3D) integrated circuit (IC) fabrication," In Proceedings of the International Electron Devices Meeting, pp.943-945, 2005.
- [12] D. Nelson, C. Webb, D. McCauley, K. Raol, J. R. II, J. DeVale, and B. Black, "A 3D Interconnect Methodology Applied to iA32-class Architectures for Performance Improvements through RC Mitigation," In Proceedings of the 21st International VLSI Multilevel Interconnection Conference, pp.78-83, 2004.
- [13] P. Reed, G. Yeung, and B. Black, "Design Aspects of a Microprocessor Data Cache using 3D Die Interconnect Technology," In Proceedings of the International Conference on Integrated Circuit Design and Technology, pp.15-18, 2005.
- [14] K. Puttaswamy, and G. H. Loh, "Thermal Analysis of a 3D Die Stacked High Performance Microprocessor," In Proceedings of ACM Great Lakes Symposium on VLSI, pp.19-24, 2006.
- [15] L. Yeh, and R. Chy, "Thermal Management of Microelectronic Equipment," American Society of Mechanical Engineering, 2001.
- [16] R. Mahajan, "Thermal Management of CPUs: A Perspective on Trends, Needs, and Opportunities," Invited talk given at the 8th International Workshop on THERMal INvestigations of ICs and Systems, 2002.
- [17] S. Das, A. Chandrakasan, and R. Reif, "Timing, energy, and thermal performance of three-dimensional integrated circuits," In Proceedings of ACM Great Lakes Symposium on VLSI, pp.338-343, 2004.
- [18] J. Donald and M. Martonosi, "Techniques for multicore thermal management: Classification and new exploration," In

- Proceedings of 33rd International Symposium on Computer Architecture, pp.78-88, 2006.
- [19] K. Skadron, M. R. Stan, W. Huang, S. Velusamy, K. Sankaranarayanan, and D. Tarjan, "Temperature-aware microarchitecture," In Proceedings of 30th International Symposium on Computer Architecture, pp.2-13, 2003.
- [20] D. Brooks, and M. Martonosi, "Dynamic Thermal Management for High-Performance Microprocessors," In Proceedings of High-Performance Computer Architecture, pp.171-182, 2001.
- [21] J. Srinivasan, and S. V. Adve, "Predictive Dynamic Thermal Management for Multimedia Applications," In Proceedings of International Continnence Society, pp.109-120, 2003.
- [22] S. Heo, K. Barr, and K. Asanovic, "Reducing Power Density through Activity Migration," In Proceedings of international Symposium on Low Power Electronics and Design, pp.217-222, 2003.
- [23] S. Chung and K. Skadron, "Using On-Chip Event Counters For High-Resolution, Real-Time Temperature Measurement," In Proceedings of Thermal and Thermomechanical Phenomena in Electronics Systems, pp.114-120, 2006.
- [24] K. Sankaranarayanan, S. Velusamy, M. Stan and K. Skadron, "A Case for Thermal-Aware Flooplanning at the Microacrchitecture Level," Journal of Instruction-Level Parallelism, Vol.7, pp.1-16, 2005.
- [25] SIA, "Technology Roadmap for Semiconductors," 2005.
- [26] P. Lindner, V. Dragoi, T. Glinsner, C. Schaefer, and R. Islam, "3D interconnect through aligned wafer level bonding," In Proceedings of the Electronic Components and Technology Conference, pp.1439-1443, 2002.
- [27] P. Morrow, M. J. Kobrinsky, S. Ramanathan, C. M. Partk, M. Harmes, V. Ramachandrarao, H. M. Park, G. Kloster, S. List, and S. Kim, "Wafer-level 3D interconnects via Cu bonding," In Proceedings of the 2004 Advanced Metalization Conference, pp.125-130, 2004.
- [28] S. Reda, G. Smith, and L. Smith, "Maximizing the functional yield of wafer-to-wafer 3-D integration," IEEE Transactions on Very Large Scale Lntegration (VLSI) Systems, Vol.17, No.9, pp.1357-1362, 2009.
- [29] P. Leduca, F. de Crecy, B. Charlet, T. Enot, M. Zussy, B. Jones, J.-C. Barbe, N. Kernevez, N. Sillon, S. Maitrejean and D. Louisa, "Challenges for 3D IC integration: bonding quality and thermal management," In Proceedings of IEEE Lnternational Lnterconnect Technology Conference, pp.210-212, 2007.
- [30] S. W. Yoon, D. W. Yang, J. H. Koo, M. Padmanathan and F. Carson, "3D TSV processes and its assembly/Packaging technology," In Proceedings of IEEE International Conference on 3D System Integration, pp.1-5, 2009.
- [31] J. Cong, G. J. Luo, J. Wei and Y. Zhang, "Thermal-Aware 3D IC Placement Via Transformation," In Proceedings of ASP-DAC (2007), pp.780-785, 2007.
- [32] J. H. Choi, J. H. Kong, E. Y. Chung and S. W. Chung, "A Dual Integer Register File Structure for Temperature-Aware Microprocessor," Journal of KIISE: Computer System and Theory, Vol.35, No.12, pp.540-551, 2008.
- [33] R. E. Kessler, "The Alpha 21364 microprocessor," IEEE MICRO, Vol.19, Issue 2, pp.24-36, 1996.
- [34] D. Burger, T. M. Austin and S. Bennett, "Evaluating future microprocessors: the SimpleScalar tool set," Technical Report TR-1308, University of Wisconsin-Madison Computer Sciences Department, 1997.
- [35] W. Huang, M. R. Stan, K. Skadron, K. Sankaranarayanan and S. Ghosh, "HotSpot: A Compact Thermal Modeling Method for CMOS VLSI Systems," IEEE Transactions on VLSI Systems, 2006.
- [36] J. L. Henning, "SPEC CPU2000: measuring cpu performance in the new millennium," IEEE Computer, Vol.33, No.7, pp.28-35, 2000.
- [37] D. Brooks, V. Tiwari and M. Martonosi, "Wattch: A Framework for Architectural-level Power Analysis and Optimizations," In Proceedings of the 27th Annual International Symposium on Computer Architecture, pp.83-94, 2000.
- [38] A. K. Coskun, A. B. Kahng, T. S. Rosing, "Temperature- and Cost-Aware Design of 3D Multiprocessor Architectures," In Proceedings of 12th Euromicro Conference on Digital System Design and Architectures, Methods and Tools, pp.183-190, 2009.

최 흥 준



e-mail : chj6083@naver.com

2009년 : 전남대학교 전자컴퓨터공학과 공학사

2009년 : 전남대학교 전자컴퓨터공학부 석사과정 입학

관심분야 : 저전력 설계, 컴퓨터 구조

손 동 오



e-mail : sdo1127@gmail.com

2010년 : 전남대학교 전자컴퓨터공학과 공학사

2010년 : 전남대학교 전자컴퓨터공학부 석사과정 입학

관심분야 : 저전력 설계, 컴퓨터 구조, Soc 설계



김 종 면

e-mail : jongmyon.kim@gmail.com
1995년 : 명지대학교 전기공학사
2000년 : University of Florida ECE 석사
2005년 : Georgia Institute of Technology
ECE 박사
2005년~2007년 : 삼성종합기술원 전임연
구원

2007년~현 재 : 울산대학교 컴퓨터정보통신공학부 교수
관심분야 : 임베디드 SoC, 컴퓨터구조, 프로세서 설계, 병렬처리



김 철 흥

e-mail : chkim22@chonnam.ac.kr
1998년 : 서울대학교 컴퓨터공학사
2000년 : 서울대학교 대학원 컴퓨터 공학
부 석사
2006년 : 서울대학교 대학원 전기컴퓨터공
학부 박사

2005년~2007년 : 삼성전자 반도체총괄 SYS.LSI사업부 책임연구원
2007년~현 재 : 전남대학교 전자컴퓨터공학부 교수
관심분야 : 임베디드시스템, 컴퓨터구조, SoC 설계, 저전력 설계