

대형 TFT-LCD TV에 적용 가능한 Source Driver IC 감마보정전압 구동용 앰프설계에 관한 연구

A Study on the Design of Amplifier for Source Driver IC applicable to the large TFT-LCD TV

손 상 희*

Sang-hee Son*

Abstract

A CMOS rail-to-rail high voltage buffer amplifier is proposed to drive the gamma correction reference voltage of large TFT LCD panels. It is operating by a single supply and only shows current consumption of 0.5mA at 18V power supply voltage. The circuit is designed to drive the gamma correction voltage of 8-bit or 10-bit high resolution TFT LCD panels. The buffer has high slew rate, 0.5mA static current and 1kΩ resistive and capacitive load driving capability. Also, it offers wide supply range, offset voltages below 50mV at 5mA constant output current, and below 2.5mV input referred offset voltage. To achieve wide-swing input and output dynamic range, current mirrored n-channel differential amplifier, p-channel differential amplifier, a class-AB push-pull output stage and a input level detector using hysteresis comparator are applied. The proposed circuit is realized in a high voltage 0.18um 18V CMOS process technology for display driver IC. The circuit operates at supply voltages from 8V to 18V.

요 약

대형 TFT LCD 패널의 감마보정전압을 구동하기 위한 레일-투-레일 고전압 CMOS 완충 증폭기를 제안하였다. 이 회로는 단일 전압하에서 동작하고 18V 전압원에서 0.5mA의 전류소비특성을 나타내며 8비트/10비트 고해상도 TFT LCD 패널의 감마보정 전압 구동을 위하여 설계하였다. 이 회로는 높은 slew rate, 0.5mA의 정적 전류특성을 나타내며 1kΩ의 저항성/용량성 부하구동 능력을 가지고 있다. 또한 넓은 출력 공급범위를 지니며, 5mA의 출력 정전류를 내보낼 경우 50mV미만의 오프셋전압 특성을 가진다. 또한, 용량성 부하 구동시 입력기준 오프셋전압이 2.5mV 미만인 좋은 특성을 나타낸다. 본 논문에서는 넓은 스윙입력범위와 출력 동작 범위를 얻기 위해 전류미러형 n-채널 차동증폭기, p-채널 차동증폭기, AB-급 푸쉬-풀 출력단, 히스테리시스 비교기를 사용한 입력레벨 검출기 등을 사용하였다. 제안된 회로는 고전압 디스플레이 구동 IC에 사용하기 위해 0.18um 18V 고전압 CMOS 공정기술에 의해 제작되었다. 제안된 회로는 8~18V의 공급 전압 범위에서 동작한다.

Key words : TFT LCD; 감마보정; 완충 증폭기; 레일-투-레일

* 청주대학교 전자정보공학부 교수
(Dept. of Electronics and information Engineering, Cheongju University)

I. 서론

최근 고해상도의 TFT-LCD 영상장치와 같이 다양한 혼합모드 방식을 사용하는 응용분야에서는 큰 저

接受日:2010年 5月 23日, 修正完了日: 2010年 6月 29日

항성부하와 큰 용량성 부하를 구동하기 위해서 고전압하에서 동작하며 저가이면서, 저 소비전력의 특성을 갖는 CMOS 레일-투-레일간 단위 이득 연산증폭기(operational amplifier)를 필수적으로 사용한다. LCD판넬의 유리전달특성에서 발생하는 비선형성을 보정하기 위해 일반적으로 감마 보정을 사용해야만 하며, 256 그레이 스케일(gray scale) 구현을 위한 일반적인 LCD 소스 드라이버는 내부에서 8-비트의 디지털 데이터를 아날로그 전압으로 변환시켜 LCD에 가해주기 위해 디지털-아날로그 변환기(DAC)를 필수적으로 사용한다. 이들 DAC는 일반적으로 적절한 동작을 위해 외부 기준전압을 필요로 하는데 이 외부 기준전압은 보통 저항을 이용한 간단한 사다리구조를 통해 발생시킨다. Huijsing [1]-[2], Ismail[3], Ivanov[4] 등은 저전압, 고속 특성을 갖는 CMOS 레일-투-레일 연산증폭기를 발표하였으며, 또한, 참고문헌 [5]-[8]에서는 큰 저항성, 용량성 부하를 구동시키기 위해 AB-급 완충증폭기를 사용하였다.

본 논문에서 제시하고자 하는 간단한 구조의 CMOS 레일-투-레일간 단위이득 완충증폭기는 고전압하에서 동작하는 아날로그 완충증폭기의 한가지 설계 방법으로 작은 면적을 차지하면서, 저가, 저전력소비 특성을 가짐과 동시에 고해상도를 필요로 하는 시장 요구에 잘 부응되는 특성을 가지고 있다. 이 CMOS 레일-투-레일간 단위이득 완충증폭기를 감마 기준전압을 구동시키는 용도로 8-비트 혹은 10-비트 TFT LCD 디스플레이 시스템의 소스 드라이버 IC에도 적용하고자 한다.

이 회로를 고전압 CMOS 응용회로에 사용하는 경우 가능한 낮은 발열 특성과 낮은 가격 측면을 고려하여 완충증폭기의 소비전력은 작아야만 하며 회로구조는 간단해야만 한다. 일반적인 랩탑, 데스크 탑, LCD TV 판넬의 경우 판넬의 모든 행을 구동하기 위해 평행하게 6~8개의 소스드라이버 IC를 필요로 한다. 소스드라이버 IC 내부의 한 개의 내부 저항열의 저항 값은 보통 10kΩ~25kΩ 이기 때문에 병렬로 존재하는 6~8개의 저항열의 부하는 드라이버 IC 개 수에 반비례하여 작아진다.

개략적인 완충증폭기의 구조를 블록 다이어그램으로 그림 1에 나타내었다. 이 구조는 입력레벨 검출기, 바이어스 기준전압 발생회로, MUX스위치, NMOS/PMOS 입력 OTA(operational transconductance amplifier)로 구성되며, AB-급 공통 푸쉬-풀 출력단으로 구동시킨다. 8-비트/10-비트 TFT LCD 디스플레이 시스템에 적용시키는 것을 목표로 설계하고자 하는 CMOS 레일-투-레일간 단위이득 완충증폭기의 목표 제원은 표 1과 같다.

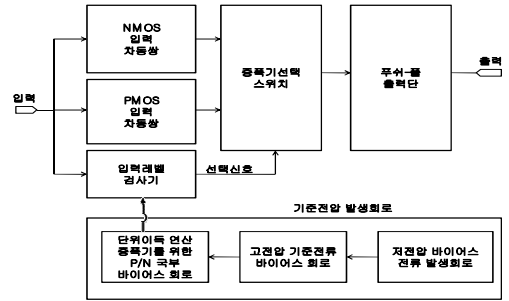


Fig. 1. Block diagram of rail-to-rail amplifier
그림 1. 레일-투-레일 증폭기의 블록 다이어그램

Table 1. Target specifications
표 1. 목표 제원

파라메타	기호	최저	보통	최대	단위
공급전압	V_{DD}	8	-	18	V
일정 출력전류	I_{OUT}	-	-	10	mA
전류소비	I_{DD}	-	-	0.5	mA
오프셋(offset)전압	V_{OS}	-	-	5	mV
출력오차전압	V_{ERROR}	-	-	50	mV
입력전압오차	V_{IN}	0.2	-	$V_{DD}-0.2$	V
온도	T_{OP}	-20	-	125	°C
슬루(slew)율	-	10	-	-	V/us

II. 레일-투-레일 증폭기 설계

II-1. 바이어스 기준전압 발생 회로설계

그림 2에서 내부의 마스터 바이어스 기준 전류 발생기(Iref)는 저전압 트랜지스터로 구성되어 있으며, 15V전원전압을 이용하여 발생된 기준 전류는 단위이득 연산증폭기를 바이어스 하기 위한 고전압 기준회로에 전달된다. 매우 긴 바이어스 전압라인의 임피던스를 줄이기 위해 국부적으로 바이어스 회로를 사용하였다.

전압을 바이어스 할 때 인접한 신호선과 연동되어 발생하는 AC 노이즈는 반드시 막아야만 하며 이를 막기 위해 주의 깊게 절연시켜야 한다. 저전압에서 바이어스 기준전류를 발생시키는 목적은 마스터 바이어스전류의 변동성을 최소화시키기 위해서이다. 공급

전압, 온도, 공정 파라메타는 기준전류를 변화시키는 대표적인 변수들이다. 소스드라이버 IC의 접합온도가 동작전류에 의해 증가되어도 이것 또한 마스터 바이어스 전류발생회로에 영향을 끼친다. 따라서 바이어스 기준회로의 온도 특성이 (+)온도계수 특성(PTC)을 갖는다면 단위이득 연산증폭기의 전류소모도 동시에 증가한다. 그 결과 칩 표면의 온도는 증가하게 되어 IC의 열 흡수 임계온도까지 올라가게 된다. 만약 칩의 열 흡수 속도가 온도 귀환속도보다 느리다면 IC는 열에 의해 손상을 입게 된다.

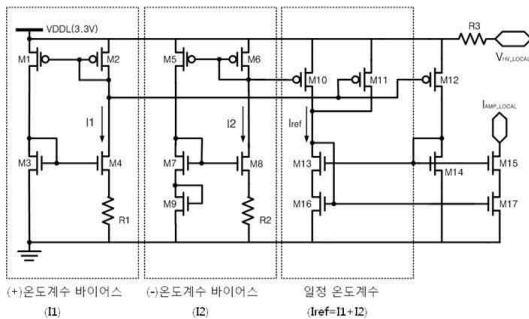


Fig. 2. Low voltage master bias current generation circuit

그림 2. 저전압 마스터바이어스 전류 발생회로

따라서 그림 2와 같이 회로를 구성하면 PTC 바이어스 기준 전류 I_1 (식 (1)), NTC 바이어스 기준 전류 I_2 (식 (2))를 합쳐서 결과적으로 일정한 TC 특성을 얻을 수 있다. 일정한 바이어스 기준 전류 I_{ref} 는 식 (3)과 같이 나타낼 수 있다.

$$I_1 = \frac{2}{R_1 \beta_3} (1 - \sqrt{\frac{1}{K}})^2 \quad (1)$$

$$I_2 = \frac{1}{R_2} = (V_{THN} + \sqrt{\frac{2I_3}{\beta_9}}) \quad (2)$$

$$I_{ref} = I_1 + I_2 = \frac{2}{R_1 \beta_3} (1 - \sqrt{\frac{1}{K}})^2 + \frac{1}{R_2} (V_{THN} + \sqrt{\frac{2I_3}{\beta_9}}) \quad (3)$$

$$(K = \frac{W_4}{W_3}, \beta_9 = \mu_n C_{ox} \frac{W_p}{L_p})$$

그림 2의 회로는 PVT(공정, 전압, 온도)에 따른 변이를 최소화하기 위해 3.3V 전원전압을 이용하여 I_{ref} 를 발생시킨다. 고전압 보조증폭기를 바이어스 하기

위해서 그림 3을 사용하여 고전압(VDDH) 바이어스 전류로 변환시킨다. 그림 3은 고전압 바이어스 전류를 발생시키는 회로로서 그림 4, 그림 5에서 바이어스 전압 기준전류로 사용하는 고전압 기준전류를 발생시킨다. 그림 4, 그림 5는 PBIAS, PCAS, NCAS, NBIAS 와 같은 바이어스 전압을 LCD 드라이버를 구동하는 고전압 단위 이득 연산증폭기에 공급한다.

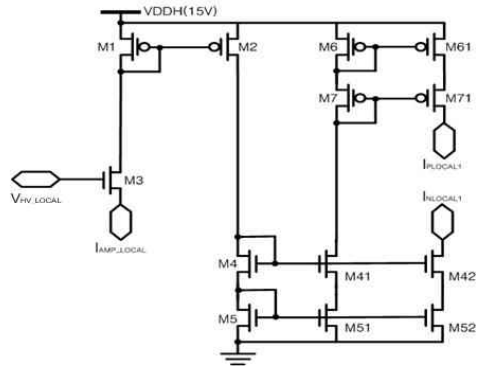


Fig. 3. High voltage reference current bias circuit for local bias circuit

그림 3. 국부 바이어스 회로를 위한 고전압 기준전류 발생회로

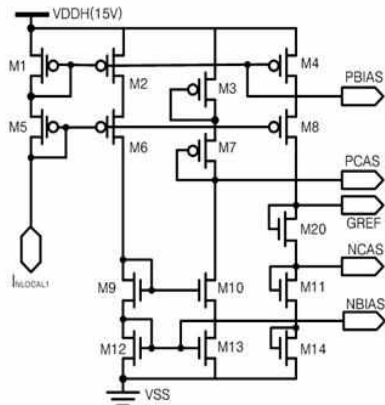


Fig. 4. N-local bias circuit for unity gain operational amplifier

그림 4. 단위이득 연산증폭기를 위한 N-국부바이어스 회로

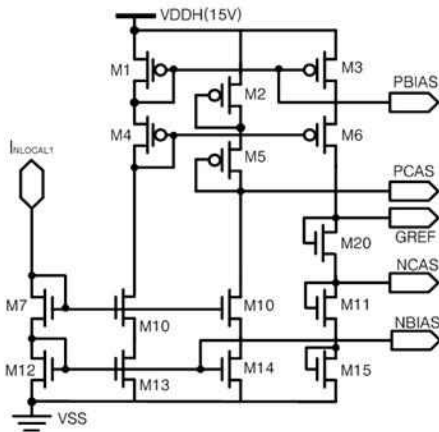


Fig. 5. P-local bias circuit for unity gain operational amplifier

그림 5. 단위이득 연산증폭기를 위한 P-국부바이어스 회로

II-2. NMOS/PMOS 입력 차동쌍 회로설계 (단위이득 연산증폭기 설계)

레일-투-레일간 출력을 얻기 위하여 그림 6, 그림 7에서 볼 수 있는 바와 같이 공통 소스트랜지스터를 가진 고속, 저전력 2단 폴디드(folded) 캐스코드 전류 미러형 AB-급 연산증폭기를 제안, 설계하였고 이를 기본 증폭기로 적용하였다. 그림 6은 (+)감마 그레이스케일 구동 완충증폭기이고 그림 7은 (-)감마 그레이스케일 구동 완충증폭기이다. 이 2개의 완충증폭기는 폴디드 캐스코드 전류 미러형 차동증폭기, AB-급 출력단을 위한 부유(floating) 전류원, 보상 MOS 커패시터로 구성되어 있다. 그림 6, 7에서 폴디드 캐스코드 전류 미러형 차동입력단은 2개의 입력(M1, M2)사이의 차이를 증폭시키고 다음 단(M3, M4)에 바이어스 전류를 공급한다. 이 차동쌍은 동일한 바이어스 전류를 갖도록 설계하였다. 따라서 M1에 대한 M3의 W/L 비율은 M2에 대한 M4의 W/L 비율과 같다. 폴디드 캐스코드 전류거울은 차동단의 능동부하로 사용되어 큰 이득을 얻을 수 있으며 다음 단의 바이어스 전류를 공급할 수 있다. M8과 M9은 부유 전류바이어스를 구성하며 M10과 M11에 AB-급 바이어스를 공급한다. MOS 커패시터 MC1과 MC2는 저가로 주파수 보상을 할 수 있어 사용했으며 크기는 100um² 정도이다. 본 논문에서는 주파수보상을 위해 총 150 nF의 커패시턴스를 사용하였다.

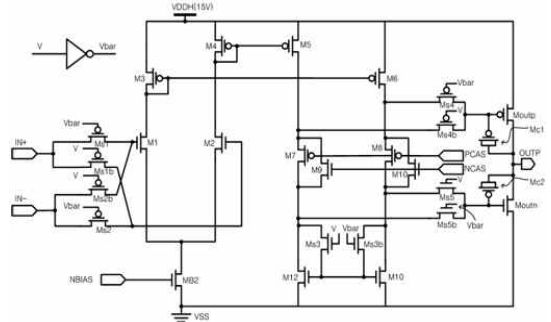


Fig. 6. Positive gamma gray-scale driving buffer amplifier(Positive-AMP)

그림 6. (+)감마 그레이스케일 구동 완충증폭기 (Positive-AMP)

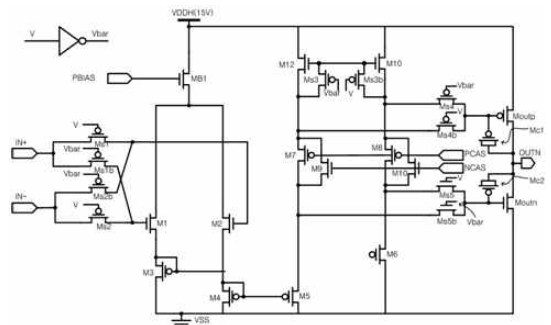


Fig. 7. Negative gamma gray-scale driving buffer amplifier(Negative-AMP)

그림 7. (-)감마 그레이스케일 구동 완충증폭기 (Negative-AMP)

그림 6, 그림 7의 AB-급 출력단은 VDD와 VSS사이의 임의의 점에 연결된 1kΩ의 부하를 구동할 수 있다. 가벼운 저항성 부하를 가진 경우 출력전압은 전원공급 레일(rail)로부터 200mV 이내에서 스윙이 가능하다. 1kΩ의 저항성부하를 가진 경우 높은 개방루프 이득을 유지하기 위하여 출력은 공급 레일의 200mV이내의 스윙으로 국한된다.

그림 8은 그림 6과 그림 7을 하나로 묶어 새롭게 제안한 레일-투-레일간 버퍼 증폭기이다. 그림 8에서 볼 수 있는 바와 NMOS 입력 전류거울 차동쌍(M1-M13), NMOS 입력 전류거울 차동쌍(M21-M33), 공통 푸쉬풀 출력단(M14-M15)를 가지고 있기 때문에 넓은 범위의 입력, 출력 구동범위를 얻을 수 있다. NMOS 입력쌍은 (+) 레일에 거의 근접한 입력 전압 값(보통 공급전압 (+VDD ~ VDD-(VGS,M2+VDSAT,M1)의 범위에 해당)에서 활성상태이고, PMOS 입력쌍은

$V_{DD} - (V_{SG, M23} - V_{DSAT, M21}) \sim (-)$ 공급전압 V_{SS} 범위에서 활성상태가 된다.

동작원리는 다음과 같다. 그림 8에서 입력전압 $V(\text{INPUT})$ 가 비교기와 입력쌍에 동시에 가해진다. 비교기는 입력전압이 기준전압 $V(\text{GREF})$ 보다 높은지 낮은지를 판단한다. 만약 입력전압이 기준전압보다 높다면 비교기 출력 $V(\text{sel})$ 은 HIGH(V_{DD})가 되고 NMOS 입력 전류거울 차동쌍(M1-M13)의 출력 (V_{a1}, V_{b1})은 MUX스위치(M16-M19)를 통해 출력구동 트랜지스터(M14, M15)의 게이트에 전달된다. 만약 입력전압이 기준전압보다 낮다면 비교기 출력 $V(\text{sel})$ 은 LOW가 되고 PMOS 입력 전류거울 차동쌍 (M21-M33)의 출력(V_{a2}, V_{b2})은 MUX스위치(M16-M19)를 통해 출력구동 트랜지스터(M14, M15)의 게이트에 전달된다. 결과적으로 $V_{DD} \sim V_{SS}$ 범위의 넓은 입력과 ($V_{DD} - V_{DS}, M14$)~($V_{SS} + V_{DS}, M15$)범위의 넓은 출력을 얻을 수 있다.

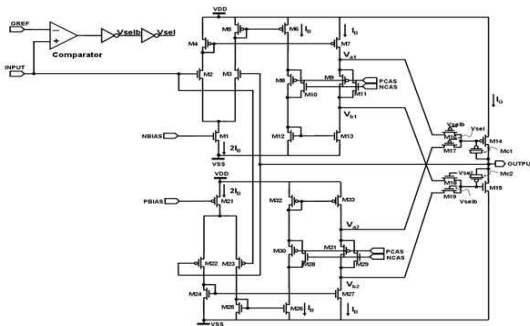


Fig. 8. The complete circuit of proposed 레일-투-레일 buffer amplifier

그림 8. 제안하고자 하는 레일-투-레일 완충증폭기

II-3. 입력레벨 검출기 회로 설계

레벨검출기 회로는 그림 8에서 입력쌍 선택신호 (V_{sel}, V_{selb})를 발생시키는데 사용한다. TFT LCD 드라이버 IC 에서 많은 출력변환과 많은 조절 논리 트랜지스터의 변환에 의해 파워에는 노이즈가 많이 섞인다.

$$V(\text{GREF}) = 3V_{GS53} = 3 \times \left(\sqrt{\frac{2I_{BIAS}}{\mu_n C_{OX} (W/L)_{53}}} + V_{THN, M53} \right) \quad (4)$$

where $V_{GS53} = V_{GS54} = V_{GS58}$, $V(\text{gref})$ 의 절대값은 $1/2V_{DD}$ 근처가 되게끔 설계한다.

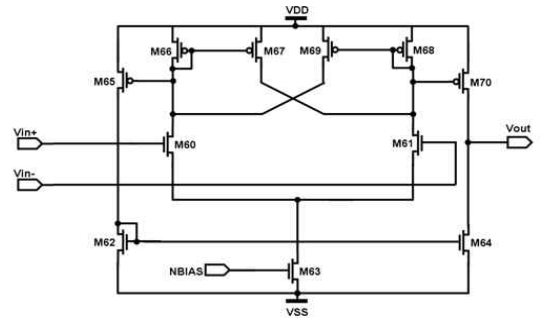


Fig. 9. Adopted level detector circuit using internal positive feedback in the input stage of a high-gain, open-loop comparator [9]

그림 9. 본 논문에서 사용한 레벨 검출 회로. 고이득, 개방루프 비교기 입력단에 정귀환을 사용함[9]

III. 칩 제작 및 측정 결과

제안한 회로를 0.18um 1-poly 3-metal 18V 고전압 CMOS 공정으로 구현하였다. 트랜지스터의 매칭과 절연에 특별히 주의하여 레이아웃하였고, 제안한 2개의 NMOS/PMOS 완충증폭기를 같은 드라이버 IC에 집적화시켰다. 그림 10에 제작된 완충증폭기의 각각의 부분을 직사각형으로 표시한 다이(die)사진을 나타내었고 제작된 칩의 측정면적은 0.056mm²이었다. 계단응답을 측정하기 위해 제작된 완충증폭기를 18V 단일공급전압에 연결하고 10kΩ의 저항과 250pF의 커패시터를 직렬로 부하 연결하였다. 그림 11의 (a), (b)는 3V와 17V의 큰 동적범위의 33KHz의 구형파입력을 가했을 때 측정된 계단응답의 결과를 보여주고 있다. 그림 12 (a), (b)는 슬루 특성을 보여주고 있는데 그림 12 (a)는 측정된 상승 파형이고 그림 12 (b)는 측정된 하강 파형을 보여주고 있다.

측정결과 총 정적전류소모는 0.5mA이고 입력과 출력사이의 정상상태 전압 오차는 전 동작영역에서 5mA미만의 부하전류가 흐르고 있을 때 +/- 100mV 미만이였다. 상승 슬루비율은 16.4V/us, 하강 상승 슬루비율은 16V/us 이였다. 증폭기의 측정된 평균 옴셋 전압은 +/-2.5mV이였다. 측정된 성능 값을 정리하여 analog devices사 제품인 ADD8710 칩과 특성을 비교하여 표 2에 나타내었다. 표 2에서 볼 수 있듯이 본 논문에서 제안한 완충증폭기가 ADD8710보다 출력전압 범위가 크며 옴셋특성도 뛰어났다. 또한 소비전류도 작았다.

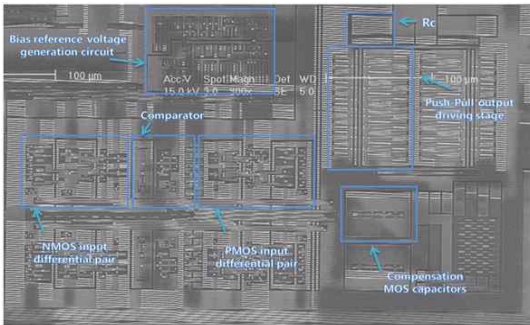
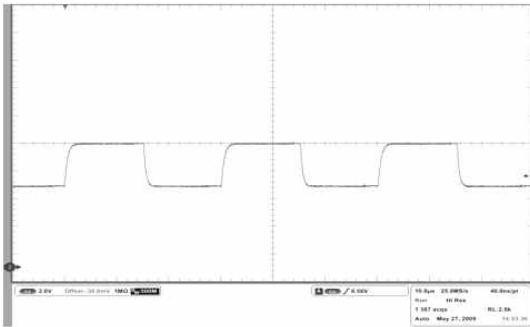
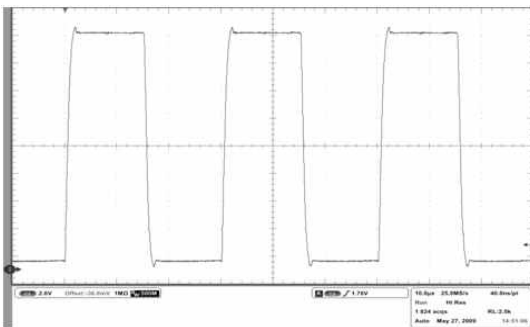


Fig. 10. Microphotograph of the implemented buffer amplifiers

그림 10. 구현된 완충증폭기의 현미경 사진



(a) Step response with input of large dynamic range (3V) of 33kHz square wave
 (a) 큰 동적입력범위(3V)를 갖는 구형파 입력 (33kHz)이 가해졌을 때의 계단응답



(b) Step response with input of large dynamic range (17V) of 33kHz square wave
 (b) 큰 동적입력범위(17V)를 갖는 구형파 입력 (33kHz)이 가해졌을 때의 계단응답

Fig. 11. Measured step response of proposed amplifier

그림 11. 제안된 완충증폭기의 계단응답 측정결과



Fig. 12. The evaluation results of output slewing characteristics at 10kΩ/250pF load

그림 12. 10kΩ/250pF의 부하를 가질 때의 출력 슬루 특성 평가결과

IV. 결론

대형 TFT LCD 패널의 감마보정전압을 구동하기 위한 레일-투-레일 고전압 CMOS 완충 증폭기를 제안하였고 제작하였으며 측정하였다. 이 완충증폭기는 18V 단일 전압하에서 동작하였을 때 0.5mA의 저소비전류특성을 나타내었다. 이 회로는 16V가 넘는 높은 slew rate, 0.5mA의 정적 전류특성을 나타내며 1kΩ의 저항성/용량성 부하구동 능력을 가지고 있다. 또한 (VDD-0.1)의 넓은 출력 공급범위를 지니며, 5mA의 출력 정전류를 내보낼 경우 50mV미만의 옴셋전압 특성을 가진다. 또한, 용량성 부하 구동시 입력기준 옴셋전압이 2.5mV 미만인 좋은 특성을 나타낸다. 측정 결과 제안된 버퍼 증폭기는 완충증폭기를 필요로 하는 여러 응용분야에 부속회로로 사용하기에 적합함을 보여주고 있다.

참고문헌

[1] Johan H. Huijsing and Daniel Linebarger, "low-Voltage Operational Amplifier with rail-to-rail Input and Output Ranges," IEEE Journal of Solid-State Circuits, Vol. SC-20, No. 6, December 1985.

Table 2. The measured specifications of the rail-to-rail operational amplifier

표 2. 레일-투-레일간 연산증폭기의 측정 제원

Parameter	Symbol	Conditions	ADD8710	This work	Unit
Process	-	-	Complementary bipolar CMOS	0.18um 18V 1-poly 3-metal CMOS	-
Supply Voltage	V_{DD}	-	18	18	V
OUTPUTS					
Output Voltage Range	V_{OUT}	-	Upper($1.25-V_{DD}$), Lower($0-V_{DD}-1.25$)	$0.1-V_{DD}-0.1$	V
INPUTS					
Offset Voltage	V_{OS}	No load	Max. 12	Max. 2.5	mV
Output Error Voltage	-	5mA	50	50	mV
Input Voltage Range	V_{IH}	-	Upper($1.25-V_{DD}$), Lower($V_{DD}-1.25$)	$0.1-V_{DD}-0.1$	V
Continuous Output Current	I_{OUT}	-	10	10	mA
Current Consumption	I_{DD}	No load	0.7	0.5	mA
Slew rate	-	10kohm/250pF	-	Rise (16.4), Fall (-16)	V/us

[2] Ron Hogervorst, John P.Tero, Ruud G. H. Eschauzier, and Johan H. Huijsing, "A Compact Power-efficient 3V CMOS rail-to-rail Input/Output Operational Amplifier for VLSI Cell Libraries," IEEE Journal of Solid-State Circuits, Vol. 29, No. 12, December 1994.

[3] Chi-Hung Lin; Ismail, M., "A low-voltage CMOS rail-to-rail class-AB input/output opamp with slew-rate and settling enhancement", Circuits and Systems, 1998. ISCASapoc; 98.Proceedings of the 1998 IEEE International Symposium Volume1, Issue, 31 May-3 Jun 1998 Page(s):448-450vol.1.

[4] Ivanov, V.; Shilong Zhang, "250 MHz CMOS rail-to-rail IO Op Amp: Structural design approach", Solid-State Circuits Conference, 2002. ESSCIRC 2002. Proceedings of the 28th European Volume, Issue, 24-26 Sept. 2002 Page: 183 - 186.

[5] Ron Hogervorst and Johan H. Huijsing, "Design of Low-voltage Low-power Operational Amplifier Cells," Kluwer Academic Publishers, 1996

[6] Kih, J., et al.: 'Class-AB large-swing CMOS buffer amplifier with controlled bias current', IEEEJ.Solid-StateCircuits, 1993, 28, (12), pp.1350 - 1353

[7] Sather, T., et al.: 'High speed, high linearity CMOS buffer amplifier', IEEE J. Solid-State Circuits, 1996, 31, (2), pp.255 - 258.

[8] You, F., Embabi, S.H.K., and Sanchez-Sinencio, E.: 'Low-voltage class-AB output amplifiers with quiescent current control', IEEE Journal of Solid-State Circuits, 1998, 33, (6), pp. 915 - 920

[9] Philip E. Allen, Douglas R. Holberg, "CMOS Analog Circuit Design," OXFORD UNIVERSITY PRESS, 2002.

저 자 소 개

손 상 희 (정회원)



1983년 2월 한양대학교 전자공학과 학사 졸업
 1985년 2월 한양대학교 전자공학과 석사 졸업
 1988년 8월 한양대학교 전자공학과 박사 졸업
 1988년 9월~1991년 2월 순천향대학교 전산학과 전임강사

1991년 3월~현재 : 청주대학교 반도체 설계공학과 교수

<주관심분야> CMOS Analog IC 설계 및 센서 신호 처리 회로 설계