

# 새로운 구조의 pMOS 삽입형 TIGBT의 전기적 특성 분석

## Analysis of the electrical characteristics of the novel TIGBT with additional pMOS

이현덕\*, 원종일\*, 양일석\*\* 구용서\*\*★

Hyun-Duck Lee\*\*, Jong-Il Won\*\*, Yil-Suk Yang\*\*, Yong-Seo Koo\*\*★

### Abstract

In this paper, we proposed the novel TIGBT with an additional p-type MOS structure to achieve the improved trade-off between turn-off and on-state voltage drop( $V_{ce(sat)}$ ). These low on-resistance and the fast switching characteristics of the proposed TIGBT are caused by an enhanced electron current injection efficiency which is caused by additional p-type MOS structure. In the simulation result, the proposed TIGBT has the lower on state voltage of 1.67V and the shorter turn-off time of 3.1us than those of the conventional TIGBT(2.25V, 3.4us).

### 요 약

본 논문에서는 기존 TIGBT의 구조적 한계로 인한 순방향 전압강하와 스위칭 손실간의 트레이드-오프 관계를 극복하고, 좀 더 우수한 전기적 특성을 갖는 새로운 구조의 pMOS 삽입형 트랜치 TIGBT를 제안하였다. 제안된 구조는 TIGBT소자의 셀(Cell)과 셀 사이에 존재하는 폴리(poly) 게이트 영역에 pMOS를 형성시킨 구조로 n-드리프트 층으로의 전자, 정공의 주입효율을 증가시켜 기존 구조보다 더 낮은 온-저항과 빠른 스위칭 손실을 얻도록 설계된 구조이다. 시뮬레이션 결과 제안된 구조의 단일 소자인 경우 순방향 전압강하와 스위칭 특성은 각각 1.67V와 3.1us로, 기존 구조가 갖는 2.25V와 3.4us비해 각각 약 25%의 감소된 순방향 전압강하와 약 9% 감소된 스위칭 특성을 보였다.

*Key words : TIGBT, Trench Gate, Turn-off Power Device, Power Electronics,*

## 1. 서론

현재 급격한 사업발전과 함께 에너지 효율성 문제가 대두되면서 인버터, 고압 스위치, 모터 구동 등과 같은 전력용 스위칭 소자로 널리 활용되고 있는 전력 소자는 고속, 고 내압, 저 손실을 목표로 많은 발전을 이루어 왔다[1][2]. 전력반도체 소자는 1957년에 발표된 사이리스터부터, BJT(Bipolar Junction Transistor)와 파워MOSFET(Metal Oxide Semiconductor Field Effect Transistor)을 거쳐 IGBT (Insulated Gate Bipolar Transistor)에 이르기까지 현저한 발전을 이루어 왔다[1][2].

전력용 반도체 소자 중 특히 IGBT는 MOSFET과

\* 檀國大學校 電氣電子工學部  
(Electronics and Electrical Engineering, Dankook University)

\*\* 西京大學校 電子工學科  
(Department of Electronics Engineering, Seokyeong University)

\*\*\* 韓國電子通信硏究員  
(Electronics and Telecommunications Research Institute)

\* ★ 교신저자 (Corresponding author)

※ 감사의 글 (Acknowledgment)

본 연구는 지식경제부의 “System IC 2010”과 한국전자통신 연구원(ETRI) 지원으로 이루어졌습니다.

接受日:2010年 3月 2日, 修正完了日: 2010年 3月 27日

BJT의 장점을 취합한 전력용 스위칭 소자로서, 1980년 B.J Baliga에 의하여 소개된 이후로 BJT의 복잡한 전류 제어회로와 느린 스위칭 스피드의 문제, 그리고 MOSFET의 낮은 항복특성과 빈약한 전류제어능력을 극복할 수 있는 대체 소자로서 주목 받아왔다. IGBT는 기본적으로 BJT처럼 동작하여 낮은 순방향 전압강하 특성을 보이며, 저 농도의 n형 드리프트 층을 가지고 있어 높은 항복 전압을 견딜 수 있다. 이러한 IGBT는 낮은 순방향 전압강하 특성과 Gate 구동에 의한 고속 스위칭 동작의 장점 때문에 사용전압 및 전류의 신뢰성이 커지고, 응용 범위 또한 다양해지면서 전력용 BJT와 전력용 MOSFET이 사용되던 전력 전자산업 영역을 잠식하고 있다[1].[3]

하지만 이러한 발전에도 불구하고 수평형 IGBT소자는 구조적 한계로 인해 발생하는 JFET(Junction Field Effect Transistor)영역으로 인해 드리프트(drift) 영역 내 온(ON)-저항 증가와 스위칭 특성간의 트레이드-오프(Trade-off) 관계가 존재한다[4][5]. 한편 트렌치 게이트 IGBT는 수평게이트 IGBT와 달리 JFET영역이 존재하지 않아 더 낮은 순방향 전압강하를 얻을 수 있으며, 특히 단위 셀의 크기를 수평게이트 IGBT보다 반 이하로 줄일 수 있어 모듈의 소형화에 유리하지만, 게이트 Edge에서의 전계집중에 의해 항복특성이 다소 감소 할 수 있다[6][7]

IGBT의 턴-오프 시간을 줄이기 위한 방법으로 방사선 조사에 의한 정공의 수명시간을 줄이는 기술과 n-Buffer층이 사용된 PT-IGBT(Punch Through IGBT)등이 사용되었고, 최근에는 구조적 개선을 통한 순방향 전도 손실과 턴-오프 손실을 줄이기 위한 방법으로 Field Stop[8], Super Junction[9], 구조 등이 제안되고 있으며, 트레이드-오프 관계를 개선시키기 위한 방법으로는 CSTBT[10], 구조 등이 제안되고 있다. 하지만 이러한 구조적 변경은 기존 트렌치 IGBT보다 설계가 복잡하고 트레이드-오프 관계에 있는 순방향 전압강하 특성을 증가시키며, 내압의 손실을 발생시키는 용인으로 작용할 수 있다[11].

따라서, 본 연구에서는 일반적인 수직형(Trench) IGBT의 시뮬레이션을 수행하여 전기적 분석 및 고찰한 후, 기존의 TIGBT가 갖는 구조적 한계를 극복하고 좀 더 우수한 전기적 특성을 갖는 새로운 구조의 수직형 TIGBT를 제안 하였다. 또한 제안된 구조의 전기적 특성을 검증하기 위해 공정시뮬레이터 TSUPRE-4와 디바이스 분석 시뮬레이터 MEDICI를 이용하여 소자를 분석하였다.

## II. 본론

### 2.1 IGBT의 일반 이론

그림 1은 일반적인 IGBT 소자의 단면도를 보여주고 있으며, IGBT의 구조는 MOS-GATE 사이리스터의 구조와 동일한 것을 알 수 있다. 하지만 내부 기생 사이리스터(PNP)의 구조가 턴-온 되지 않도록 동작된다는 점에서 사이리스터와 다른 소자이다. 여기에서 이미터(Emitter)에 대하여 게이트(Gate) 아래의 P-베이스(base)층을 충분히 반전시킬 만큼의 전압이 게이트에 인가되면 N-드리프트(drift)층과 N+ 이미터영역을 연결하는 채널(Channel)이 형성되며, 이때를 IGBT의 순방향 전도 상태라고 한다. 이 상태에서 채널을 통해 N-드리프트 층으로 유입되는 전자전류에 의해서 N-드리프트 층의 전위가 낮아지게 되고 P+컬렉터와 N-드리프트 사이의 접합부(J1)는 순방향으로 바이어스가 된다. 순방향으로 바이어스 된 제 1 접합부(J1)을 통해 P+ 컬렉터(Collector)로부터 N-드리프트 층으로 정공이 유입되고 P-베이스 층을 통과하여 이미터 전극으로 빠져나가게 된다.

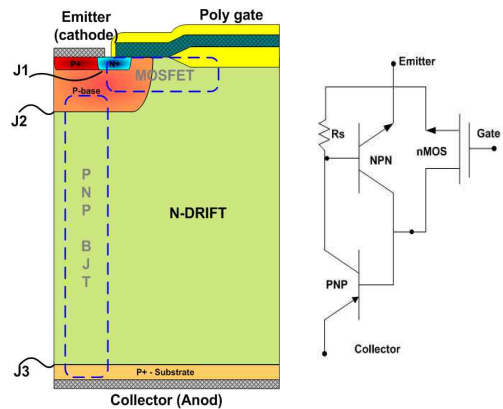


Fig 1 The cross-section of conventional IGBT structure  
그림 1 일반적인 IGBT의 단면도

한편 게이트와 이미터가 단락되어있는 상태에서 이미터에 대한 음의 전압이 컬렉터에 인가될 때 제 1 접합부(J1)이 역 바이어스 되기 때문에 IGBT는 턴-오프(Turn-off) 상태가 되며, 이것은 IGBT가 역방향 저지 능력을 갖는다는 것을 의미한다. 또한, 게이트와 이미터가 단락되어 있고 컬렉터에 양의 전압이 인가될 때, 제 2 접합부(J2)는 역 바이어스 되고, IGBT는 순방향 저지 모드로 작동하게 된다. 일반적인 NPT 타입의 IGBT에서 순방향과 역방향 저지 능력을 같은 N-드리프트 층의 두께와 저항률에 의해서 결정되기 때문에 대략적으로 같게 나타난다.

은 상태에서 차단상태로 IGBT를 전환하기 위해서

는 게이트를 이미터에 단락시키면 된다. 게이트 전압이 없으면 게이트 아래의 P+베이스 표면에서의 반전층은 더 이상 유지될 수 없으며, 이 상태에서 N-드리프트 영역으로 전자의 공급이 차단되고 IGBT는 온 상태에서 차단상태로의 턴-오프(Turn-off)과정을 시작한다. 순방향 전도 동안, N-드리프트 영역에 주입된 고 농도의 소수 캐리어가 존재하기 때문에 턴-오프 과정은 갑자기 일어나지 않게 된다. 먼저 채널을 통한 전자 전류가 흐르지 않기 때문에 애노드 전류의 갑작스런 감소가 관찰되고 이러한 현상을 꼬리 전류(Current tail) 이라 하며, 이 때 컬렉터 전류는 소수 캐리어 수명에 의해서 결정되는 시정수(time constant)에 의해서 점차적으로 감소한다.

이러한 IGBT 구조의 특징은 높은 순방향 전도 전류밀도, MOS 게이트(GATE) 구조에 기인하는 낮은 구동 전력, MOS 게이트로 제어되는 턴-오프기능, 넓은 안전동작영역(SOA : Safe Operating Area)을 가지는 게이트 제어 출력 특성, 그리고 높은 순방향과 역방향 저지 능력이다.

그림 1은 컬렉터와 이미터 사이에 내부 PNP 구조의 기생 사이리스터 구조를 포함한 IGBT의 동작회로를 보여주는 것으로, 만약 이 사이리스터가 동작하여 IGBT가 래치-업(Latch-up)을 일으키게 된다면, 더 이상 MOS 게이트에 의해 IGBT의 동작을 제어할 수 없게 된다. 이러한 래치-업 현상은 소자가 동작되는 동안 N+ 이미터로부터 P-베이스로 전자의 주입을 차단함으로써, 내부 사이리스터가 턴-온 되지 못하게 함으로 방지할 수 있다. 그림 1에서 저항 Rs는 P-base영역 내에서 이미터 단자까지 흐르는 정공 전류에 대한 저항이다. 만약 이 저항이 충분히 작다면, 사이리스터는 IGBT 구조의 윗부분에 위치하고 있는 기생 NPN 트랜지스터의 낮은 전류이득 때문에 턴-온이 되지 못한다[1][12]. 이러한 특성은 식 1과 2를 통해 확인 할 수 있다.

$$\alpha_{PNP} + \alpha_{NPN} = 1 \tag{1}$$

$$I_{AK} = \frac{I_{R01} + I_{R02}}{1 - (\alpha_{PNP} + \alpha_{NPN})} \tag{2}$$

## 2.2 IGBT의 동작 특성

### 2.2.1 역방향 저지능력

이미터에 대하여 컬렉터 단자에 음의 전압이 인가될 때, 제 1접합부(J1)가 역 바이어스 되기 때문에 그림 1에서 본 IGBT 구조는 큰 전압을 지탱할 수 있

다. 제 1접합부(J1)가 역 바이어스 되었을 때 접합부 주변의 공핍층은 대부분 상대적으로 낮게 도핑된 N-드리프트 층으로 확장한다. 역방향 저지가 되는 동안 항복 저압은 P+컬렉터, N-드리프트 영역과 P-베이스 영역 사이에서 형성된 Open-base transistor에 의해서 결정된다. 만약 N-드리프트 영역이 너무 낮게 도핑 되었다면, 이 구조는 Punch-through breakdown을 일으키기 쉽다. 그러므로 요구되는 역 방향 저지능력을 얻기 위해서, N-드리프트 영역의 고유저항과 두께를 최적으로 설계해야 한다. 일반적인 가이드라인에 따라 N-드리프트 영역의 두께는 최대 동작전압에서의 공핍층 너비와 소수 캐리어 확산 길이의 합과 같다. 따라서 N-드리프트 영역의 두께가 증가함에 따라 순방향 전압강하가 증가하기 때문에 N-드리프트 영역의 두께를 작게 유지하면서 항복전압을 최적화하는 것이 중요하다.

다음 식은 N-드리프트 영역의 두께를 계산하는 식이다.

$$d1 = \sqrt{\frac{2^2 V_m}{qN_D}} + L_p \tag{3}$$

### 2.2.2 순방향 저지 능력

순방향 저지 모드에서 IGBT를 동작시키기 위해서는 게이트가 이미터에 단락되어야 한다. 이것은 게이트 아래에 표면 반전층의 생성을 막아주며, 이미터에 대하여 양의 저압이 컬렉터에 인가 될 때 P-베이스와 N-드리프트 층 사이의 제 2접합부(J2)가 역 바이어스 되기 때문에 IGBT는 큰 전압을 지탱 할 수 있다. 공핍층은 제 2접합부(J2)로부터 양쪽으로 확장되며, 이 접합부(J2)의 항복전압은 제 1접합부(J1)의 영향에 의해서 제한된다.

### 2.2.3 기생 사이리스터 래치-업

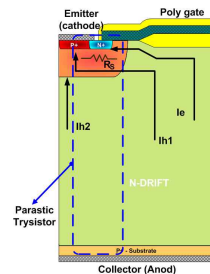


Fig 2 Latch-up of parasitic thyristor  
그림 2 기생사이리스터의 래치-업

IGBT의 최대 구동 저류는 소자내의 기생 사이리스터의 존재에 의해서 제한된다. 온 상태에서 IGBT가 동작하는 동안 전자들은 MOSFET 채널을 통해 공급되고, 제 1접합부(J1)로부터 주입된 정공들은 제 2접합부(J2)에 의해 수집된다. 그림 2는 IGBT 소자내의 기생 사이리스터에 의한 래치업을 보여준다.  $I_{h1}$ 은 소자의 오른쪽으로부터 제 2접합부(J2)로 수집되는 정공 전류를 나타내며, 이러한 정공전류는 shunting resistance  $R_s$ 를 지나면서 전압강하를 발생한다. IGBT의 일반적인 동작 전류 레벨에서 shunting resistance를 작게 만들면 이 저항에 의한 전압 강하가 순방향 다이오드 전압(<0.7V)보다 작게 만들 수 있다. 그러므로 이러한 조건하에서 NPN 트랜지스터의 전류이득은 매우 작고 사이리스터의 래치-업 현상을 방지할 수 있게 된다. 이러한 현상은 앞서 설명한 P-베이스 영역 내에서 이미터 단자까지 흐르는  $R_s$  저항을 작게 함으로 방지할 수 있으며, 이것은 기생 NPN 트랜지스터의 전류이득이 낮을수록 래치-업 감내 특성을 높일 수 있음을 설명한다. 이러한 특성은 식 1과 2를 통해 확인 할 수 있다.

그러나 온-상태 시 전류밀도가 증가 될 때, 제 3접합부(J3)의 순방향 바이어스는 NPN 트랜지스터의 전류 이득을 증가시킬 정도로 크게 될 수 있다. 만약 NPN과 PNP 트랜지스터의 전류이득 합이 1을 초과한다면 IGBT는 사이리스터 동작을 하게 되어 래치-업을 발생시킨다. 이 상태에서 상당한 컬렉터 전류가 MOSFET 채널을 우해해서 직접 이미터 단자로 흐를 수 있으며, 이것은 IGBT 전류가 더 이상 게이트 바이어스에 의한 전자전류를 통해서 제어되지 않는다는 것을 의미한다. 즉, 래치-업 현상은 IGBT의 전류 제어 능력에 제한을 주어 SOA를 결정짓는 가장 중요한 요소가 된다. 그러므로 이를 억제하기 위해 P-베이스 영역의 저항을 줄이는 P++확산, 이중 이온 주입공정(Dual ion-implantation), Deep P+ implantation, retrograde 확산 등의 방법이 제안되었으며, 또한 정공 주입을 억제하는 n+ 버퍼층에 게이트를 추가한 구조(CSTBT : Charge Stored Trench Gate Bipolar Transistor)가 제시되었지만 이런 구조들은 Threshold 전압을 조절하기 힘들고 공정이 복잡하다는 단점을 가지고 있다.

### 2.2.4 스위칭 특성

IGBT 소자의 중요한 특성 가운데 하나가 턴-오프 특성이다. MOSFET 채널을 통해서 흐르는 전자전류는 출력특성을 조절하기 때문에 컬렉터 전류의 흐름

은 게이트 구동 전압을 제거하는 것에 의해서 방해 받을 수 있다. 즉, 게이트 전압이 MOSFET의 문턱전압 아래로 떨어질 때 채널 반전층은 더 이상 존재 할 수 없으며, 이때 전자 전류( $I_e$ )는 더 이상 흐르지 않는다. 순간 게이트와 이미터 사이를 단락시켜 게이트 전압이 0으로 되면 컬렉터 전류는 전자전류가 끊기 때문에 급속히 떨어진다. 그러나 정공 전류는 갑자기 멈추지 않기 때문에 컬렉터 전류는 계속 흐르게 되며, 온 상태 동안 N-드립트 영역에 저장된 고농도의 소수 캐리어가 정공 전류의 흐름을 유지시킨다. 이러한 정공전류는 재결합에 의해 소수 캐리어(정공) 농도가 낮아질 때 천천히 감소되며, 이를 전류 꼬리(current tail)라 한다.

#### 2.2.4.1 턴-오프 특성

IGBT 소자에 대한 턴-오프 시간의 분석은 온 상태에서 전류의 흐름에 근거해서 실행 될 수 있으며, 일반적으로 온-상태 일 때 전류 값의 10%가 될 때까지의 시간으로 정의한다. 이러한 시간 간격을 결정하기 위해서 컬렉터 전류  $I_{CD}$ 에서 처음 급격히 감소하는 크기를 얻어야 하며, 컬렉터 전류가 급격하게 감소한 이유는 MOSFET 채널을 통해서 온 상태 동안 공급된 전자 전류가 더 이상 공급 되지 않기 때문이다. 즉, 그림 3에서 확인할 수 있듯 게이트 전압이 오프 되는 시점부터 급격하게 감소함을 확인 할 수 있다.

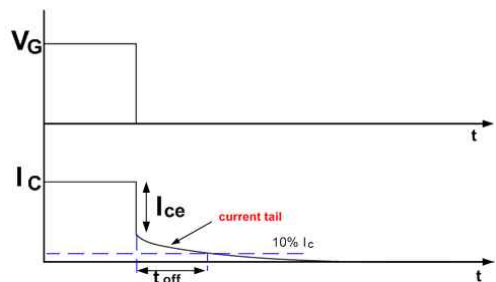


Fig 3 Turn-off waveform

그림 3 턴-오프 파형

식 3은 PNP 트랜지스터의 전류이득에 의해서 컬렉터 전류의 크기가 정해지는 것을 보이고 있다.A

$$I_{CD} = I_e = (1 - \alpha_{mp}) I_{CO} \quad (4)$$

컬렉터 전류가 급격히 감소한 후에 컬렉터 전류는 N-드리프트 영역에서 저장된 전하 때문에 정공 전류가 흐르므로 일정시간 유지 될 수 있다. 시간  $t_{off}$ 에서 정공 전류의 흐름은 턴-오프 되기 전에 온 상태 시 전도되는 동안의 값과 동일하며,  $I_1$ 의 크기는 식 5와 같다.

$$I_1 = I_{CO} - I_{CD} = I_h = \alpha_{mp} I_{CO} \quad (5)$$

이러한 후에 컬렉터 전류는 lifetime에 의해서 결정된 비에 따라 지수 적으로 감소한다. 결과적으로 전류의 흐름은 N-드리프트 영역에서 자유 전하의 밀도가 큰 동안 일어나기 때문에 전류 감소의 비를 특정지우기 위해서 고 레벨 캐리어수명(Carrier lifetime)을 이용하는 것이 적절하다.

$$I_C(t) = I_1 - e^{-t/\tau_{HL}} = \alpha_{mp} I_{CO} e^{-t/\tau_{HL}} \quad (6)$$

$t_{off} : \tau_{HL} \ln(10\alpha_{mp})$ ,  $\tau_{HL}$  : 고준위 소수캐리어의 수명,  
 $\alpha_{mp}$  : PNP 트랜지스터의 전류이득.

그러므로 턴-오프 시간  $t_{off}$ 는 컬렉터 전류가 온 상태 값의 10%까지 감소하는 동안 걸리는 시간으로 정의하기 때문에 턴 오프 시간의 표현은 식 6으로부터 유도 될 수 있다. 이 유도된 식으로부터 N-드리프트 영역 내에서 고 레벨 주입조건이 우세할 동안의 전류는 감소한다는 것과 lifetime이 감소하는 동안은 주입 레벨에 영향을 받지 않는다는 것을 가정할 수 있었다. 그림 4는 턴-오프 특성을 나타내고 있다[1][12].

### 2.3 새로운 구조 제안 및 분석

본 논문에서 제시한 pMOS 삽입형 TIGBT는 높은 저지전압을 필요로 함으로써 사용되는 낮은 n-드리프트 영역으로 인한 턴-오프(Turn-off) 동작시 스위칭 손실과 순방향 전압강하의 증가를 개선하기 위해 제안된 소자이다.

제안된 소자의 구조적 특성은 그림 4와 그림 5에서 확인해 볼 수 있듯이 소자의 총 너비(Width)를 고정된 상태에서 Floating-P 영역에 대한 변화를 준 것으로 기존 구조에 P+와 n-well에 의한 pMOS를 형성한 구조이다.

그림 4는 기존 TIGBT의 단면도를 보여준다. 기존 TIGBT의 농도와 크기는 종래의 IGBT의 방법과 동

일하게 진행되었으며 셀 과 셀 사이의 폭만을 종래방법과 다른 18um로 고정하였다[13].

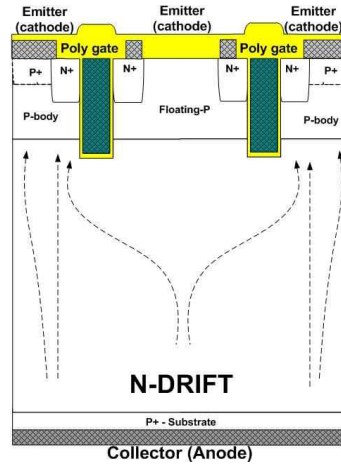


Fig 4 The dross-section of conventional TIGBT structure  
 그림 4 기존 수직형 IGBT 구조의 단면도

그림 5는 제안된 pMOS 삽입형 TIGBT의 단면도를 보여준다. 제안된 TIGBT의 구조는 셀과 셀 사이에 존재하는 폴리 게이트 영역에 P+와 n-well 층을 도입한 새로운 형태의 pMOS 삽입형 TIGBT로써 기존 TIGBT가 갖는 온, 오프 동작 상태에서의 전자(electron), 정공(hole)의 주입효율(current injection efficiency)을 높여 줌으로써 낮은 온-저항(on-resistance) 특성과 빠른 스위칭(switching) 스피드를 얻기 위해 도입된 구조이다.

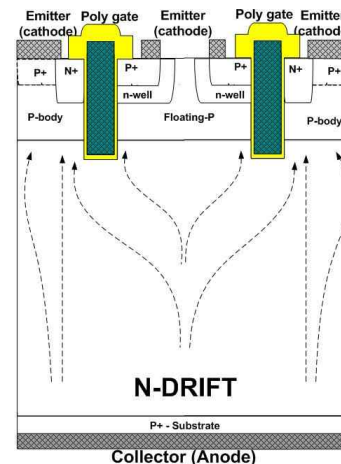


Fig. 5 The cross-section of the proposed TIGBT structure  
 그림 5 제안된 TIGBT 구조의 단면도

그림 6과 그림 7은 이러한 특성을 설명하기 위해 그림 4의 구조와 그림 5의 구조를 각각 등가회로로 적으로 표현한 것이다.

**2.3.1 기존 구조의 동작 방법 및 특성분석**

그림 6은 기존 TIGBT구조인 그림 4의 단면도를 등가회로로 표현한 것으로 그림 4의 두 개의 트랜치 게이트 구조중 절반인 영역을 표현한 것으로써 그림 6의 등가회로는 IGBT구조와 TIGBT구조가 모두 동일하게 적용된다. 그림 4와 6을 통해 표현된 스위칭 동작을 하는 TIGBT의 온, 오프 동작은 다음과 같다.

턴-온 동작, 에미터(emitter)를 접지시킨 상태에서 M1(nMOS)에 문턱전압(threshold voltage) 이상의 전압이 게이트에 인가될 때 채널(channel)영역에 형성되는 반전층을 통하여 전자전류가 주입되며 PNP(Q1) 트랜지스터의 베이스 바이어스로 작용한다. 이러한 바이어스 전류(I1)은 Q1(PNP)의 컬렉터로부터 소자 하단의 P+와 N-드리프트 접합의 내부 전위(built-in potential) 이상의 애노드(anode)전압이 인가될 때 컬렉터 영역으로부터 정공전류를 주입되게 하며 턴-온 동작을 하게 된다.

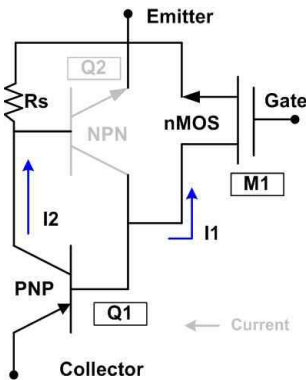


Fig 6 The equivalent circuit of conventional TIGBT  
그림 6 기존 TIGBT 구조의 등가회로

턴-오프 동작, 게이트와 에미터를 접지로 연결했을 때의 동작으로 M1(nMOS) 으로부터 주입되는 PNP 트랜지스터(Q1)의 베이스 바이어스 전류가 없다는 것이다. 따라서 베이스 바이어스가 없는 PNP 트랜지스터(Q1)의 정공전류 또한 더 이상 n-드리프트 영역으로 주입되지 못한다. 이러한 상태를 오프 동작이라 한다. 하지만 이러한 오프 동작은 TIGBT 구조상 기생적으로 존재하는 NPN 트랜지스터(Q2)의 영향을 받으며, 이것은 PNP 트랜지스터(Q1)로부터 주입된

은 전류 레벨에 의해 NPN 트랜지스터(Q2)가 동작함으로 래치-업(Latch-up) 현상이 발생한다. 래치-업이 발생한 TIGBT는 게이트(Gate)에 의한 스위칭 제어가 불가능하게 되는 것으로 소자의 턴-오프가 되지 않는 것을 의미한다. 저항 ( $R_s$ )은 래치-업 현상을 줄이기 위해 가장 중요한 역할을 하며 저항( $R_s$ )가 작을수록 래치-업 특성이 증가하여 소자의 안전 동작 영역(SOA:Safe Operating Area)이 넓어지는 역할을 한다.

**2.3.2 제안된 구조의 동작방법 및 특성분석**

그림 7은 제안된 TIGBT 구조인 그림 5의 구조를 등가회로로 표현한 것으로써 동작방법은 기존 TIGBT (그림 6)과 동일하나 M2(pMOS)와 Q3(PNP)의 삽입함으로 인한 전자(electron), 정공(hole)의 캐리어(carrier)양을 증가시킨 구조이다. 그림 7은 그림 5의 두 개의 트랜치 게이트 구조중 절반인 영역을 표현한 것이다.

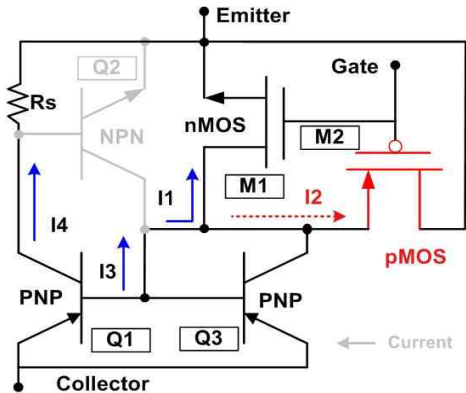


Fig 7 The equivalent circuit of the proposed TIGBT  
그림 7 제안된 TIGBT의 등가회로

pMOS 삽입으로 인한 온, 오프 동작 상태에서의 특성 중 온-상태에서의 순방향전압강하 특성은 기존 TIGBT(그림 6)의 M1 으로부터 드리프트 영역(Q1, Q3 베이스)으로 주입되는 전류의 양으로 PNP 바이폴라 트랜지스터인 Q1, Q3의 베이스에 바이어스 전압을 잡아 줌으로써 동작시킨다. 따라서 기존 Q1 으로부터 주입되는 정공전류는 Q3의 동작으로 인해 증가하게 되며 결과적으로 컬렉터 영역으로부터 주입되는 정공전류(I3)의 양을 증가시켜 드리프트 영역의 온-저항을 낮춰 주는 작용을 하며 각각 M1, M2의 정공전류(I1, I2)로 주입된다. 또한 컬렉터 영역으로부터 주입되는 정공전류는 BJT(Bipolar Junction Transistor)인 Q1, Q3로 주입되는 정공전류(I3)가 증가된 것으로써 낮은 순방향 전압강하 특성을 유도한다. 따라서 온-상태에서의

pMOS의 삽입은 정공전류의 주입량 증가로 인한 전자전류의 주입량을 증가시킴으로 드리프트 영역의 온-저항을 낮춰줌으로써 낮은 순방향 전압강하 특성을 유도한다. 이때 온-상태에서의 삽입된 pMOS는 게이트 영역의 양의 전압이 걸린 상태임으로 오프 상태가 된다.

pMOS 삽입으로 인한 온, 오프 동작 상태에서의 특성 중 오프-상태에서의 턴-오프 특성은 게이트에 0V나 또는 그 이하의 전압이 인가될 때 nMOS인 M1은 오프 상태가 되며 pMOS인 M2는 온상태가 됨으로써 pMOS의 채널이 도통된다. 도통된 pMOS는 온-동작 상태에서의 n-드리프트 영역으로 주입된 정공전류의 이동을 빠르게 함으로써 턴-오프 스피드를 증가시킴으로 턴-오프 손실을 감소시키는 역할을 한다.

2.4 제안된 구조의 시뮬레이션 결과 및 고찰

2.4.1 항복특성

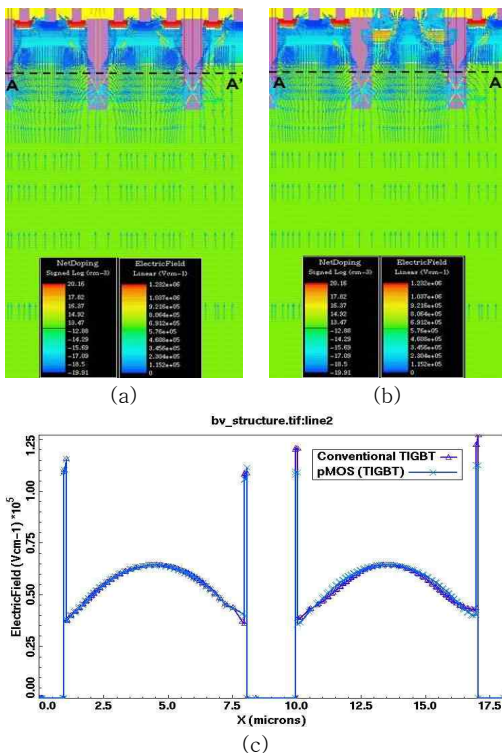


Fig 8 The breakdown characteristic of conventional and the proposed structures

그림 8 기존 구조와 제안된 구조의 항복 특성

- (a) 기존 TIGBT의 전계 집중 단면도
- (b) 제안된 TIGBT의 전계 집중 단면도
- (c) 소자 상위 3.5um 지점(A-A')에서의 전계집중

그림 8은 기존 TIGBT와 제안된 구조인 pMOS 삽입형 TIGBT에 대한 항복특성으로 pMOS 삽입형 TIGBT가 항복특성에 미치는 영향을 알아보기 사위 3.5um지점(A-A')에서의 전계 분포를 보여주고 있다. 그림 8(a)와 (b)는 각각 기존 구조와 제안된 구조들의 전계집중 영역을 표현하기위한 것이며 확인 결과 MOS의 채널영역과 p-base 영역에서 전계가 발생되는 것을 확인 할 수 있었다. 그림 8의 (c)는 집중되는 전계의 양과 분포를 확인하기 위한 것으로 기존 구조와 제안된 구조의 전계 분포가 비슷한 것을 확인할 수 있었다. 그림 9 기존 구조와 제안된 구조의 항복특성의 시뮬레이션 결과를 표현한 그림이다.

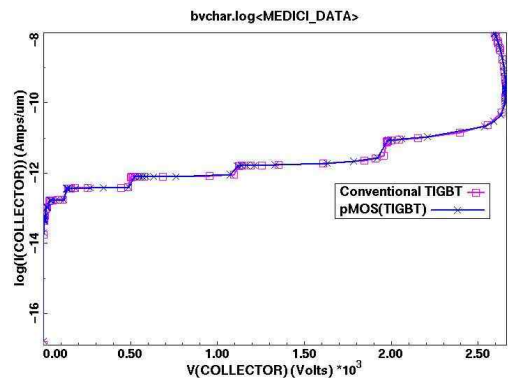


Fig 9 The simulation result of breakdown voltage  
그림 9 항복 전압의 시뮬레이션 결과

그림 9는 앞서 설명했듯이 기존 구조와 제안된 pMOS 삽입형 TIGBT의 시뮬레이션 결과로 제안된 소자와 기존 소자의 항복전압이 2960V로 동일함을 보여주고 있다. 이러한 결과는 제안된 TIGBT가 항복특성에 미치는 영향이 적음을 의미한다.

2.4.2 순방향 전도 특성

순방향 전도 특성은 게이트 전압이 문턱전압 이상으로 인가된 IGBT(TIGBT)에 총 전류밀도가 100A/cm<sup>2</sup>인 소자의 전압강하 또는 Vce,sat 이라고 하며 이것은 전류 경로를 따라 분석할 때 채널 영역의 전압강하, 축적 영역의 전압강하, 드리프트 영역의 전압강하, 그리고 소자 하단부의 p+/n 전함의 전압강하 등 네 가지 성분들의 합으로 나타 낼 수 있다.

제안된 pMOS 삽입형 TIGBT가 갖는 낮은 순방 전압강하 특성은 기존(그림 4)에 pMOS를 삽입함으로써 동작상태시 전자, 정공 주입효율을 높여줌으로써 얻을 수 있다.

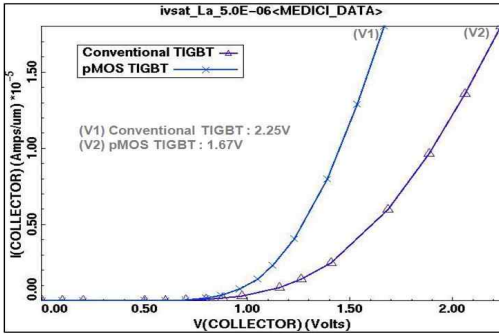


Fig 10 The simulation result of on-state characteristics  
그림 10 순방향 전도 특성의 시뮬레이션 결과

그림 10은 기존 구조와 제안된 소자의 순방향 전도 특성을 보여주는 것으로 시뮬레이션 결과 그림 5의 제안된 구조의 순방향 전압강하는 1.67V로 기존 2.25V보다 약 25%(0.6V) 감소하는 것을 확인 할 수 있었다. 따라서 시뮬레이션 결과를 통해 제안된 pMOS 삽입형 TIGBT의 순방향 전압강하 특성이 기존 구조보다 낮은 것을 확인 할 수 있었으며 이를 확인하기 위해 다음과 같은 분석을 하였다.

시뮬레이션 분석에 앞서 IGBT와 TIGBT의 전기적 특성은 동일함으로 본 논문에서 제안된 소자의 분석 역시 IGBT 소자 분석과 동일한 방법으로 분석하였다. 순방향 전압강하는 구조 내부에 존재하는 MOSFET의 특성과 소자 하단부에 존재하는 P+/n의 접합에 의한 특성들의 합으로 나타낼 수 있다. 이것은 식으로 표현할 때  $V_{ce,sat} = V_{ce} + 0.7V$  을 의미하며 0.7V은 IGBT 소자 하단에 존재하는 p+/n의 접합에 의한 전압강하를 의미한다. 또한  $V_{ce}$ 은 컬렉터와 에미터 사이의 전압강하로 순방향 동작상태에서의 MOSFET 특성을 의미하며  $V_{Ch}$ (채널영역 전압강하),  $V_{JFET}$ (JFET영역 전압강하),  $V_{ACC}$ (축적영역 전압강하)의 성분들의 합인 (식-7)로 표현 할 수 있다[14].

$$V_{MOSFET} = V_{Ch} + V_{JFET} + V_{ACC} \quad (7)$$

컬렉터와 에미터 사이의 전압강하를 표현하는 (식-7)의  $V_{Ch}$ ,  $V_{JFET}$ ,  $V_{ACC}$  들의 식은 각각 (식-8, 9, 10)으로 표현 하였다.

$$V_{Ch} = \frac{(1 - \alpha_{PNP}) J L_{Ch} W_{cell}}{\mu_{ns} C_{ox} (V_{GE} - V_{Th})} \quad (8)$$

$$V_{JFET} = \frac{\rho_{JFET} (1 - \alpha_{PNP}) J (x_p + W_0) W_{cell}}{L_G - 2x_p - 2W_0} \quad (9)$$

$$V_{ACC} = \frac{K(1 - \alpha_{PNP}) J (L_G - 2x_p - 2W_0) W_{cell}}{2q\mu_{nA} C_{ox} V_{GE}} \quad (10)$$

이러한 식을 통해 확인해 볼 수 있듯이 소자 내부의 이동도( $\mu_n$ )의 변화는 채널( $V_{Ch}$ )영역과 축적층( $V_{ACC}$ )영역에서의 전압을 감소시킬 수 있다. 따라서 이동도의 증가로 인한 채널 영역( $V_{Ch}$ )에서의 전압 감소와 축적층 영역( $V_{ACC}$ )에서의 전압 감소는 결론적으로 순방향 전압강하( $V_{ce,sat}$ )의 감소를 의미한다. 이러한 결과는 이동도( $\mu_n$ )의 증가된 값을 식 8과 10에 대입함으로써 식 7에 대한 변화를 확인해 볼 수 있다.

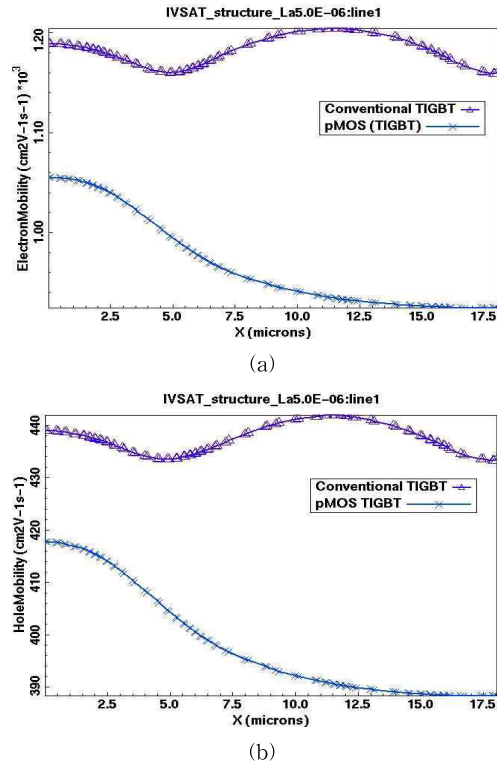


Fig 11 The electron and hole mobility of accumulation.  
그림 11 축적층 영역에서의 전자, 정공의 이동도

그림 11은 축적영역( $V_{ACC}$ )내 전자, 정공들의 이동도(mobility)로써 제안된 구조의 전자, 정공의 이동도가 기존 구조보다 크다는 것을 확인 할 수 있다. 따라서 이러한 이동도( $\mu_n$ )의 증가는 식-4의  $V_{ACC}$ (축적



영역 전압강하)의 감소를 의미하며, 결론적으로는 축적영역 내 전압강하의 감소를 의미한다. 이러한 결과는 식-10과 식-7을 통해 확인해 볼 수 있다.

제안된 소자의 순방향 전압강하( $V_{ce,sat}$ )의 감소는 앞서 확인했듯이 전자, 정공의 이동도에 따라 감소될 (식-7, 8, 10)을 통해 확인하였으며, (식-9)을 통하여  $V_{JFET}$ (JFET영역 전압강하)은 이동도에 따른 영향이 없음을 확인하였다. 따라서 그림 10의 시뮬레이션 결과인 제안된 pMOS 삽입형 TIGBT의 낮은 순방향 전압강하는 축적영역( $V_{ACC}$ )내 이동도가 증가함에 따른 감소임을 확인하였다.

### 2.4.3 턴-오프 특성

그림 12는 기존 TIGBT와 제안된 pMOS 삽입형 TIGBT의 턴-오프 특성을 보여주고 있다. 턴-오프 특성은 전력용 TIGBT의 전력 손실에 주된 역할을 하는 특징으로 턴-온시 발생하는 전력손실보다 턴-오프시 발생하는 전력손실이 높음으로 전력손실을 감소시키기 위한 턴-오프 특성의 분석은 중요하다[15][16]. 턴-오프의 지점은 전자와 정공의 수명시간을 5us로 고정시킨 상태에서 전류가 동작상태의 10%로 떨어지는 지점을 의미하며 턴-오프 특성을 분석하기 위해 2차원 소자 시뮬레이터인 MEDICI를 이용하여 시뮬레이션을 수행하였다.

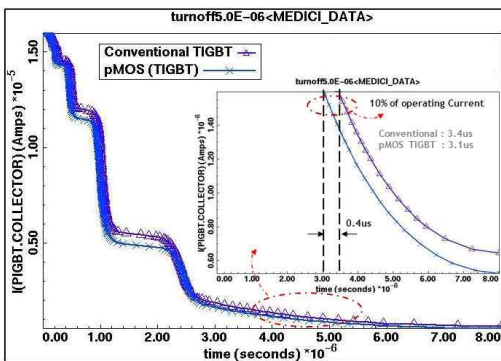


Fig 12 The simulation result of turn-off characteristics  
 그림 12 턴-오프 특성의 시뮬레이션 결과

그림 12는 기존 구조와 제안된 구조의 턴-오프 특성으로 제안된 구조의 턴-오프 시간이 기존 구조보다 빠르다는 것을 확인 할 수 있다. 이러한 특성은 n-드리프트 영역 내 전자전류와 정공전류의 흐름이 기존 TIGBT보다 활발하게 이동한다는 것과 관련이 있다. 기존 구조의 턴-오프 과정은 턴-온 상태에서 컬렉터 전압에 의해 P-베이스와 N-드리프트 영역 사

이의 얇아진 공핍층이 다시 컬렉터 단에 인가된 바이어스만큼 확장 될 때, 정공전류의 흐름은 P-베이스 영역을 지나 P+ 에미터로 빠져 나간다. 하지만 기존 TIGBT인 경우 N-드리프트 영역 내 축적되어있는 정공전류의 분포가 컬렉터 영역에서부터 P-베이스 영역에 이르기까지 선형적으로 감소 분산되어져 있기 때문에 턴-오프 시간에 제약을 받는다. 따라서 제안된 구조는 셀과 셀 사이에 pMOS를 삽입함으로써 n-드리프트 영역 내 축적되어 있는 정공전류의 이동을 오프 상태시 pMOS를 동작시킴으로 정공전류의 이동을 기존 P-베이스뿐만이 아닌 pMOS 영역으로 유도함으로써 오프 상태에서의 빠른 턴-오프 작용을 한다.

제안된 소자의 턴-오프 특성은 3.1us로 기존 3.4us보다 약 0.9%(0.3us) 감소된 특성을 보였다.

## III 결론

pMOS 삽입형 TIGBT 구조는 높은 온-저항에 따른 순방향 전압강하와 드리프트 층으로 주입되는 정공전류로 인한 스위칭 손실간의 트레이드-오프 관계를 개선하기 위해 제안되었다. 또한 제안된 pMOS 삽입형 TIGBT는 전자, 정공의 이동도를 증가시킴으로 순방향 전압강하 손실을 줄였으며, 오프 상태 동작시 n-드리프트 영역에 축적되어 있는 정공전류를 pMOS를 동작시킴으로써 스위칭 손실을 개선하기 위해 제안되었다.

시뮬레이션 결과 pMOS 삽입에 따른 턴-오프 시간은 기존 구조의 특성인 3.4us보다 약9%개선된 3.1us의 특성을 보였다. 또한 순방향 전압강하( $V_{ce,sat}$ ) 특성은 기존 TIGBT의 2.25V보다 25%개선된 1.67V의 특성을 보였다. 따라서 시뮬레이션 결과 제안된 pMOS 삽입형 TIGBT는 항복전압이 기존구조와 동일한 2960V의 특성을 유지한 상태에서 순방향 전압 강하, 턴-오프 손실을 모두 개선시킴으로 기존 트랜치 (Trench)게이트 타입인 TIGBT의 전기적 특성보다 우수함을 확인하였다.

## 참고문헌

[1] B. J. Baliga, "Power Semiconductor Device" PWS Publishing Company, pp. 446-455, Dec. 1996.  
 [2] T. K Khanna. "The Insulated Gate Bipolar Transistor Theory and Design" IEEE press. Wiley & Sons, INC, 2003.  
 [3] T. Trajkovic, F. Udrea, G, A, J, Amaratunga, W. I. Milne, S. S. M. Chan, P. R. Waing, J. Thomson and D. E. Crees, "Silicon MOS Controlled Bipolar

- Power Switching Devices Using Trench Technology," Int. J. Electronics, Vol. 86, No. 10, pp. 1153-1168, 1999.
- [4] K. K. Ng, "Analysis of the Gate Voltage Dependent Series Resistance of MOSFET's," IEEE Trans. Electron Devices., vol.ED-33, No.7, July. 1986.
- [5] 윤종만, 최연의, 한민구, "JFET 효과를 감소시킨 고압용 수직형 IGBT," 전기학회 논문지, 제 44권 23호, pp.303-309, 1995.
- [6] N. Thapar and B. J. Baliga, "An Experimental Evaluation of the On-State Performance of Trench IGBT Designs", Solid-StateElectronics, Vol. 42, No. 5, pp. 771-776, 1998.
- [7] G. Bonnet, P.Austin, J.L. Sanchez, "New Distributed model of NPT IGBT dedicated to power circuits design" Microelectronics Reliability 44(2004) , p79-88
- [8] T. Laska, M. Munzer, F. Pfirsch, C. Schaeffer, and J. Schmidt, "The field stop IGBT (FS IGBT) a new power device concept with a great improvement potential", Proc. 12th ISPSD, pp.335, 2000.
- [9] F. D. Bauer, "The super junction bipolar transistor: a new silicon power device concept for ultra low loss switching applications at medium to high voltages", Solid-State Electronics, Vol. 48, No. 5, pp. 705, 2004.
- [10] P.R. Palmer, "Characterization and Modelting of the LPT CSTBT-the 5th Generation IGBT" IEEE PESC Rec. 2003.
- [11] 구용서, 손정만 "향상된 전기적 특성을 갖는 트랜지 게이트형 절연 게이트 바이폴라 트랜지스터에 관한 연구". 전기전자학회 논문지. 제 11권, 4호. pp158-164. Dec. 2007.
- [12] Vinod Kumar Khanna. "The Insulated Gate Bipolar Transistor Theory and Design" IEEE press. A John Wiley & Sons, INC., 2003..
- [13] 신사무엘, 손정만, 구용서, " 2500V급 IGBT의 전기적 특성에 관한 연구", 대한전자공학회 추계학술대회, 제30권, pp.323-324, 2007.
- [14] Vinod Kumar Khanna "The Insulated Gate Bipolar Transistor(IGBT) Theory and Design" IEEE, pp. 241-249, 2003.
- [15] Sehwan Ryu, HyungKeun Ahn, DeukYoung Han, "An Analytical Transient Model For NPT IGBT". ICPE '01 International conference on power electronics, pp 26-30, Oct. 2001.
- [16] Sehwan Rye, Kwangchal Hwang, HyungKeun

Ahn, DeukYoung Han, " Transient Characteristics of NPT-IGBT with different temperature", 한국전기전자재료학회 하계학술대회, pp 292-295, 2002.

## 저 자 소 개

### 이 현 덕 (학생회원)



2009년 : 서경대학교 전자공학과 졸업 (공학사)  
2009년 3월~현재 : 서경대학교 대학원 전자컴퓨터공학과 (공학석사)  
<주관심분야> Power MOSFET, IGBTs, Power Device, ESD, etc.

### 원 중 일 (학생회원)



2008년 : 서경대학교 전자공학과 졸업 (공학사)  
2008년 3월~현재 : 서경대학교 대학원 전자컴퓨터공학과 (공학석사)  
<주관심분야> ESD Protectoin, Power Device, PMIC, ESD, etc.

### 양 일 석 (비회원)



1989년 : 경북대학교 전자전기컴퓨터학부 졸업 (공학사)  
1994년 : 경북대학교 대학원 전자전기컴퓨터학부 (공학석사)  
2008년 : 경북대학교 대학원 전자전기컴퓨터학부 (공학박사)  
1999년~현재 : 한국전자통신연구원 책임연구원

<주관심분야> Low-power circuit design, High-energy efficiency circuit design, Low-power micro-processor design

### 구 용 서 (정회원)

전기 전자 학회 논문지

(Journal of IKEEE) Vo18, No1 참조