논문번호 10-01-02

차동 커패시터 커플링을 이용한 연속근사 ADC

Differential Capacitor-Coupled Successive Approximation ADC

양 수 열*, 모 현 선*, 김 대 정*★
Sooyeol Yang*, Hyunsun Mo*, Daejeong Kim*★

Abstract

This paper presents a design of the successive approximation ADC(SA-ADC) applicable to a midium-low speed analog-front end(AFE) for the maximum 15MS/s CCD image processing. SA-ADC is effective in applications ranging widely between low and mid data rates due to the large power scaling effect on the operating frequency variations in some other way of pipelined ADCs. The proposed design exhibits some distinctive features. The "differential capacitor-coupling scheme" segregates the input sampling behavior from the sub-DAC incorporating the differential input and the sub-DAC output, which prominently reduces the loading throughout the signal path. Determining the MSB(sign bit) from the held input data in advance of the data conversion period, a kind of the signed successive approximation, leads to the reduction of the sub-DAC hardware overhead by 1 bit and the conversion period by 1 cycle. Characterizing the proposed design in a 3.3 V 0.35-μm CMOS process by Spectre simulations verified its validity of the application to CCD analog front-ends.

요 약

본 논문에서는 CCD 이미지 처리를 위한 최대 15MS/s의 속도의 중저속 아날로그-프론트 엔드(analog-front end, AFE)에서 사용될 수 있는 연속근사 ADC(Successive Approximation ADC, SA-ADC)의 설계를 제안한다. 파이프라인 ADC와 달리 SA-ADC는 동작주파수의 변화에 따른 전력소모의 스케일링(scaling) 효과가 크므로 저속에서 중속에 이르는 넓은 범위의 가변 데이터 처리 속도의 응용에 매우 효과적이다. 제안하는 설계는 입력 신호의 샘플링 동작을 내부 DAC(sub-DAC)로부터 따로 분리한 후, 커패시터 커플링을 통해 차동 결합함으로써 신호경로에 이르는 부하를 크게 줄이는 “차동 커패시터 커플링 기법”의 도입, 연속근사의 기법적 측면에서 signed 구조를 활용하여 데이터 변환주기 이전에 홀드된 입력신호로부터 미리 MSB(sign bit)를 결정함으로써 1사이클의 변환주기를 절약하고 내부 DAC의 하드웨어를 1비트 줄이는 구조와 같은 특징을 갖고 있다. 본 설계는 3.3V 0.35μm CMOS 공정으로써 설계하고 Spectre 시뮬레이션을 이용하여 그 특성을 분석함으로써 CCD 아날로그 프론트-엔드에 적용될 수 있음을 입증하였다.

Key words : SHA, SAR, SA-ADC, CCD analog-front end

Ⅰ. 서론

SA-ADC의 장점은 적은 전력 소모, 높은 해상도와 정확도, 작은 칩 면적, 그리고 해상도와 동작 속도의 좋은 상관관계이다. 그리고 대부분 동전력(dynamic power)을 소모하기 때문에 주파수에 따른 전력 소모의 스케일링 효과가 크다. 그러므로 중저속의 넓은 주파수 영역에서 동작이 필요한 응용에서는 파이프라인 ADC 등의 주파수 스케일링이 크지 못한 구조에 비해 전력 소모 측면에서의 장점을 가진다.

* 國民大學校 電子工學部
(School of Electrical Engineering, Kookmin University)
★ 교신저자 (Corresponding author)
※ 감사의 글 (Acknowledgment) 본 논문은 국민대학교의 연구지원에 의해 수행되었습니다. 반도체설계교육센터(IDEC)의 소프트웨어 지원에 감사드립니다.
接受日: 2010年 3月 3日, 修正完了日: 2010年 3月 25日

이러한 특성으로 인해 SA-ADC는 중저속이면서 저전력과 작은 면적이 상대적으로 중요한 휴대용 의료기기, 통신 시스템, 산업용 모니터 등과 같은 다양한 휴대용 및 공간 제약형 응용에 적합하다. 특히, 이미지 처리용 아날로그 프론트-엔드(analog-front end, AFE)의 경우 내부에 파이프라인 ADC가 주로 사용되고 있으나, 본 논문에서는 최대 15MS/s이며 매우 넓은 동작주파수 영역을 갖는 AFE 응용을 염두에 두고 SA-ADC를 효과적으로 설계하였다.

SA-ADC는 커패시터 배열로써 구성되는 내부 전하재분배 DAC의 구조 상 동전력(dynamic power) 소모가 지배적이므로 동전력만 소모하고, 파이프라인 ADC는 아날로그 회로의 구조 상 상대적으로 더 큰 정전력(static power) 소모와 함께 동전력 소모가 있는 것을 가정하여, 전력소모를 식 (1)과 같이 모델링하였다.

$$\begin{aligned} P_{SA-ADC} &= f\, V_{DD}{}^2 C_L \\ P_{P-ADC} &= W_D f\, V_{DD}{}^2 C_L + W_S V_{DD} I \\ & (0.6 \le W_S < 1,\ W_D + W_S = 1) \end{aligned} \quad (1)$$

여기서 W_S 및 W_D는 각각 최대 동작주파수에서의 정전력소모 및 동전력소모의 가중치로서 W_S가 60% 이상임을 가정하였다. 동전력소모의 경우 주파수의 변화에 따라 전력소모가 스케일링이 되지만, 정전력소모는 최대 동작 주파수에 전류를 고정시키므로 가변주파수 영역에서 스케일링 되지 못한다. 만약 동작주파수 범위를 더 높인다면 바이어스 전류 I의 값을 더 키워야 할 것이다.

그림 1은 이러한 동작 주파수의 변화에 따른 전력 스케일링의 측면에서의 파이프라인 ADC와 SA-ADC의 특성을 비교한 결과이다.

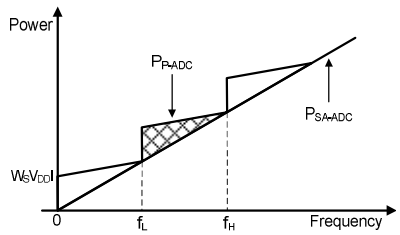

Fig. 1. Power-scaling characteristics of a pipelined ADC and a SA-ADC versus operating frequency range
그림 1. 동작주파수 범위에 따른 파이프라인 ADC와 연속근사 ADC의 전력 스케일링 특성

이러한 고찰로부터 f_L에서 f_H에 이르는 중속 이하의 넓은 동작주파수 범위를 요구하는 CCD의 AFE와 같은 응용에서는 전력 스케일링 효과가 큰 SA-ADC를 사용하는 것이 파이프라인 ADC를 사용하는 것보다 더 효과적일 수 있다.

그림 2는 최근 발표된 SA-ADC 논문들의 해상도와 속도 측면에서의 동향이다.

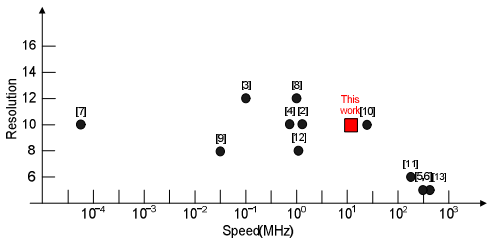

Fig. 2. Recently reported trend of SA-ADCs
그림 2. 최근에 발표된 SA-ADC의 동향

본 논문은 전체 SA-ADC 중에서 단일 채널구조로서는 고속의 계열에 속하며, 본 논문과 비슷한 위치의 [10]은 병렬 채널구조를 사용하여 하드웨어 및 전력소모의 오버헤드를 안고서 고속을 구현한 구조이다.

가장 기본적인 SA-ADC는 그림 3과 같은 기본구조를 가지며, 내부 DAC(sub-DAC)로서는 전하 재분배(charge redistribution) 방식의 구조가 사용되고 있다. 이 구조에서는 샘플 앤 홀드 증폭기(sample-and-hold amplifier, SHA), 내부 DAC, 비교기(comparator), 연속근사 레지스터(successive approximation register, SAR)[1]로써 궤환(feedback)으로 연결되어 있다.

SA-ADC는 명칭에서 나타나듯이 이진 검색 연산(binary search algorithm)을 수행한다. 동작 원리를 보면 첫 번째 사이클인 샘플 앤 홀드(sample and hold) 단계에서는 아날로그 입력신호 V_A를 샘플하고 홀드하여 내부 DAC의 출력단에는 $-V_A$가 생성된다. 다음의 전하 재분배 단계에서는 레지스터의 출력에 따라 한비트씩 차례로 변경하면서 입력신호와의 차이를 결정함으로써 LSB까지의 데이터를 결정한다.[17]

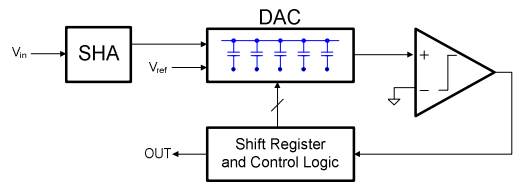

Fig. 3. Basic configuration of charge-redistribution ADC
그림 3. 전하 재분배 ADC의 기본 구조

이러한 전하 재분배 방식의 내부 DAC에서의 기본 구조는 입력신호를 샘플링할 때 내부 DAC 내의 커패시터 배열이 부하로서 작용하므로 빠른 입력신호를 샘플링 하는 데에 있어서 많은 어려움을 겪는다. 그림 4는 전하 재분배 DAC의 비트수의 증가에 따른 1/C를 Matlab으로써 계산한 결과로서, 동전력소모의 측면에서 1/C는 입력신호의 샘플링 속도 제한에 의한 동작 주파수에 비례한다.

그림 4의 계산에서는 기존방식은 단위 커패시턴스(unit capacitance)를 50[fF]으로 설정한 경우로서 비트 수의 증가에 따라 전체 커패시턴스가 늘어나는 반면, 입력 고정 부하방식의 경우에는 전체 커패시턴스를 400[fF]으로서 고정하였다.

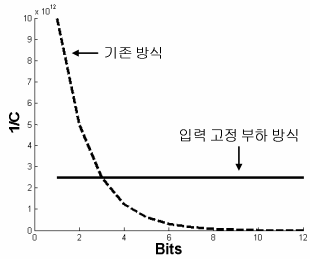

Fig. 4. Limitation of input sampling speed according to the bit-number increase of charge-redistribution DAC

그림 4. 전하 재분배 DAC 비트 수의 증가에 따른 입력 샘플링 속도의 제한

이 결과에서 제시하는 바와 같이 비트수의 증가에 따라 입력 신호에 대한 부하 커패시턴스가 증가하지 않고 일정하게 유지하는 구조(입력 고정부하 방식)가 가능하다면 더 높은 동작주파수를 구현할 수 있다.

II. 본론

1. 제안하는 SA-ADC의 전체 구조

본 논문에서 제안한 SA-ADC의 전체 구조는 그림 5와 같이 기존의 구조처럼 SHA, 내부 DAC, SAR 및 비교기가 궤환 구조로서 이루어져 있고, 추가적으로 내부 DAC로부터 입력 신호 샘플부분을 분리하여 내부 DAC와 비교기 사이에서 커플링 블록이 있으며, SHA로부터 입력 신호를 받는 별도의 비교기로써 구성되어 있다.

입력 신호를 내부 DAC에 직접 인가하여 전하 재분배 원리에 의해 동작하는 기존의 구조에서는 SHA의 로딩이 커패시터 배열만큼 크기 때문에 입력 샘플링 구간 동안 동전력소모가 크게 발생한다. 게다가 내부 DAC에서의 정착시간(settling time)을 고려하면 전체 시스템 속도 역시 제한이 생겨 15 MS/s에 동작하는 것이 매우 어렵다.

이를 극복하기 위해 SHA의 부하를 줄이고 AFE의 VGA에서 출력되는 신호를 처리하기 위해 샘플링 커패시터를 따로 내부 DAC와 비교기 중간에 위치시키는 것을 제안하였다. 그리고 15 MS/s 속도에서 비교 구간에서의 시간적 여유를 확보하기 위해 signed 구조를 채택하여 데이터 변환 구간 이전에 미리 MSB (sign bit)를 결정하기 위해서 비교기 한 개를 추가하였다. 이를 통해 10 bit 이진가중치(binary weighted) 커패시터 배열이 아닌 9 bit 이진가중치 커패시터 배열로 설계할 수 있어서 커패시터 면적을 절반 가까이 줄일 수 있으며, 전력소모 측면에서도 이득을 볼 수 있다.

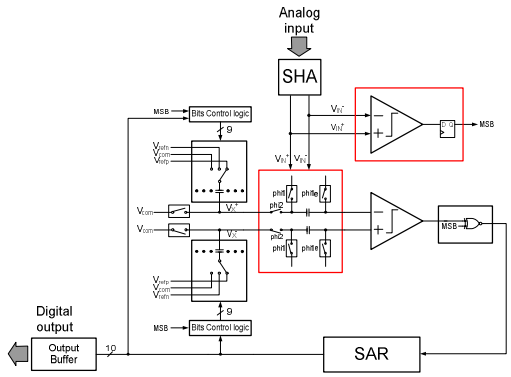

Fig. 5. The proposed SA-ADC architecture

그림 5. 제안하는 SA-ADC의 구조

SA-ADC의 변환 속도는 그림 6에 보인 바와 같이 변환기의 약 1/2 LSB 의 해상도 이내로 정착되어야 하는 내부 DAC의 정착시간 t_{DAC}, 지정된 시간 안에 약 1/2 LSB 까지 분해할 수 있는 비교기의 분해시간(resolve time) t_{preamp}, 그리고 로직 전체의 전송지연(propagation delay)인 t_{LOGIC}으로써 구성된다.

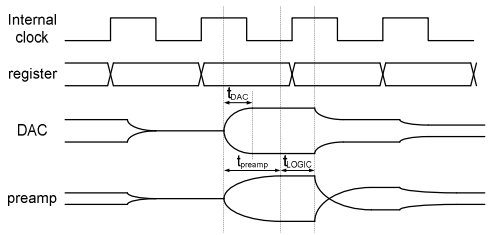

Fig. 6. Pre-amp resolve time, DAC settling time and logic propagation delay in the internal clock cycle

그림 6. 내부 클록 주기 내에서의 사전앰프의 분해시간, DAC의 정착시간 및 로직 전송지연

본 논문의 입력 고정부하 방식의 경우는 내부 클록의 한 주기는 비교기의 프리앰프(preamp)의 분해시간 및 로직 지연시간이 결정요소가 된다. 즉,

$$Internal\ clock\ period = t_{LOGIC} + t_{preamp} \quad (2)$$

이다. 10주기의 내부 클록이 필요한 10 bit 15 MS/s의 경우, 식 (2)로써 표현되는 내부 클록주기는 6 ns이고 비교기의 프리앰프의 분해시간은 그보다 더 작아야 하기 때문에 프리앰프의 특성이 SA-ADC의 속도에 미치는 영향이 크다.

그림 7은 SA-ADC의 전체 동작 클록을 나타내었다. PH1_msb는 데이터 변환구간(PH2 "high") 이전에 활성화되어 미리 MSB를 결정한다. 비중첩 클록인 PH1과 PH2는 주 클록으로서 PH1이 "high"일 때 입력 신호를 샘플링하고 내부 DAC를 리셋하며, PH2가 "high"인 비교구간에서 CK_latch가 "high"일 때마다 순차적으로 비교기의 출력비트가 결정된다. 변환된 디지털 데이터는 CK_out에 동기되어 출력된다.

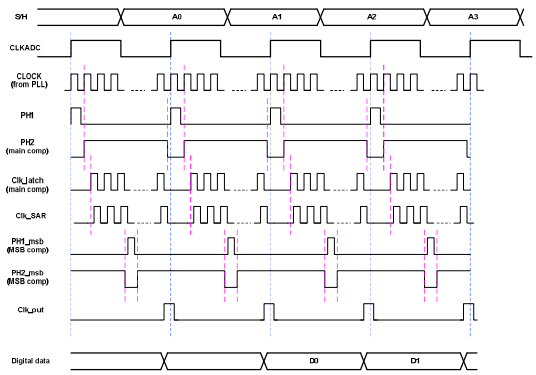

Fig. 7. Overall clock timing of the proposed SA-ADC
그림 7. 제안하는 SA-ADC의 전체 동작 클록도

이러한 동작의 결과 한 주기 동안 10개의 내부 클록에 의해 10비트의 변환이 이루어진다.

2. 이중샘플링(double sampling) SHA의 설계

본 논문에서는 한주기 동안 유효한 데이터를 얻기 위해 이중샘플링 SHA를 사용하였다. 그림 8은 본 논문의 SA-ADC에 사용된 이중샘플링 SHA의 구조를 단일 모드의 형태로서 나타낸 것으로서, MOS 스위치, 샘플링 커패시터, 및 연산증폭기로써 구성된다. 여기서 PH3와 PH4는 비중첩 (non -overlapped) 클록이다.

그림 9는 PH3와 PH4가 각각 "high"일 때의 동작을 나타낸 것이다. 한 쪽의 커패시터에 입력 신호가 샘플링 될 때 다른 쪽 커패시터는 이전 데이터를 홀드하고 있다. PH3와 PH4가 위상이 반대가 되면 샘플링된 커패시터는 출력 단과 연결되어 홀드 동작을 하고, 홀드 동작을 하던 커패시터는 입력 신호를 샘플링 한다. 이러한 동작으로 SHA는 샘플과 홀드를 반복한다. 결과적으로 이중샘플링 SHA는 시분할(time-interleaved) 동작을 하게 되어 한 주기 동안 유효한 데이터를 유지할 수 있다.

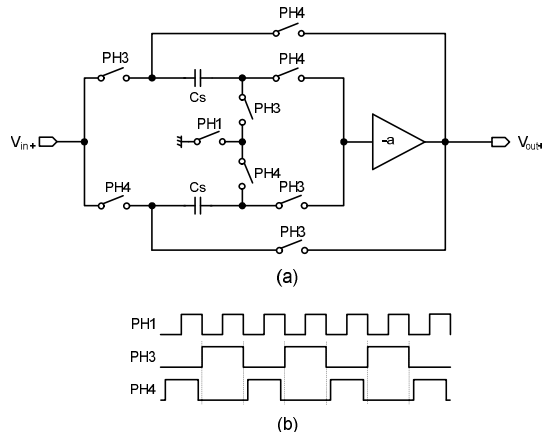

Fig. 8. (a) SHA architecture (b) Control pulse for SHA
그림 8. (a) SHA의 구조 (b) SHA의 제어 펄스

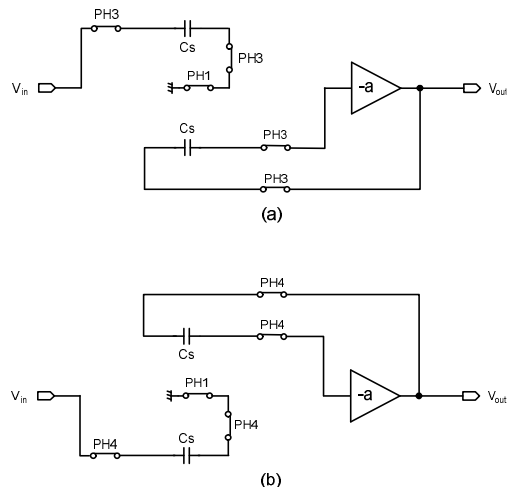

Fig. 9. Double sampling SHA (a) when PH_3 is "high" (b) when PH_4 is "high"
그림 9. 이중 샘플링 SHA (a) PH_3이 "high"일 때 (b) PH_4가 "high" 일 때

스위치의 ON/OFF 과정에서 발생하는 전하주입(charge injection) 오차는 고정전압(대개, bottom plate에 연결)에 연결되어 있는 스위치를 조금 먼저 OFF 시키는 “bottom plate 샘플링” 방식을 써서 완화시켰고, 스위치의 ON 저항에서 발생하는 비선형성분은 상보(complementary) 스위치를 써서 비선형 특성을 줄였다.

3. 내부 DAC의 설계

내부 DAC는 SAR로부터 신호를 받아 샘플된 입력신호를 비교하기 위한 기준 전압을 생성하는 역할을 한다. 그림 10에서 보는 바와 같이 더미(dummy) 커패시터를 포함해서 이진 가중치(binary weighted)를 가지는 커패시터 배열로써 구성되고 커패시터의 top plate에는 부트스트랩(boostrapped) NMOS 스위치를 연결하였다. 커패시터의 bottom plate에는 3개의 스위치에 각각 V_{refp}, V_{refn}, V_{com}을 연결하여 MSB의 부호와 전달되는 신호의 조합에 따라 선택 되도록 설계하였다.

처음 샘플 구간에는 전체 커패시터의 top plate와 bottom plate에 동시에 V_{com}을 인가하여 리셋 시키고 비교 구간에서 SAR로부터의 신호에 따라 MSB-1부터 LSB까지 비트에 따라 해당하는 아날로그 전압을 top plate에 발생시킨다. 차동구조이므로 (+) 커패시터 단과 (-) 커패시터 단으로써 구성되며, “high” 디지털 데이터에 대해 MSB(sign bit)에 따라 V_{refp} 혹은 V_{refn}이 bottom plate와 연결된다. 예를 들어, sign bit이 (+) 인 경우에는 (+) 커패시터 단에는 V_{refp}가, (-) 커패시터 단에는 V_{refn}이 연결되어 차동신호 V_x는 양의 값이 된다. 반대로 sign bit이 (-)인 경우에는 V_{refp} 및 V_{refn}이 반대로 연결되어, 차동신호 V_x는 음의 값이 된다.

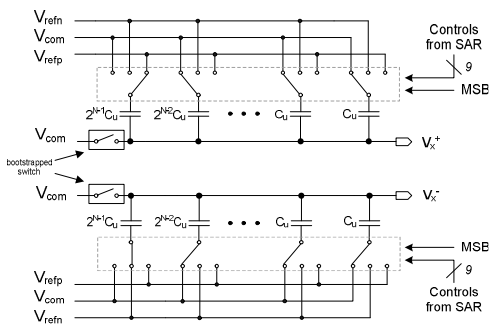

Fig. 10. Implementation of sub-DAC
그림 10. 내부 DAC의 구조

내부 DAC의 top plate 노드에 부트스트랩 NMOS 스위치를 사용한 것은 스위치의 구동능력을 향상시켜 top plate의 노드에 스위치에 의한 기생(parasitic)성분을 최소화하고, 입력신호에 무관한 턴온 저항을 제공하여 스위치 저항에 의한 신호의 비선형 왜곡을 줄이고 선형성을 높이기 위한 것이다.[14], [15]

그림 11은 500 mV의 진폭을 가지는 차동 정현파 입력 시, MSB의 값에 따라 내부 DAC에서의 "high" 비트에 따른 V_{refp} 및 V_{refn}의 연결관계와 다음 단인 커플링 블록 및 비교기와의 연결상태를 나타낸 것이다.

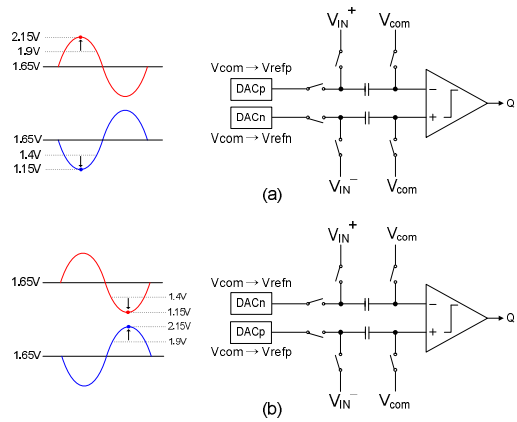

Fig. 11. Connection of V_{refp}/V_{refn} in sub-DAC: when MSB(sign bit) is (a) "high" (b) "low"
그림 11. 내부 DAC에서의 V_{refp}/V_{refn} 연결, MSB(sign bit)가 (a) "high" 일 때 (b) “low” 일 때

4. 커플링 블록(coupling block)의 설계

커플링 블록은 입력신호와 내부 DAC 출력신호의 차이를 비교기에 가해주는 중요한 신호 경로 상에 위치하므로 기생 커패시턴스 성분 및 스위치의 선형성 등이 전체 신호의 정밀도를 훼손하지 않도록 주의 깊게 설계되어야 한다. 그림 12는 차동 내부 DAC 출력 V_X와 차동 입력신호 V_A의 차를 결정하여 비교기에 가해주는 차동 커플링 단의 회로이다.

PH1이 "high"인 샘플 구간동안 Cc에는 입력 신호가 샘플되고 내부 DAC와는 분리된다. PH2가 "high"인 비교 구간에서는 내부 DAC와 연결되어 전압 커플링 동작에 의해, 식 (3)과 같은 내부 DAC의 기준신호와 입력신호와의 뺄셈연산을 수행한다.

$$V_{out} = (V_X^+ - V_A^+) - (V_X^- - V_A^-) = (V_X^+ - V_X^-) - (V_A^+ - V_A^-) \quad (3)$$

스위치 OFF에 따른 신호 의존성 전하 주입(charge injection) 오차를 줄이기 위해 PH1보다 조금 더 빨리 OFF 되는 PH1E 클록을 사용하는 bottom plate 샘플링 방식을 활용하였다. PH1E 스위치 및 비교기 입력 단에서의 기생커패시턴스로 인한 신호 의존성 오차를 줄이기 위해 C_c 오른쪽에 공통 전압(아날로그 접지) V_{com}를 인가하였다.

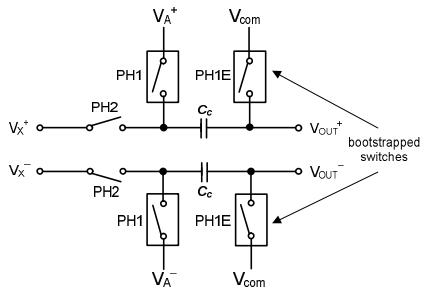

Fig. 12. Differential coupling block
그림 12. 차동 커플링 블록

PH2가 "high"가 될 때, 내부 DAC의 1.65 V로 리셋된 전압이 커플링 블록과 연결되면 스위치의 기생 커패시터와 전하공유(charge sharing) 현상이 일어나면서 샘플된 입력 신호로 인한 신호의존성 오차가 발생한다. 그러나 내부 DAC의 전체 커패시터가 기생성분보다 훨씬 크게 유지함으로써 이러한 오차를 최소화할 수 있다. 입력 신호의 선형성을 높이고 스위치의 ON 저항과 기생 커패시터를 최소화하기 위해 부트스트랩 NMOS 스위치를 사용하였다. 그리고 kT/C 열잡음이 ADC 해상도에 미치는 영향을 고려하여 C_c를 400 [fF]으로 설계하였다.

5. 비교기(comparator)의 설계

비교기는 작은 아날로그 신호를 감지, 증폭하여 디지털 신호를 출력하는 기능을 담당한다. 그림 13에서 제시하는 비교기는 오프셋 제거 기능이 장착된 프리앰프 단과 래치 단 및 SR 래치 단으로써 구성되어 있는데, 프리앰프와 래치 단 사이에는 커플링 커패시터 및 입력 트랜지스터가 존재한다. 이러한 구조는 정밀도를 높이고 고속 동작이 가능하며, 특히 킥백(kickback) 잡음에 의한 영향을 최소화하기 위한 것이다. 마지막 SR 래치 단은 클록에 따라 래치 단 출력 데이터를 유효하게 유지하도록 설계하였다.

공정 부정합(mismatch)으로 인한 비교기의 오프셋 전압을 제거하는 것은 고정밀 변환을 위한 필수 요소이다. 본 논문에서는 그림 13의 커패시터 및 스위치로써 프리앰프의 출력 오프셋 제거 기법을 사용하였다. PH1이 "high"인 구간에서 오프셋 커패시터에 프리앰프의 출력 오프셋 전압이 저장되고 PH2가 "high"인 구간동안에 출력 오프셋 전압이 상쇄된다.

입력 단에서 오프셋을 제거하는 기법에 비해, 프리앰프 출력 단에 커패시터를 위치시켜 입력단의 부하를 줄일 수 있었고, 특히 프리앰프의 유한한 이득 때문에 발생하는 잔여(residue) 오프셋을 구조적으로 완전히 제거할 수 있었다.[16]

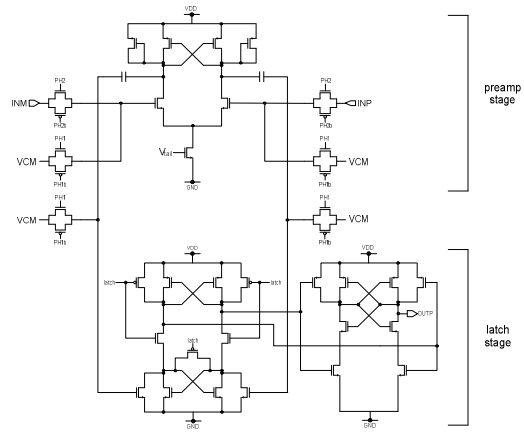

Fig. 13. Circuit of comparator
그림 13. 비교기의 회로

6. 시뮬레이션 결과

본 논문의 유용성을 입증하기 위하여 3.3 V 0.35 μm CMOS 공정으로써 전체회로를 설계하였으며, Spectre를 이용하여 그 특성을 확인하였다.

(1) 시간영역에서의 주요 특성분석

그림 14는 정현파 입력신호를 가했을 때의 내부 DAC의 출력 파형으로서 한 데이터 주기 내에서 9번의 내부 클록에 의해 변환된 차동 아날로그 전압으로서 주어진 시간 내에서 잘 정착하고 있다. 입력신호의 부호가 변하였을 때, 기준전압 V_{refp}와 V_{refn}이 바뀌어서 인가되므로, 입력신호를 추적하면서 이진검색을 하는 것을 확인할 수 있다.

그림 15는 커플링 블록에서 PH1이 "high"가 되어 SHA의 부하가 순간적으로 변하였을 때의 커플링 블록 출력의 파형으로서, 6 ns 이내에 정착이 되도록 SHA의 밴드 폭을 설정하였다.

그림 16은 비교기 프리앰프의 주파수 특성을 나타낸 것으로서 저주파 이득이 14.5 dB이며 -3 dB 주파수가 200 MHz가 되도록 설계하였다.

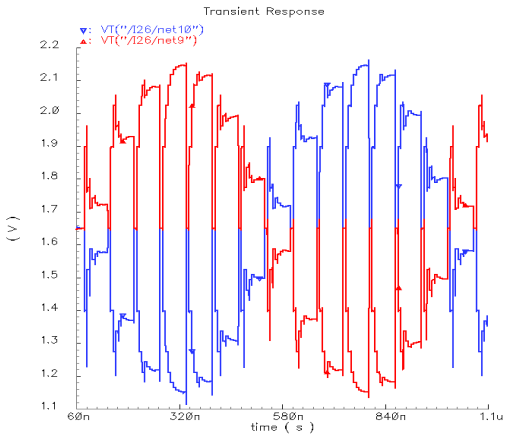

Fig. 14. Output waveform of sub-DAC with a sinusoidal differential input
그림 14. 정현파 차동 입력에 대한 내부 DAC의 출력파형

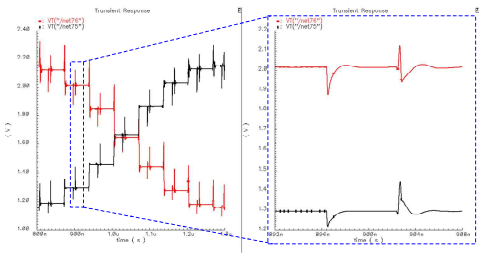

Fig. 15. Settling waveform of the coupling block when PH1 is "high"
그림 15. PH1이 "high"일 때의 커플링 블록의 정착 파형

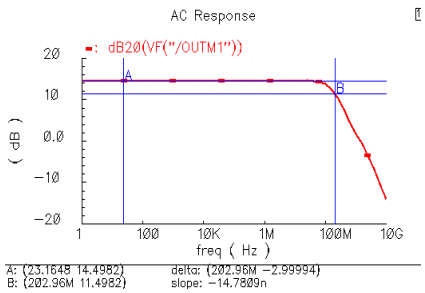

Fig. 16. Frequency characteristic of the comparator pre-amp gain
그림 16. 비교기 프리앰프 이득의 주파수 특성

그림 17에서는 차동 입력신호의 전압을 V_{in}^{+} = 1.8165 V 및 V_{in}^{-} = 1.4835 V로 인가했을 때, 내부 클록 주기 6 ns의 동작에서 프리앰프와 래치의 출력을 변환구간동안 나타내었다.

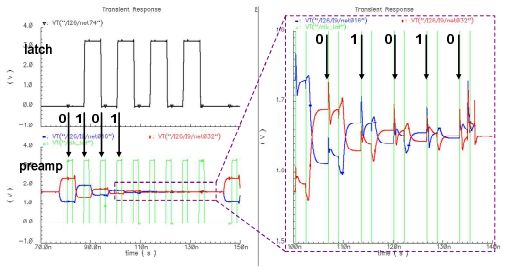

Fig. 17. Pre-amp and latch output of the comparator
그림 17. 비교기에서의 프리앰프 및 래치의 출력

입력신호로 수렴하는 내부 DAC 전압이 인가되고, 사전앰프의 출력 전압이 반전되면서 클록의 최대 동작주파수에서 예측 값인 010101010이 출력되는 것을 확인할 수 있다.

(2) 주파수영역에서의 동특성(dynamic characteristic) 분석

그림 18은 1 MHz의 정현파 입력을 가했을 때의 제안하는 SA-ADC의 동특성에 대한 시뮬레이션 결과이다. SFDR은 72.2dB, SNDR은 61.66dB이며 ENOB는 9.95비트가 된다.

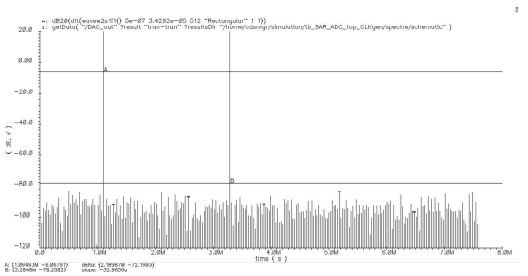

Fig. 18. FFT result for the dynamic characteristic analysis with a 1MHz sinusoid input
그림 18. 1MHz 정현파 입력 시의 동특성 분석을 위한 FFT 결과

그림 19는 제안하는 커패시터 커플링 SA-ADC의 레이아웃으로서 내부 클록 발생을 위한 PLL 기반의 주파수 합성장치 및 여러 버전의 클록 발생부가 포함되어 있으며, 클록 잡음의 영향을 최소화하기 위하여 아날로그 부분과는 분리되어 있다. 차동구조의 내부 DAC에서는 두 개의 커패시터 배열 사이에 커

플링 블록과 비교기들이 위치하여 신호의 경로가 짧고 잘 정합(match)될 수 있도록 하였다.

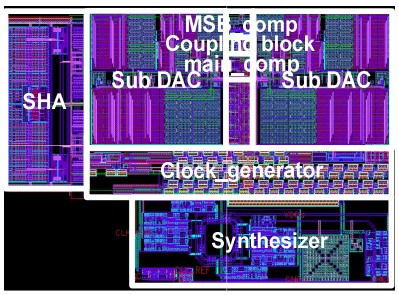

Fig. 19. Layout of the capacitor coupling SA-ADC
그림 19. 커패시터 커플링 SA-ADC의 레이아웃

표 1은 제안하는 SA-ADC의 성능을 요약한 표이다.

Table 1. Performance summary
표 1. 성능요약

해상도	10 [bit]
공급전압	3.3 [V]
최대 샘플링 속도	15 [MHz]
전력소모	41 [mW] (@ 3.3 V, 15 MHz)
입력전압범위	2 [V_{p-p}]
칩 면적(active area)	1×1.4 [mm^2]
DNL	± 0.4 [LSB]
INL	- 0.4 [LSB]
공정	0.35-μm CMOS
SFDR / ENOB	72.2 [dB] / 9.95 [bit]

III 결론

넓은 주파수 범위를 가지는 최대 15MS/s 정도의 중저속 데이터 변환을 위해 파이프라인 ADC 등의 다른 구조에 비해 동작주파수 변화에 따른 전력소모의 스케일링 효과가 큰 연속근사 ADC(SA-ADC)를 설계하였다. 고속의 동작을 위해, 차동 커패시터 커플링 기법, sign 비트(MSB)의 분리와 같은 새로운 구조를 효과적으로 적용하였다. 세부적으로는 클록주기 결정 요소인 비교기의 성능향상을 위한 출력 오프셋 제거 기법, 내부 기생 커패시터 및 스위치 저항의 신호 의존성에 따른 비선형성을 개선하기 위한 부트스트랩(bootstrap) 스위치의 사용 등을 제시하였다. 본 설계의 유용성을 입증하기 위하여 0.35-μm CMOS 공정으로 써 회로를 구현하고 Spectre를 사용하여 검증한 결과, 10 bit 정도의 정밀도(accuracy)를 구현할 수 있는 수준의 정특성 및 동특성 결과를 얻었다.

참고문헌

[1] A. Rossi and G. Fucili, "Nonredundant successive approximation register for A/D converters," *Electron. Lett.*, vol. 32, pp. 1055-1057, June 1996

[2] C. Jun, R. Feng, X. Mei-hua, "IC Design of 2Ms/s 10-bit SAR ADC with Low Power," *High Density packaging and Microsystem Integration, 2007. HDP '07. Int. Symp.* pp. 1-3, June 2007

[3] N. Verma and A. P. Chandrakasan, "An Ultra Low Energy 12-bit Rate-Resolution Scalable SAR ADC for Wireless Sensor Nodes," *IEEE J. Solid-State Circuits*, vol. 42, NO.6, June 2007

[4] T. Yoshida, M.Akagi, M. Sasaki and A. Iwata, "A 1V supply successive approximation ADC with rail-to-rail input voltage range," *IEEE Int. Symp. Circuits and Systems, 2005*, vol. 1, pp. 192-195

[5] B. P. Ginsburg and A. P. Chandrakasan, "500-MS/s 5-bit ADC in 65-nm CMOS With Split Capacitor Array DAC," *IEEE J. Solid-State Circuits*, vol. 42, NO. 4, April 2007

[6] B. P. Ginsburg and A. P. Chandrakasan, "Dual Time-Interleaved Successive Approximation Register ADCs for an Ultra-Wideband Receiver," *IEEE J. Solid-State Circuits*, vol. 42, NO. 2, February 2007

[7] J. Marjonen, R. Alaoja, H. Ronkainen, M. Aberg, "Low power successive approximation A/D converter for passive RFID tag sensors," *Baltic Electronics Conf, 2006 Int.*, pp. 1-4, October 2006

[8] G. Promitzer, "12-bit Low-Power Fully Differential Switched Capacitor Noncalibrating Successive Approximation ADC with 1MS/s," *IEEE J. Solid-State Circuits*, vol. 36, NO. 7, July 2001

[9] S. Mortezapour and E. K. F. Lee, "A 1-V, 8-Bit Successive Approximation ADC in Standard CMOS Process," *IEEE J. Solid-State Circuits*, vol. 35, NO. 4, April 2000

[10] K. Dabbagh-Sadeghipour, K. Hadidi, A. Khoei, "A New Architecture for Area and Power Efficient, High Conversion Rate Successive Approximation ADCs," *Circuits and Systems, 2004. NEWCAS 2004.*, pp. 253-256, June 2004

[11] Chi-Sheng Lin and Bin-Da Liu, "A New

Successive Approximation Architecture for Low-Power Low-Cost CMOS A/D Converter," *IEEE J. Solid-State Circuits*, vol. 38, NO. 1, January 2003
[12] E. Culurciello and A. Andreou, "AN 8-BIT, 1MW SUCCESSIVE APPROXIMATION ADC IN SOI CMOS," *Circuits and Systems, 2003. ISCAS '03. Proceedings of the 2003 Int. Symp.*, vol. 1, pp. 301-304, May 2003
[13] Sheung Yan Ng, B. Jalali, P. Zhang, J. Wilson and M. Ismail, "A low-voltage CMOS 5-bit 600MHz 30mW SAR ADC for UWB wireless Receivers," *Circuits and Systems, 2005. 48th Midwest Symp.*, vol. 1, pp. 187-190, August 2005
[14] A. M. Abo and P. R. Gray, "A 1.5-V 10bit 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter," *IEEE J. Solid-State Circuits*, vol. 34, pp.599-606, May 1999
[15] Lei Wang, Junyan Ren, Wenjing Yin, Tingqian Chen, Jun Xu, "A High-Speed High-Resolution Low-Distortion CMOS Bootstrapped Switch," *Circuits and Systems, 2007. ISCAS 2007. IEEE Int. Symp.*, pp. 1721-1724, May 2007
[16] 이승훈, 김범섭, 송민규, 최중호, *CMOS 아날로그/혼성모드 집적시스템 설계(상)*. 시그마프레스, 1999, pp. 308-311
[17] 이승훈, 김범섭, 송민규, 최중호, *CMOS 아날로그/혼성모드 집적시스템 설계(하)*. 시그마프레스, 1999, pp. 120-130

저 자 소 개

양 수 열 (학생회원)

2007년 : 국민대학교 전자정보통신공학부 졸업 (공학사)
2007년 3월~현재 : 국민대학교 대학원 전자공학과 석사 과정
<주관심분야> 데이터 변환기 설계, 혼성모드 집적회로 설계

모 현 선 (학생회원)

1993년 : 국민대학교 전자공학과 졸업 (공학사)
2009년 3월~현재 : 국민대학교 대학원 전자공학과 석사 과정
<주관심분야> 메모리 설계, 혼성모드 집적회로 설계, 고속 클락킹 회로

김 대 정 (정회원)

1987년 : 서울대학교 전자공학과 졸업 (공학사)
1989년 : 서울대학교 대학원 전자공학과 (공학석사)
1994년 : 서울대학교 대학원 전자공학과 (공학박사)
1999년 3월~현재 : 국민대학교 전자공학부 부교수
<주관심분야> 아날로그 인터페이스, 고속 클록킹, 전원회로