
점유율을 고려한 버스 중재방식의 성능 분석

이국표* · 고시영**

Performance Analysis of Bandwidth-Awared Bus Arbitration Method

Kook-pyo Lee* · Si-Young Koh**

요 약

일반적인 버스 시스템 구조는 공용버스 내에 여러 개의 마스터와 슬레이브, 아비터 그리고 디코더 등으로 구성 되어 있다. 복수의 마스터가 동시간대에 버스를 이용할 수 없으므로, 아비터는 이를 중재하는 역할을 수행한다. 아비터가 어떠한 중재방식을 선택하는가에 따라 버스 사용의 효율성이 결정된다. 기존의 중재 방식에는 **Fixed Priority** 방식, **Round-Robin** 방식, **TDMA** 방식, **Lottery** 방식 등이 연구되고 있다. 기존의 중재 방식들은 버스 우선권을 주로 고려하였으며 실제 버스 상에 점유율은 고려하지 않았다. 본 논문에서는 마스터별 버스 점유율을 연산하는 블록을 이용하는 버스중재 방식을 제안하고, **Throughput**을 통해 다른 중재 방식과 비교하여 성능을 검증하였다. 성능분석 결과, 본 연구에서 제안하는 점유율 고려 중재방식은 목표로 설정한 버스 점유율인 40%, 20%, 20%, 20%와 일치하는 우수한 시뮬레이션 결과값을 얻을 수 있었다.

ABSTRACT

The general bus system architecture consists of masters, slaves, arbiter, decoder and so on in shared bus. As several masters can't use a bus concurrently, arbiter plays an role in bus arbitration. In compliance with the selection of arbitration method, The efficiency of bus usage can be determined. Fixed Priority, Round-Robin, TDMA, Lottery arbitration are studied in conventional arbitration method. Conventional arbitration method is considered bus priority primarily, actual bus utilization didn't considered. In this paper, we propose arbitration method using bus utilization operating block of each master, we verify the performance compared with the other arbitration methods through throughput performance. From the result of performance verification, we confirm that proposed arbitration method, matched bus utilization set by the user 40%, 20%, 20%, 20%.

키워드

AMBA, SoC, 버스 구조, 중재 방식, 처리량

Key word

AMBA, SoC, bus architecture, arbitration policy, Throughput

* 영진전문대학 전자정보통신계열 (kplee@yjc.ac.kr)

** 경일대학교 전자정보통신공학부 (교신저자)

접수일자 : 2010. 05. 17

심사완료일자 : 2010. 06. 01

I. 서 론

현대 사회가 점점 정보화 사회로 진보하는 데에는 반도체 산업이 매우 중요한 역할을 하고 있다. 인터넷 시대의 등장과 함께 텔레비전, 냉장고와 같은 가전에서부터 노트북, 휴대용 정보기기 및 스마트 전자기기에 대한 수요가 증가하면서 전자회로의 임베디드(Embedded) 시스템화, 소형화, 저전력화되어 가고 있다. 또한 반도체 공정 기술의 발달로 기존의 여러 다른 기능을 하는 칩들을 하나에 집적시키는 SoC(System on a Chip) 기술이 각광 받고 있다.[1,2]

SoC 버스 시스템은 IP들 간의 통신 순서와 방법을 정의하고 제어한다. 그러므로 버스 시스템의 성능이 SoC의 성능을 좌우하는 중요한 요소로 부각되고 있다. 버스 시스템에는 ISA, PCI, MCA 등 여러 종류가 있지만, 이 중에서 ARM 프로세서의 AMBA(Advanced Microcontroller Bus Architecture) 가 온 칩 통신의 표준이 되고 있다.[3]

AMBA는 AHB(Advanced High-performance Bus), ASB(Advanced System Bus) 그리고 APB(Advanced Peripheral Bus)가 있으며, AXI(Advanced eXtensible Interface)가 현재 새롭게 개발되었지만, 아직까지 고성능 버스인 AHB가 성능 향상을 위해 많이 연구되고 있다. 전형적인 AHB는 하나의 단일 버스 내에 여러 개의 마스터와 슬레이브, 아비터, 디코더로 구성되어 있다. 마스터는 CPU, DMA, DSP 등과 같은 프로세서들을 말하며, 슬레이브는 마스터와는 다르게 DRAM, SRAM과 같은 메모리를 의미한다. 또한, 아비터는 여러 개의 마스터가 동시에 버스를 이용할 수 없기 때문에 이를 중재하는 역할을 수행하고 중재하는 방식에 따라 버스의 효율적인 중재가 가능하기 때문에 전체 시스템의 성능 향상을 위해 많이 연구되고 있는 분야이다. 마지막으로 디코더는 마스터로부터 나오는 어드레스의 상위 비트를 가지고 적절한 슬레이브를 선택해주는 역할을 한다.

기존의 아비터 중재 방식에는 fixed priority 방식, round-robin 방식, TDMA 방식, Lottery bus 방식 등 여러 가지가 있다.[4~8] 본 논문에서는 새로운 중재 방식인 점유율을 고려한 중재 방식을 제안하고 기존의 중재 방식과 비교하여 성능을 분석 및 검증하였다.

II. 본 론

전 세계의 70% 이상을 차지하고 있는 AMBA 시스템의 경우, 마스터에서 발생하는 데이터는 싱글 데이터와 버스트 데이터가 있으며, 버스트 데이터 길이는 4, 8, 16까지 지원한다. 그리고 idle 사이클 지연 후 새로운 데이터를 발생시키는데, 본 모델에서는 idle 사이클에 대해서 랜덤 함수를 이용하였다. 그림 1에 보듯이 대표적인 버스 중재 방식에는 fixed priority 방식과 round-robin 방식, TDM 중재방식, Lottery bus 방식이 있다. 그림 1(a)는 fixed priority 방식을 보여준다. Fixed priority 방식은 각 마스터들이 고정된 우선순위를 가지고 있다. 예를 들어, 마스터 M1의 우선순위가 마스터 M2보다 높으면, 아비터는 버스 점유권을 마스터 M1에게 준다. fixed priority 방식의 경우 중요한 마스터는 우선순위를 높일 수 있는 장점을 가지지만 우선순위가 가장 낮은 마스터의 스타베이션을 일으킬 수 있는 단점을 가지고 있다.

그림 1(b)는 round-robin 방식을 보여준다. 이 방식은 마스터의 우선순위가 정해지지 않고 골고루 버스 점유권을 주기 때문에 마스터들이 공평하게 버스를 이용할 수 있어 스타베이션을 방지할 수 있다. 그러나 중요한 데이터 처리를 할 경우 이 방식은 한계를 가진다. 그림 1(c)는 TDM 중재 방식을 보여준다. TDM 중재 방식도 골고루 마스터의 버스 점유권이 돌아가기 때문에 스타베이션을 방지할 수 있는 장점을 가지고 있지만, 중요한 데이터 처리를 가져야 하는 마스터의 대기 시간이 길어 질 수 있다는 단점을 가지고 있다[4]. 그림 1(d)는 Lottery bus 방식을 보여준다. Lottery bus 방식의 경우는 마스터들에게 버스 점유권을 확률적으로 주는 방식이다. 중요한 마스터의 경우는 좀 더 많은 버스 점유권을 주고 그렇지 않은 경우는 좀 더 적게주는 방식으로, 최근에 TDM 버스중재를 개선하는 방식으로 제안되고 있다.

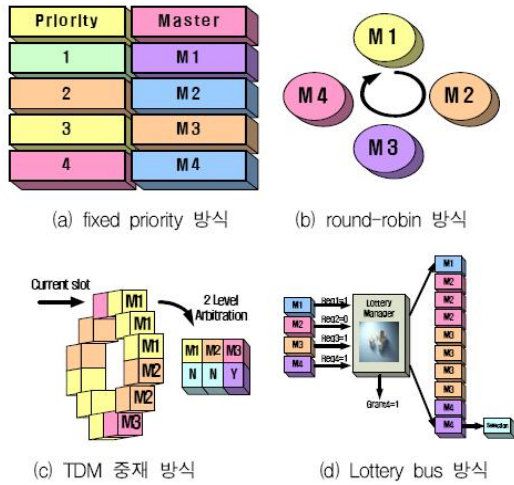


그림 1. 다양한 버스 중재 방식
Fig. 1 Various bus arbitration policies.

III. 점유율 고려 중재방식의 제안

그림 2는 AMBA 아비터 블록의 입출력 신호에 대한 타이밍 도를 나타내고 있다. AMBA의 경우 마스터별 버스 점유율은 HMASTER[N:0]의 사이클 크기에 의해 결정된다. 본 논문에서는 마스터별 HMASTER[x]의 클럭 수를 카운트하여 마스터의 버스 점유율을 계산하고, 이를 버스중재에 반영하려고 한다.



그림 2. AMBA 아비터 블록의 입출력 신호에 대한 타이밍 도
Fig. 2 Timing diagram of input and output signals in AMBA arbiter block.

그림 3에는 점유율을 고려한 버스중재방식의 블록도가 나타나 있다. 마스터별 버스 사용 사이클 계산은 버스요청 입력신호를 받는 master[N] counter의 블록에서 담당한다. 각 마스터들의 버스점유 신호에 따라 클럭신호를 카운팅하여 각 마스터들의 버스 점유 횟수를 산출한다.

비율산출부(Proportion Calculator)는 각 카운터로부터 제공되는 각 마스터들의 버스 점유 횟수를 이용하여 각 마스터들의 버스 점유 비율을 산출하게 된다. 이때, 카운터로부터 제공되는 각 마스터들의 버스 점유 횟수를 아래의 식 1에 대입해서 각 마스터들의 버스 점유 비율을 산출한다. 비율산출부는 소수점 첫째 자리에서 반올림 연산을 수행한다.

$$R(M[x])_{occupied} = \frac{M[x]}{T} \times 100 \quad (1)$$

식 1에서 M[x]는 마스터 x의 버스 점유 사이클 수를 나타내고, T는 마스터 1(M0), 마스터 2(M1), 마스터 3(M2), 마스터 4(M3) 각각의 버스 점유 사이클 수의 총합을 나타낸다.

비교부(Difference Calculator)는 비율산출부로부터 제공되는 각 마스터들의 버스 점유 비율과 기준 점유 비율과의 차이 값을 계산하여 우선순위 결정부에 제공한다.

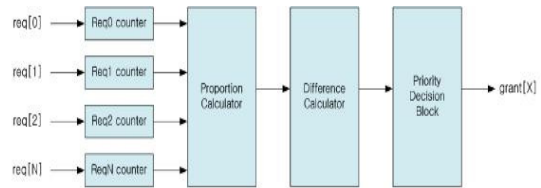


그림 3. 점유율 고려 버스중재방식 블록도
Fig. 3 Block diagram of bandwidth-award bus arbitration.

우선순위 결정부(Priority Decision)는 비교부로부터 제공되는 차이 값의 크기에 따라 각 마스터들의 우선순위를 결정하여 버스중재부에 제공한다. 이때, 우선순위 결정부는 비교부로부터 제공되는 차이 값이 큰 순으로 각 마스터들의 우선순위를 결정하게 된다. 만약, 차이 값이 동일할 경우에는 미리 설정된 마스터의 종류에 따라

우선순위를 결정하게 된다. 이렇게 결정된 각 마스터들의 우선순위는 다음 사이클에 각 마스터의 버스 사용 요청시에 적용하게 된다.

버스중재부(Arbitration Block)는 우선순위 결정부로부터 제공되는 각 마스터들의 우선순위에 따라 버스 사용 권한 신호($grant[x]$)를 생성하여 해당 마스터에 제공한다. 이때, 한 개의 마스터만이 버스 사용을 요청할 경우에는 우선순위와 상관없이 버스 사용을 요청한 마스터에 버스 사용 권한을 부여하고, 두 개 이상의 마스터가 동시에 버스 사용을 요청할 경우에는 우선순위 결정부로부터 제공되는 각 마스터들의 우선순위에 따라 마스터들의 버스 사용 권한을 부여한다.

IV. Throughput 비교

제안하는 버스중재방식의 성능을 파악하기 위해 범용적으로 사용되는 IEEE 802.11 네트워크 SoC를 이용하여 성능을 분석하였다. 성능측정을 위해 성능과 무관한 주변블록을 제거하고 그림 4처럼 단순화하였다.[9]

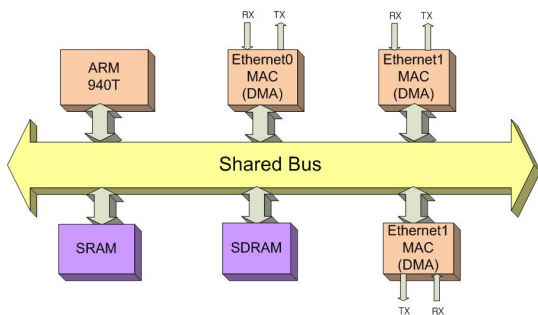


그림 4. 응용환경
Fig. 4 Application environment.

Ethernet MAC의 성능을 측정하기 위해서는 공용버스의 성능과 외부 TX/RX 전송성능을 동시에 고려해야 하지만 주성능하락의 원인이 되는 공용버스 성능만 고려하였다. 그리고 ARM940T 프로세서는 I/D 캐쉬를 동작시킬 경우 성능이 우수하므로 I/D 캐쉬 ON 상태를 가정하여 시뮬레이션을 수행하였다. ARM940T의 경우 I/D 캐쉬 ON 상태의 경우 데이터 사이즈는 32Bit이며 버스트 크기가 8로 고정되어 있다.

본 시뮬레이션에서는 고성능 데이터 전송을 위해 Ethernet MAC의 데이터 사이즈와 버스트 크기를 각각 32Bit와 8로 설정하였으며, 모든 마스터의 idle 사이클의 평균값을 랜덤함수를 적용한 5로 설정하여 공용버스의 버스 트래픽이 많게 하였다.

최대 성능을 구현하기 위해, 전체 시스템을 관장하는 ARM940T의 버스 점유율은 40%를 목표로 하였으며, 동일한 기능을 하는 3개의 Ethernet MAC의 버스 점유율은 모두 20%를 목표로 하였다. 이를 위해 TDMA 중재방식의 경우, 슬롯수를 ARM940T와 Ethernet MAC에 각각 4, 2, 2, 2로 설정하였으며, Lottery 중재방식의 경우에는 버스요청확률을 각각 40%, 20%, 20%, 20%로 설정하였다. 마지막으로 본 연구에서 제안하는 점유율 고려 중재방식에서는 버스 점유율 목표를 각각 40%, 20%, 20%, 20%로 설정하였다.

$$Performance [bit/s] = \frac{N_{trans} \cdot N_{burst} \cdot N_{bit}}{T} \quad (2)$$

마스터의 성능은 식 (2)와 같이 표현할 수 있는데, 여기서 N_{trans} 은 총 데이터 전송 개수, N_{burst} 는 버스트 크기, N_{bit} 는 데이터 비트수, T 는 총 전송시간을 의미한다.

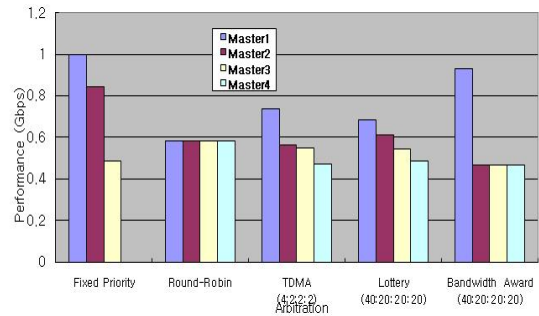


그림 5. 버스중재방식에 따른 Throughput 비교
Fig. 5 Throughput comparison due to arbitration methods.

그림 4의 응용환경에 대한 시뮬레이션 결과가 그림 5에 나타나 있다. Fixed Priority 방식은 마스터별 성능 편차가 크며, 마스터4의 경우 우선순위가 낮아서 전송이 거의 이루어지지 않았다는 것을 확인할 수 있다.

Round Robin 방식은 마스터 점유율이 균등하므로, 모든 마스터의 성능이 약 0.55Gbps로 ARM940T 프로세서에 버스점유율을 다른 마스터의 2배로 할당하려는 목표에 부합하지 않는다.

TDMA 방식과 Lottery 방식은 설정한 슬롯수와 확률에 따라 성능이 나타날 것을 기대하였지만, 그 결과값은 2nd 중재현상 때문에 시뮬레이션 전에 설정한 값과 일치하지 않았다.[8]

본 연구에서 제안하는 점유율 고려 중재방식에서는 프로세서 목표로 설정한 버스 점유율 40%, 기타 마스터의 목표 버스 점유율 20%에 대해서 일치하는 우수한 시뮬레이션 결과값을 얻을 수 있었다.

V. 결 론

본 논문에서는 점유율을 고려한 중재방식을 제안하고, 기존의 중재방식들과 비교하여 성능을 분석하였다. 점유율을 고려한 중재방식은 각 마스터의 버스 점유율에 따라 우선순위를 결정하여 버스 사용을 중재함으로써 마스터 각각의 버스 점유율을 사용자가 직접 설정하여 제어할 수 있었으며, 각 마스터의 데이터 전송을 효율적으로 관리할 수 있었다. 또한, Throughput 성능측면에서도 기존의 중재방식보다 우수한 특성을 나타내어 새로운 버스중재 방식으로 응용될 수 있음을 확인하였다.

참고문헌

[1] R. Lu and C.-K. Koh, "SAMBA-Bus: A High Performance Bus Architecture for System-on-Chips", IEEE Trans. on VLSI Systems, vol. 15, no. 1, pp.69-79, 2007.

[2] Sonics, Inc., Mountain View, CA, "Silicon micronetworks technical overview", 2002.

[3] AMBA TM Specification(AHB) (Rev 2.0), ARM Ltd, May 1999.

[4] L. N. Bhuyan, "Analysis of interconnection networks with different arbiter designs", J.Parallel Distrib. Comput., vol.4, no.4, pp.384-403, 1987.

[5] J. G. Delgado-Frias and R. Diaz, "A VLSI selfcompacting buffer for DAMQ communication switches", in Proc. IEEE 8th Great Lakes Symp. VLSI, pp.128-133, Feb. 1998.

[6] A. Bystrov, D.J.Kinniment and A. Yakovlev, "Priority Arbiters", in Proc. IEEE 6th internation Symp. ASYNC, pp.128-137, April. 2000.

[7] Y. Xu, L. Li, Ming-lun Gao, B.Zhand, Zhao-yu Jiand, Gao-ming Du, W. Zhang, "An Adaptive Dynamic Arbiter for Multi-Processor SoC", Solid-State and Integrated Circuit Technology International Conf., pp.1993-1996, 2006.

[8] K. Lahiri, A. Raghunathan, and G. Lakshminarayana, "The LOTTERYBUS On-Chip Communication Architecture", IEEE Trans. VLSI Systems, vol.14, no.6, pp.596-608 2006.

[9] http://www.samsung.com/global/business/semiconductor/productInfo.do?fmly_id=234&partnum=S3C2510A

저자소개

이국표(Kookpyo Lee)

한국해양정보통신학회논문지 제12권 제3호 참조

고시영(Siyong Koh)

한국해양정보통신학회논문지 제12권 제3호 참조