
계층적 타일기반 탐색기법과 SIMD 구조가 적용된 스캔변환회로의 FPGA 구현

하창수* · 최병윤**

FPGA Implementation of Scan Conversion Unit using SIMD Architecture and
Hierarchical Tile-based Traversing Method

Chang-soo Ha* · Byeong-yoon Choi**

요 약

본 논문에서는 3차원 그래픽스 시스템에 적용 가능한 고성능 스캔변환회로를 설계하고 FPGA로 구현한 내용을 기술한다. 스캔변환회로의 성능을 높이기 위하여 본 논문에서는 계층적 타일기반 탐색기법과 SIMD 구조를 적용한 스캔변환회로 구조를 제안한다. 제안한 스캔변환회로는 Xilinx Vertex4 LX100 FPGA 디바이스에서 약 124Mhz로 동작 가능하며, 실제 연산결과와 올바른 출력을 확인하기 위해 셰이더, 텍스처 매핑회로 그리고 240x320 컬러 TFT-LCD의 컨트롤러를 설계하여 통합하였다. FPGA 상에 구현된 스캔변환회로는 약 311Mpixels/sec의 픽셀 생성을 가지므로 데스크 탑 PC용 3차원 그래픽스 시스템뿐만 아니라 고성능을 요구하는 모바일 3차원 그래픽스 시스템에도 적용 가능하다.

ABSTRACT

In this paper, we present research results of developing high performance scan conversion unit and implementing it on FPGA chip. To increase performance of scan conversion unit, we propose an architecture of scan converter that is a SIMD architecture and uses tile-based traversing method. The proposed scan conversion unit can operate about 124Mhz clock frequency on Xilinx Vertex4 LX100 device. To verify the scan conversion unit, we also develop shader unit, texture mapping unit and 240x320 color TFT-LCD controller to display outputs of the scan conversion unit on TFT-LCD. Because the scan conversion unit implemented on FPGA has 311Mpixels/sec pixel rate, it is applicable to desktop pc's 3d graphics system as well as mobile 3d graphics system needing high pixel rates.

키워드

스캔변환회로, 계층적 타일기반 탐색기법, SIMD, FPGA

Key word

Scan conversion unit, Hierarchical tile-based traversing method, SIMD, FPGA

* 동의대학교 컴퓨터공학과 박사과정

** 동의대학교 컴퓨터공학과 교수 (교신저자, bychoi@deu.ac.kr)

접수일자 : 2010. 05. 15

심사완료일자 : 2010. 06. 24

I. 서 론

3차원 컴퓨터 그래픽스 분야는 가상현실, 의료 영상, 항공 시뮬레이션 분야뿐만 아니라 영화 산업과 모바일 장치에서의 활용 등 우리의 일상생활에 깊이 스며들고 있다. 특히 멀티미디어 통신 서비스와 반도체 기술의 발달로 모바일 장치의 기능이 다양화 되고 많은 그래픽 연산을 처리함에 따라 고성능의 실시간 그래픽 처리를 필요로 하고 있다[1].

특히 3차원 그래픽스는 처리해야 할 연산이 많기 때문에 실시간으로 그래픽스 연산을 수행하기 위해서는 호스트 프로세서에서 소프트웨어로 처리하기보다 그래픽스 연산처리 전용의 하드웨어 가속기가 필요하다. 3차원 그래픽스 시스템은 크게 기하연산 부분과 래스터연산 부분으로 나눌 수 있으며, 스캔변환회로는 기하연산이 완료된 삼각형 정점정보를 받아 화면 좌표와 그 화면 좌표에 해당하는 픽셀의 속성 값을 생성하는 역할을 담당한다. 스캔변환회로는 전통적인 고정기능 그래픽스 시스템과 프로그램 가능한 그래픽 시스템 모두에서 사용되는 중요한 기능으로써 상대적으로 고속으로 처리가 가능한 기하연산과 달리 많은 연산량 때문에 컴퓨터 그래픽스 시스템의 병목 현상을 야기하여 왔다[2,3,4].

본 논문에서는 위 문제를 해결하기 위해 타일기반의 SIMD 구조를 갖는 고성능 스캔변환회로의 구조를 제안하고, 그에 따라 설계된 스캔변환회로를 FPGA로 구현하여 올바른 동작을 확인한 내용을 기술한다.

본 논문의 나머지 부분은 다음과 같은 내용으로 구성된다. 제 2장에서는 현재 3차원 그래픽스 시스템에 적합한 스캔변환회로의 성능조건을 기술하고 제 3장에서는 고성능 스캔변환회로의 구조를 제안하고 하드웨어로 설계한 내용을 기술하였다. 제 4장에서는 설계한 스캔변환회로에 대한 올바른 동작 검증과 성능 분석을 기술하고, 마지막으로 결론을 맺었다.

II. 스캔변환회로의 성능조건

3차원 그래픽스의 기하연산 단계에서는 그래픽 프리미티브가 객체 좌표에서 화면 좌표로 변환되는데 이 때

많은 부동소수점 연산이 필요하다.

일반적으로 하나의 영상은 평균 10,000개의 삼각형으로 구성되고, 각각의 삼각형은 평균 100개의 픽셀로 이루어진다[5,6]. 이 때 초당 30프레임을 기준으로 각 삼각형이 3개의 정점을 갖는다고 가정하면, 실시간 동작 특성을 얻기 위해서 약 40 MFLOPS의 부동소수점 연산 성능이 필요하다[7]. 이 연산성능은 현재의 전용 그래픽 처리장치에서 만족하고 있으며 따라서 기하연산은 3차원 그래픽스 연산에서 성능에 제약을 가하는 부분이 아니다. 그러나 래스터연산 단계에서는 앞에서 언급한 영상 조건을 처리하기 위해 프레임당 약 백만 개 이상의 픽셀이 처리되어야 한다. 다시 말해 1초에 30개 이상의 프레임이 처리된다고 가정하면 3천만 개 이상의 픽셀이 처리되어야 한다. 따라서 실시간 연산을 수행하기 위해 스캔변환회로는 하나의 픽셀을 생성하는데 걸리는 시간이 최대 33.3ns보다 작아야 한다.

III. 고성능 스캔변환회로의 구조 제안 및 하드웨어 설계

본 장에서는 고성능의 스캔변환회로를 위한 구조를 제안하고 하드웨어로 구현한 내용을 기술한다.

1. 계층적 타일기반 탐색기법

삼각형 내부의 픽셀을 탐색하기 위한 방법은 크게 스캔라인 방식과 타일기반 탐색방식으로 나뉜다. 스캔라인 방식은 알고리즘이 간단하고 구현이 쉬운 장점이 있지만 병렬처리가 어렵기 때문에, 고성능 스캔변환회로를 구현하기 위해서 병렬처리가 용이한 타일기반 탐색방식을 사용하였다. 타일기반 탐색방식은 3개의 반평면경계함수를 사용하여 현재 탐색 중인 타일내의 픽셀이 삼각형의 내부에 포함되는지 여부를 판단하게 된다. 이 때, 타일이 삼각형의 일부만 포함할 경우 그림 1과 같이 비효율적인 상황이 발생할 수 있으며, 이 문제를 해결하기 위해 계층적 타일기반 탐색방식을 채택하였다[8,9].

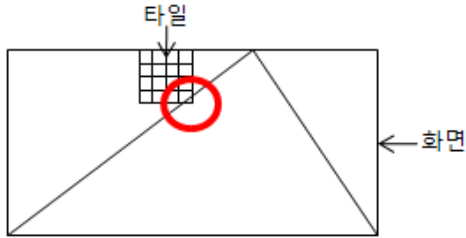


그림 1. 타일기반 탐색에서 발생하는 비효율적인 상황
Fig. 1 Inefficient case on tile-based traverse

계층적 타일기반 탐색은 그림 2와 같이 현재의 타일을 효율적으로 탐색할 수 있는 충분한 크기가 될 때까지 여러 개의 서브 타일로 분할하여 탐색하는 방법이다. 각 서브 타일은 자신이 삼각형을 포함하는지 여부를 판단하여 포함하지 않는다면 다음 서브 타일로 제어를 넘겨주고 삼각형을 포함한다면 더 작은 서브 타일로 분할하거나 자신이 가장 작은 서브 타일이라면 탐색을 수행한다.

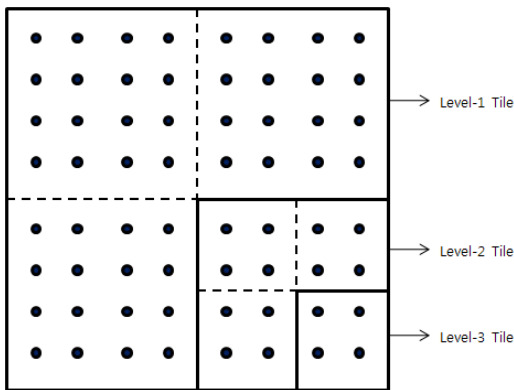


그림 2. 계층적 타일 분할의 예
Fig. 2 An example of hierarchical tile subdivision

본 연구에서는 4x4 크기의 타일을 최종 서브 타일로 설정하고 계층적 타일기반 탐색기법을 적용하였으며 제안하는 계층적 타일기반 탐색기법을 적용한 예를 그림 3에 나타내었다.

그림 3의 첫 번째에 나타난 Level-1 타일에서 삼각형의 한 변이 (7,7) 위치를 교차하고 있기 때문에 이 타일은 서브 타일로 분할된다. 그림 3의 두 번째에서 다섯 번째

까지의 그림에 나타난 Level-2 서브 타일을 각각 검사하여 네 번째 서브 타일만이 더 작은 서브 타일로 분할되도록 선택된다. 나머지 Level-2 서브 타일들은 삼각형을 포함하지 않기 때문에 버려진다. 그림 3의 여섯 번째에 나타난 Level-3의 서브 타일은 크기가 4x4로서 탐색을 수행하도록 설정되었기 때문에 타일에 포함되는 모든 픽셀을 방문하여 삼각형에 포함되는 픽셀의 좌표를 생성하게 된다. 그림 3에 나타난 모든 타일 속에서 바둑판 모양으로 채워진 픽셀은 반평면경계함수의 연산이 필요하여 실제 연산이 수행되는 것을 나타내며, 회색으로 채워진 픽셀은 반평면경계함수의 연산이 필요하지만 이전 단계에서 이미 연산한 결과를 가지고 있으므로 그 값을 재활용 한 것을 나타낸다. 또한 반평면경계함수 연산에서 상수 계산 결과를 재활용하기 위해 서브 타일의 탐색 순서는 좌상단 → 우상단 → 우하단 → 좌하단의 순서로 진행된다. 이렇게 하면 반평면경계함수의 상수를 계산하기 위한 곱셈 연산을 절반으로 줄일 수 있다.

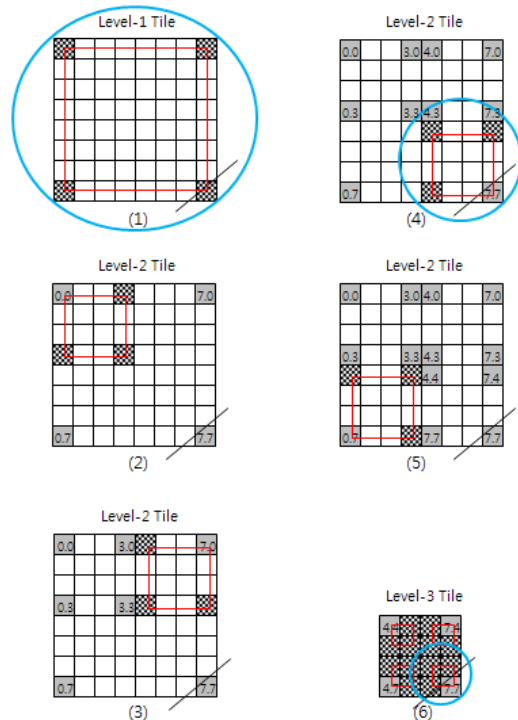


그림 3. 제안하는 계층적 타일기반 탐색기법의 예
Fig. 3 An example of the proposed hierarchical tile-based traversing

2. Level-1 타일 크기의 선택

Level-1 타일의 크기에 따라 계층적 타일 분할의 횟수가 달라지기 때문에 스캔변환회로가 최적의 성능을 낼 수 있는 Level-1 타일의 크기가 선택되어야 한다. 본 연구에서는 8x8, 16x16, 32x32, 64x64 크기의 타일을 사용하였을 경우 소요되는 덧셈과 곱셈의 횟수를 누적하여 전체 연산횟수를 계산하는 실험을 통해 8x8 크기의 타일이 가장 효율적인 것을 알 수 있었다. 표1은 실험 결과를 정리한 것을 나타내고 있으며 각 실험마다 연산의 횟수가 가장 작은 부분의 배경을 진회색으로 표시하였다. 표의 항에 기록된 값은 각각 10가지 경우에 대한 실험 결과의 평균치를 나타내며, 값이 동일 할 경우 타일의 크기가 작은 것에 점수를 부여하였다. 그 이유는 타일의 크기가 커질수록 서브 타일로 분할되는 횟수 또한 증가되기 때문이다.

표 1. Level-1 타일의 크기를 결정하기 위한 실험 결과 표
Table. 1 Result of experiments for deciding level-1 tile Size

Polygon type	Case	Adding Count				Multiplying Count				Shape
		8x8	16x16	32x32	64x64	8x8	16x16	32x32	64x64	
Big Large (Width > 200 or Height > 200)	Case 1	70404	44580	39108	38916	28752	15840	13104	16008	▽
	Case 2	35076	29220	29220	29988	12288	9360	9360	9744	▽
	Case 3	15504	14832	16656	19440	4752	4416	5088	6000	▽
	Case 4	12144	12912	14412	14700	3072	3456	4176	4320	△
	Case 5	80196	52548	47940	46884	32208	18384	16680	15552	△
Small Thin/Id th < 20 and Height < 20	Case 6	2772	2772	3060	3252	816	816	960	1056	▽
	Case 7	1812	2100	2388	2484	576	720	864	912	▽
	Case 8	1524	2064	3120	3216	432	672	1200	1248	▽
	Case 9	1152	1440	1920	2400	336	480	720	960	△
	Case 10	2328	2520	2808	3000	624	720	864	960	△

최저 연산횟수를 기록한 타일크기의 누적 점수 = 8x8 : 12, 16x16 : 4, 32x32 : 1, 64x64 : 3

표1의 결과를 살펴보면, 각 경우 별 덧셈과 곱셈의 연산횟수가 가장 작은 타일의 크기에 1점을 부여할 때 8x8은 12점, 16x16은 4점, 32x32는 1점, 64x64는 3점으로 8x8 크기의 타일이 가장 높은 점수를 획득하였다.

3. 스캔변환회로의 SIMD 구조 제안

본 연구에서는 계층적 타일기반 탐색기법으로 동작하는 스캔변환회로의 성능을 향상시키기 위해 그림 4와 같이 네 개의 스캔변환회로가 병렬로 동작하는 SIMD 구조를 적용하였다. 메인 제어 회로가 네 개의 스캔변환회로에 명령을 내리면 각 스캔변환회로는 자신에게 할당된 타일을 입력받아 스캔변환연산을 수행하게 된다. 각

각의 스캔변환회로는 입력받은 타일에 대해 본 논문에서 제시한 계층적 타일기반 탐색기법을 사용하여 삼각형 내의 픽셀을 탐색하게 된다. 타일에 대한 연산이 가장 늦게 끝나는 스캔변환회로를 기준으로 다음 타일로 이동하며 경계 상자의 마지막에 도달할 때 까지 이 연산이 반복된다.

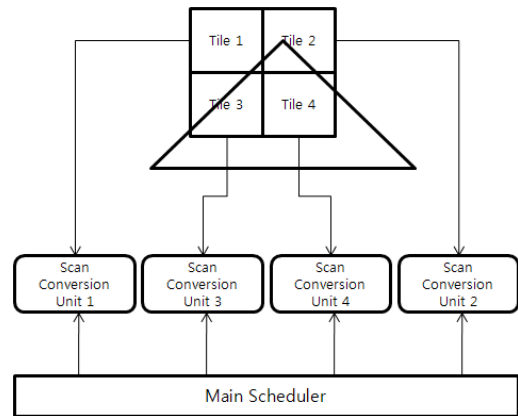


그림 4. 제안하는 스캔변환회로의 SIMD 구조
Fig. 4 The proposed SIMD architecture of scan conversion unit

그림 5는 그림 4에 포함 된 Scan Conversion Unit의 내부 구조를 나타낸다.

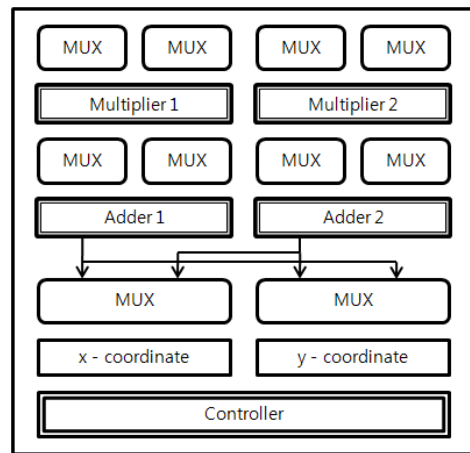


그림 5. Scan conversion unit
Fig. 5 Scan conversion unit

두 개의 곱셈기와 두 개의 덧셈기가 사용되었으며 타일을 입력으로 받아 삼각형에 포함되는 유효한 x, y좌표 정보를 출력하게 된다. 설계한 곱셈기와 덧셈기는 각각 Wallace Tree구조를 갖는 Modified Booth 곱셈기와 Carry Look-Ahead 덧셈기이다.

그림 6는 각 스캔변환회로가 구성되는 방식을 나타내고 있다. 하나의 스캔변환회로는 Tile Breaker 8x8, Tile Breaker 4x4, Pixel Finder 및 Pixel Location Buffer로 구성된다. Tile Breaker 8x8 유닛은 현재의 타일 속에 삼각형이 포함되는지를 판단하는 기능과 만약 타일 속에 삼각형이 포함된다면 현재의 타일을 4x4의 서브 타일로 분할하는 기능을 갖는다. Tile Breaker 4x4 유닛은 Tile Breaker 8x8 유닛과 동일한 기능을 수행하지만 한 가지 다른 점은 현재의 타일에 삼각형이 포함되는 경우 서브 타일로 분할하는 것이 아니라 Pixel Finder 유닛을 호출한다는 것이다. Pixel Finder 유닛은 4x4 크기의 타일 전체를 방문하여 각 픽셀이 삼각형 내부에 속할 경우 좌표 정보를 생성하게 된다.

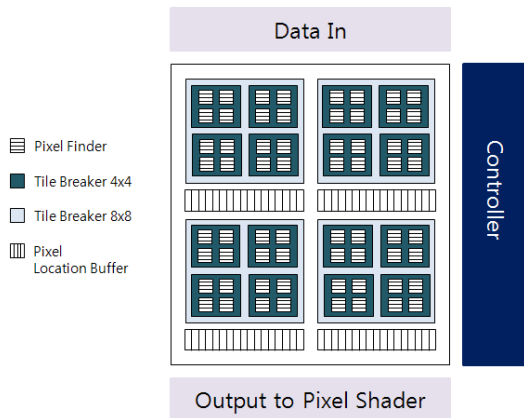


그림 6. 제안하는 스캔변환회로의 내부 구조
Fig. 6 Inner structure of the proposed scan conversion unit

이 때 생성된 좌표 정보는 Pixel Location Buffer에 담기게 되고 이 버퍼의 내용이 뒤따르는 연산 유닛들의 입력 값으로 사용된다. 그림 7에 스캔변환회로의 연산과정을 흐름도로 나타내었다.

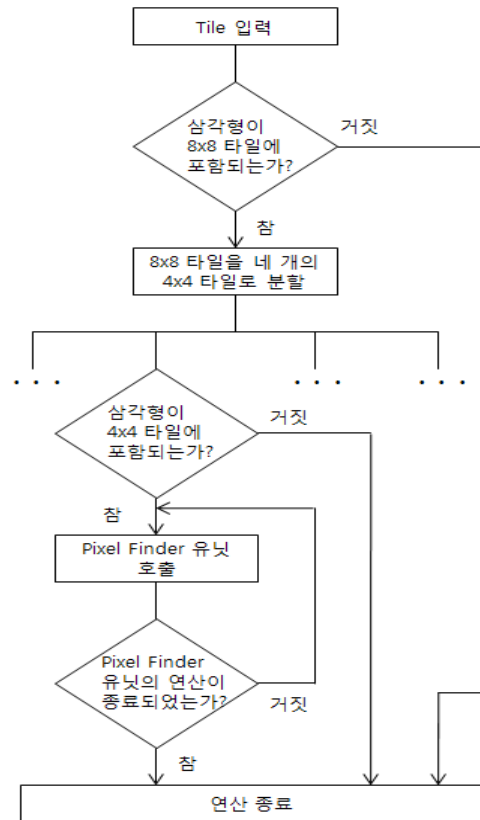


그림 7. 스캔변환회로의 연산과정 흐름도
Fig. 7 Flow chart of operating sequence of scan conversion unit

4. 스캔변환회로의 하드웨어 설계

본 연구에서 개발한 스캔변환회로의 전체 블록도를 그림 8에 나타내었다. 스캔변환회로의 동작순서는 크게 6단계로 나누어지며 다음과 같다.

우선 첫 번째로 삼각형 셋 업 연산을 수행하고 두 번째에는 타일이 이동하게 될 경계 박스를 생성한다. 세 번째로는 계층적 타일기반 탐색기법을 사용하여 삼각형 내부에 포함된 픽셀을 탐색하고, 네 번째에는 탐색된 픽셀 좌표의 색상 값, 깊이 값, 텍스처 좌표 값과 같은 속성 값들을 보간한다. 다섯 번째에는 텍스처 매핑 명령이 활성화 되어 있을 경우 주어진 텍스처를 사용하여 텍스처 매핑 연산을 수행한다. 마지막으로 프레임 버퍼를 갱신하면 연산은 종료된다.

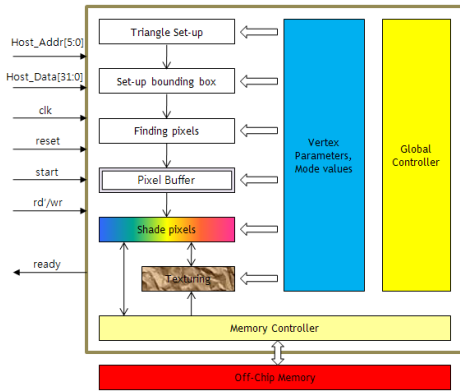


그림 8. 스캔변환회로의 전체 블록도
Fig. 8 Block diagram of scan conversion unit

그림 8에 나타낸 각 연산 유닛들을 Verilog-HDL을 사용하여 기술하고 ModelSim 시뮬레이터를 통해 시뮬레이션을 수행하였다. 그림 9 ~ 그림 11은 주요 연산 유닛들의 시뮬레이션 결과를 나타낸다.

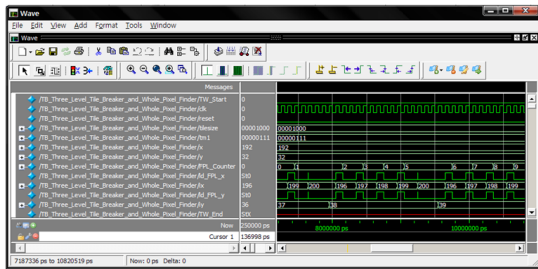


그림 9. Tile Breaker 유닛의 시뮬레이션 결과
Fig. 9 Simulation result of tile breaker unit

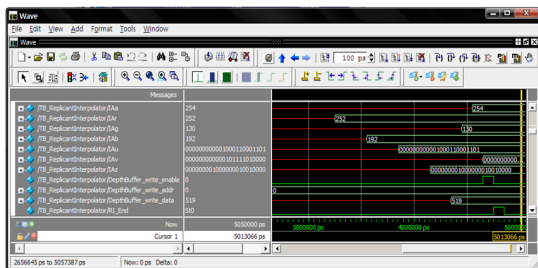


그림 10. 속성 보간 유닛의 시뮬레이션 결과
Fig. 10 Simulation result of attributes interpolation unit

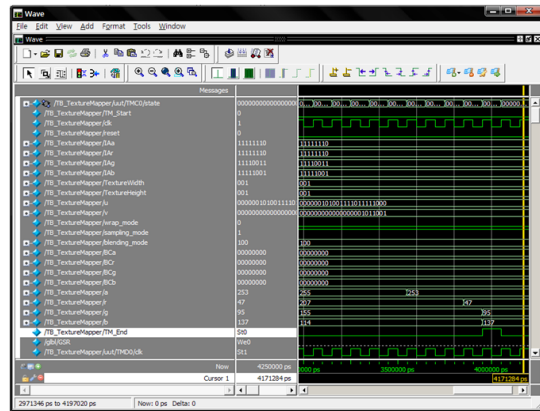


그림 11. 텍스처 매핑 유닛의 시뮬레이션 결과
Fig. 11 Simulation result of texture mapping unit

IV. 검증 및 성능분석

설계한 스캔변환회로의 연산 결과가 올바른지를 확인하기 위해 C# 언어를 사용하여 소프트웨어 참조 모델을 만들고 시뮬레이션상의 출력 결과와 소프트웨어 참조 모델의 출력 결과를 비교 하였다. 하드웨어로 설계한 스캔변환회로와 소프트웨어 참조 모델에서의 좌표 계산에서 소수점 이하 정밀도 차이 때문에 최대 ± 0.5 의 오차가 존재하였으며 오차가 존재한 상태에서의 반올림 연산으로 인하여 실제 출력 좌표 데이터는 ± 1 의 오차가 발생하였다. 보간 유닛과 텍스처 매핑 유닛에서는 오차가 발생하지 않았다. 그림 12에 소프트웨어 참조 모델의 수행화면을 나타내었다.

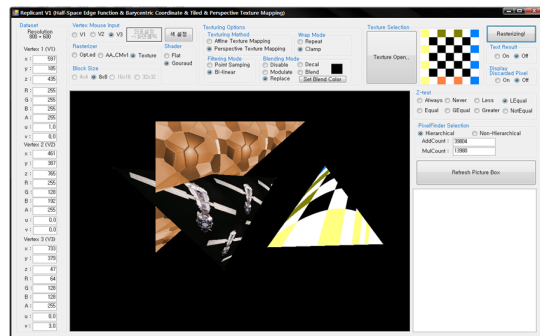


그림 12. 검증을 위한 소프트웨어 참조 모델
Fig. 12 Software reference model

연산 결과를 TFT-LCD를 통해 확인하기 위해 Verilog-HDL로 설계한 스캔변환회로와 240x320 컬러 TFT-LCD 컨트롤러를 통합하여 Xilinx Vertex4 LX100 FPGA 디바이스에 구현하였다. 표 2에 검증을 위한 통합 하드웨어의 합성 결과를 나타내었으며 그림 13에 TFT-LCD를 통해 출력된 스캔변환회로의 동작 결과를 나타내었다.

표 2. 통합 구현된 회로의 합성결과
Table. 2 Synthesis result of integrated rasterizer

Slices	40111/49152(81%)
LUTs	75468/98304(76%)
RAMBs	147/240(61%)
F/F	19939/98304(20%)
Freq.	124.747Mhz

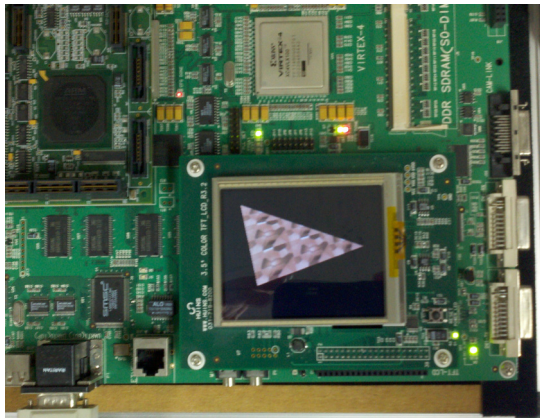


그림 13. 구현된 래스터라이저의 동작화면
Fig. 13 Result of rasterizer on FPGA board

표 2에 나타난 합성결과에는 TFT-LCD 컨트롤러뿐만 아니라 TFT-LCD 출력을 위한 프레임 버퍼와 텍스처 메모리 그리고 Pixel Location Buffer를 블록 램과 블록 롬으로 생성한 결과가 포함되어 있다.

제한한 스캔변환회로는 4개의 타일에 대하여 병렬로 탐색이 이루어짐에 따라 클럭당 평균 2.5개의 픽셀을 생성하며, 따라서 FPGA상에 구현된 스캔변환회로는 식1과 같이 약 311Mpixels/sec의 성능을 갖는다.

$$\begin{aligned} \text{성능} &= \frac{\text{pixels/sec} * \text{frequency}}{\text{sec}} && \text{(식1)} \\ &= 2.5\text{pixels} * 124.747\text{Mhz/sec} \\ &= \text{약} 311\text{Mpixels/sec} \end{aligned}$$

V. 결 론

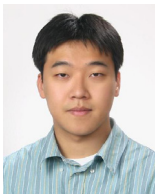
본 논문에서는 3차원 그래픽스 시스템에 적용 가능한 고성능 스캔변환회로를 설계하고 FPGA로 구현한 내용을 기술하였다. 스캔변환회로의 성능을 높이기 위하여 계층적 타일기반 기법과 SIMD 구조를 적용한 스캔변환회로 구조를 제안하였고, 제안한 스캔변환회로는 Xilinx Vertex4 LX100 FPGA 디바이스에서 약 124Mhz로 동작 가능하며, FPGA상에 구현된 스캔변환회로는 약 311Mpixels/sec의 픽셀 생성율을 가지므로 데스크 탑 PC 용 3차원 그래픽스 시스템뿐만 아니라 고성능을 요구하는 모바일 3차원 그래픽스 시스템에도 적용할 수 있을 것으로 판단된다.

참고문헌

- [1] Masatoshi Kameyama, Yoshiyuki Kato, and Hitoshi Fujimoto, "3D Graphics LSI Core for Mobile Phone "Z3D" ," Graphics Hardware 2003, pp.60-67, 2003.
- [2] Capin T, Pulli K, Akenine-Moller T, "The State of the Art in Mobile Graphics Research," Computer Graphics and Applications, IEEE, Vol 28, Issue 4, pp74-84, 2008.
- [3] Akenine-Moller T, Strom J, "Graphics Processing Units for Handhelds," Proceedings of the IEEE, Vol 96, Issue 5, pp779-789, 2008.
- [4] Chih-Hao Sun, You-Ming Tsao, Ka-Hang Lok, Shao-Yi Chien, "Universal Rasterizer with Edge Equations and Tile-Scan Triangle Traversal Algorithm for Graphics Processing Units," IEEE International Conference on ICME 2009, 2009.
- [5] J.D. Foley, A. V. Dam, S. K. Feiner and J. F. Hughes, Computer Graphics : Principles and Practice, 2nd

- edition, Addison_wesley, Chapter 18, 1997.
- [6] Huang, Han-Uei, Design of a VLSI scan conversion processor for high performance 3-D graphics systems, Iowa State University, Ph.D thesis, 1988.
- [7] Cai Mike, Garritsen Frido, Chen Ming, "Hierarchical tile-based rasterization algorithm," European Patent Application, App. Num. 07119695.0. 2008.
- [8] Ned Greene, "Hierarchical Polygon Tiling with Coverage Masks," Apple Computer, SIGGRAPH96, 1996.
- [9] Zahid S. Hussain, Timothy J. Millet, "Method and Apparatus for Rasterizing in a Hierarchical Tile Order," United States Patent, Patent No. US 7,042,460 B2. 2006.

저자소개



하창수(Chang-Soo Ha)

2003년 2월 : 동의대학교
컴퓨터공학과
2006년 2월 : 동의대학교
컴퓨터·소프트웨어
공학 석사

2006년 3월 ~ 현재 : 동의대학교 컴퓨터응용공학
박사과정

※ 관심분야 : 그래픽 프로세서 설계, 임베디드 시스템
및 SoC 설계



최병윤(Byeong-Yoon Choi)

1985년 2월 : 연세대학교
전자공학과
1992년 8월 : 연세대학교
전자공학과 공학 박사

2006년 1월 ~ 2006년 12월 : 오클랜드대학 방문 연구
교수

1993년 3월 ~ 현재 : 동의대학교 교수

※ 관심분야 : RISC 마이크로프로세서 설계, 그래픽 및
암호 알고리즘의 SoC 설계