

# 전력변환기에 대한 직류링크 커패시터의 고장진단을 위한 간단한 용량 추정 기법

논 문
59P-4-6

## A Simple Capacitance Estimation Method for Failure Diagnosis of DC Link Electrolytic Capacitor in Power Converters

손진근\* · 김동준†  
(Jin-Geun Shon · Dong-Joon Kim)

**Abstract** - Due to the large capacity and low cost, DC link electrolytic capacitors with of energy storage and voltage regulation are used for almost all types of power converter as the DC/AC inverter or DC/DC converter. Electrolytic capacitor, which is the most of the time affected by the aging effect, plays very important role for the power converter system quality and reliability. Therefore, this paper proposes a simple method to estimate the capacitance variation of an electrolytic capacitor in order to analyze the internal characteristic decrease and worn-out state of an electrolytic capacitor. Simulation results by using capacitor storage energy computation show the validity of the proposed capacitance estimation method.

**Key Words** : DC Link, Electrolytic Capacitor, DC/AC Inverter, DC/DC Converter, Capacitance Estimation.

### 1. 서 론

DC 전력을 AC로 변환하는 인버터 및 DC/DC 컨버터 등의 전력 변환기에서 직류링크부에 사용되는 커패시터는 DC 에너지의 전압 연계(link) 및 전압 평활화 그리고 충방전 에너지의 완충(buffer)용으로 주로 사용된다. 이의 직류링크 커패시터는 가격이 저렴하면서도 용량이 크고, 비교적 빠른 충/방전 특성 때문에 거의 대부분은 알루미늄 전해 커패시터가 사용된다[1].

그러나 이러한 전해 커패시터의 사용 증대는 열화 및 온도 상승 등으로 인하여 전해질(electrolyte)의 증기분출(vaporization) 등의 사고로 이어질 수 있는 심각한 문제점에 도달하게 된다[2]. 이러한 사고는 전력변환기의 전력회로를 통한 단락사고로 이어지는 매우 위험한 상황이 될 수 있으므로 이에 대한 고장진단 시스템의 설치나 사전의 내부 파라미터 검출에 따른 노후의 부품교체 등 미연의 사고방지 대책이 필요하다.

따라서 각종 전력변환기에 사용되는 직류링크 커패시터의 효율적인 유지 보수를 위하여 커패시터의 내부 파라미터 추정을 근거로 한 부품의 교체시기를 판별할 필요가 있다. 이의 추정 기법에는 사용시간의 증가에 따른 커패시터의 용량 감소를 이용하는 방법과 등가 직렬 저항(equivalent series resistor; 이하 'ESR'이라 칭함)의 상승 추정을 이용한 진단기법이 주로 사용되고 있다. 진단의 상당 부분은 ESR의 추정에 의한 고장 판별기법이 차지하지만 본 논문에서는 진단시스템의 성능확장을 위하여 커패시터의 용량 추정 기법에 대하여 간단한 추정기법을 제안하고자 한다.

전해 커패시터의 용량 추정에 관하여 본 저자[3-6]들은 주파수

분석에 의한 방법에 의한 커패시터 용량 및 ESR의 추정기법을 제시하였으나 이의 방법은 운전 중 커패시터의 맥동 전압 및 전류의 신호 검출이 어렵고, 또한 대역통과필터의 구성 및 FFT의 신호 분석 기법이 난해하다는 단점이 있다.

또한 기존의 제안된 방법[7]은 온라인으로 커패시터를 측정하는 기법을 제안하였으나 이는 칼만필터의 구현 등 복잡한 알고리즘이 필요하다는 단점이 있고, 또한 정전류 방전에 의한 용량 추정 방법[8]이 있으나 이는 정전류 제어회로의 구성이 난해하다는 단점이 존재하고, 또한 주파수 주입방법이 있으나 별도의 교류 컨버터를 구성해야 한다.

따라서 본 논문에서는 전력변환기가 정지 중에 있는 경우 별도의 LCR 메터의 계측기를 사용하지 않고 복잡한 별도의 회로 구성이 필요 없는 가격이 저렴한 방식의 커패시터 용량 추정기법을 제안하고자 한다. 이의 방법은 진단하고자 하는 전력변환기의 직류링크 커패시터를 이용하여 간단한 충방전 회로의 구성으로 오실로스코프로도 추정 가능한 방식이다. 이는 커패시터의 일정 방전시간( $T$ ) 내에서 전력 에너지의 샘플링 누적평균 기법을 이용한 방식으로 제품의 제작 시에는 간단한 구성품으로 용량을 추정할 수 있으므로 가격이 저렴하고 휴대가 가능할 수 있다는 장점이 있다. 이의 제안된 방법을 검증하기 위한 모의실험 결과는 양호하게 나타났으며, 이의 결과는 향후 전해 커패시터의 용량 추정 값이 정상 값 대비 약 25[%] 이하[9]일 경우에 수명 말기의 시작으로 판단하는 고장진단 시스템에의 응용에 이용되리라 생각된다.

### 2. 전해 커패시터의 등가회로와 고장 특성

#### 2.1 전해 커패시터의 등가회로

각종 전력변환기에서 DC 에너지의 연계 및 전압 평활용으로 많이 사용되는 직류링크 전해 커패시터는 극판의 한쪽을 전도성 재료인 전해액을 사용한다는 점이 타 커패시터와 큰 차이점이다. 특히 알루미늄 전해 커패시터의 양(+)/극판(anode foil)은 고 순도

\* 정회원 : 경원대학교 전기공학과 교수 · 공박

† 교신저자, 비회원 : (주)에스티 기술이사

E-mail : djkim2000@hanmail.net

접수일자 : 2010년 11월 4일

최종완료 : 2010년 11월 16일

의 알루미늄 박 표면에 산화피막( $Al_2O_3$ )인 유전체(dielectric)로 형성되어 있으며, 전해액과 전해지, 그리고 음극 알루미늄 박(cathode foil)으로 각각 구성되어 있다[10].

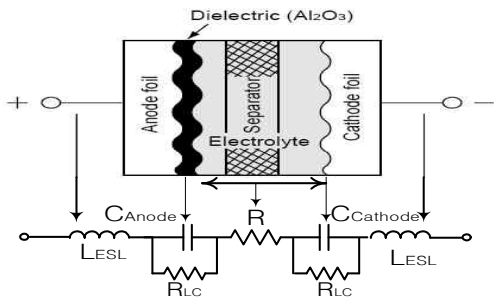


그림 1 전해 커패시터의 등가 구조  
Fig. 1 Equivalent configuration of electrolytic capacitor.

그림 1과 같은 등가구조에서의 전해 커패시터의 등가회로는 RLC직렬회로로 나타낼 수 있다. 여기서 커패시턴스 C의 생성은 양(anode & cathode) 극에서 발생되고 내부 저항 R은 전해액과 절연지의 저항으로 나타내며, C와 병렬로 구성되어 있는  $R_{LC}$ 는 전해액 누설 전류(leakage current)에 기인하는 저항이며  $L_{ESL}$ 은 등가직렬 인덕턴스를 나타낸 것이다. 이러한 구조의 RLC등가회로로부터 커패시턴스의 복소 임피던스  $Z_C$ 는 식 (1)과 같이 나타낼 수 있으며, 여기서  $w$ 는 각 주파수( $f$ )를 나타낸다.

$$Z_C = ESR + j2\pi f ESL + \frac{1}{j2\pi f C} = \sqrt{ESR^2 + (wESL - \frac{1}{wC})^2} \quad (1)$$

2.2 전해 커패시터의 고장 특성

각종 전력변환장치와 같은 비선형 부하에서 전해 커패시터는 에너지의 일시적 저장 및 전압 평활용으로 많이 사용되는데 이는 전도성 극판의 한쪽을 전도성 재료인 전해액(electrolyte)을 사용한다는 점이 다른 커패시터와는 다르다. 특히 알루미늄 전해커패시터의 양극판(anode foil)은 매우 높은 순도의 알루미늄 박 표면에 산화피막( $Al_2O_3$ )인 유전체(dielectric)로 형성되어 있으며, 전해액과 전해지(separator),

그리고 음극 알루미늄 박(cathode foil)으로 구성되어 있다. 이때 화학적 방법에 의하여 생성된 산화피막은 매우 얇은 유전체 코팅으로 정류성을 띄고 있으며, 음극에 이러한 산화피막을 채용하면 무극성 커패시터의 구조를 가진다[1,9].

그러나 이러한 전해 커패시터는 사용시간의 증가에 따라 열화가 진행되어 전해액의 분출 및 온도 상승 등으로 인하여 많은 사고를 유발하게 된다. 이러한 커패시터의 사고를 확인하기 위하여 2002년 P.Venet[3]은 미국 MIL-HDBK 217F의 표준[4]에 의하여 SMPS회로를 구성하여 전력변환장치의 구성요소별 고장 실험을 수행하였으며, 그 결과 네가지(전해 커패시터, 반도체 스위치, 인덕터, 다이오드)의 구성요소에서 전해 커패시터의 사고가 약 60[%]를 차지하게 됨을 확인하였다. 따라서 SMPS 등의 전력변환장치에서는 반도체 소자 등의 다른 구성 요소들이 수명을 보장하고 있는 대신에 상대적으로 전해 커패시터의 수명이 짧아서 시스템의 신뢰성을 매우 악화시키는 결과를 초래할 수 있다.

그림 2는 전해 커패시터의 고장 모드 및 그 요인에 대한 FTA(fault tree analysis)로 나타낸 것이다[4,9]. 여기에서 전해 커패시터의 고장 모드는 크게 단락 및 개방회로, 그리고 커패시턴스의 감소 및 ESR의 증가와 누설전류의 증가 등 전기적 성능 악화를 나눌 수 있다. 단락 및 개방회로는 주로 기계적 스트레스에 의하며 단락 시에는 산화막의 유전 파괴가 있을 수 있으나 이는 산화막의 신속한 복귀 성능 때문에 전류의 집중이 거의 일어나지 않아 단락회로의 형성은 매우 드물다.

전해 커패시터의 고장 모드의 대부분은 전기화학적 반응에 의하여 나타나게 되는데 이는 전해액의 감소 및 전해액 증기분출(vaporization), 양극과 음극에서의 커패시턴스 감소로 나타나게 되며 이의 요인으로는 온도 및 전압 그리고 맥동전류 등의 초과에 의해서 발생된다. 특히 온도의 초과는 전해액 성능과 직접 관련이 있으며 기타 맥동 전류의 증가에 의하여 온도 상승을 가중시키고 있음을 알 수 있다.

따라서 전해 커패시터의 고장 및 열화의 메커니즘은 온도 상승에 따른 전해액의 증발(dry up)이 가장 큰 요인이며, 이에 따라 정전용량의 감소 및  $\tan \delta$ (또는 ESR)의 증가를 초래한다고 할 수 있으므로 커패시턴스의 정전용량 감소가 약 40[%]이상으로 이어질 경우에는 이를 수명 말기로 판단하여 고장에 대비하게 된다[4].

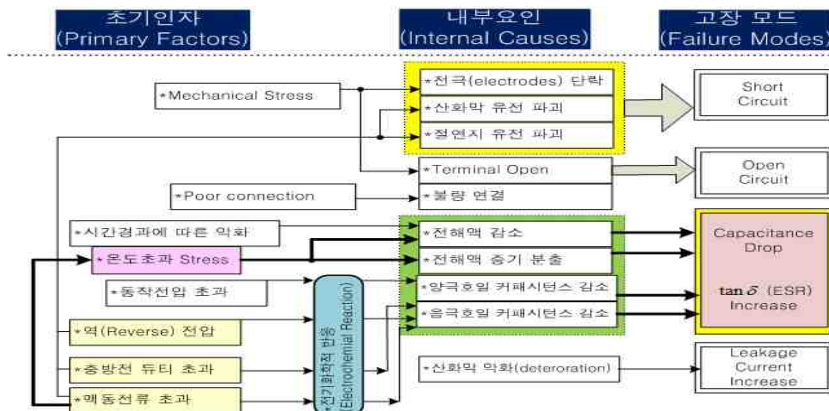


그림 2 전해 커패시터의 고장 모드 FTA  
Fig. 2 Failure mode fault tree analysis of electrolytic capacitor.

### 3. 커패시턴스의 용량 추정 기법

#### 3.1 기존의 커패시터 용량 추정기법

그림 1과 같은 등가구조의 회로에 커패시터 전체의 전압  $V_{CAP}$ 와 이때 커패시터에 흐르는 전류  $I$ 에 대한 전압 방정식은 식 (2)와 같이 표현할 수 있고, 인덕턴스 성분을 무시하면 식 (3)과 같이 간략히 나타낼 수 있다.

$$V_{CAP} = V_C + ESR \times I + ESL \times \frac{dI}{dt} \quad (2)$$

$$V_{CAP} = V_C + ESR \times I \quad (3)$$

이때 식 (3)에서 커패시터의 전압에 미분을 취한다면 이를 식 (4)로 다시 표현할 수 있고 커패시터에 흐르는 전류  $I$ 는 식 (5)와 같이 정의할 수 있으므로 이를 정리하면 최종적인 커패시터의 추정식은 식 (6)과 같이 나타낼 수 있다.

$$\frac{dV_{CAP}}{dt} = \frac{dV_C}{dt} \quad (4)$$

$$I = C \frac{dV_C}{dt} \quad (5)$$

$$\frac{dV_{CAP}}{dt} = \frac{I}{C} \quad (6)$$

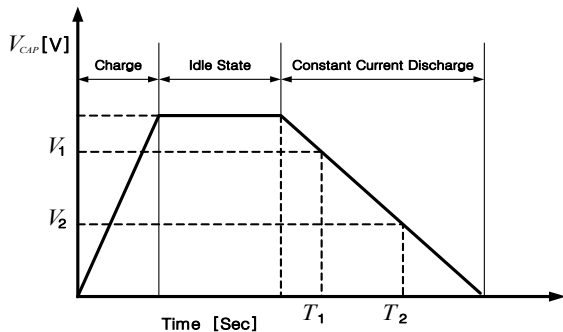


그림 3 커패시턴스 추정을 위한 방전 파형  
Fig. 3 Discharge waveform for capacitance estimation.

따라서 커패시터의 추정에 대한 식 (4)~(6)에서 커패시터의 전류가 일정하다면 커패시터의 전압  $V_{CAP}$ 와  $V_C$ 에 대한 기울기는 같다고 할 수 있다. 그러므로 커패시터의 커패시턴스는 그림 3과 같이 정전류 방전실험을 통해 산출할 수 있다. 즉,  $T = T_2 - T_1$  시간 동안 정전류  $I$ 로 방전을 할 때 전하량  $Q$  및 커패시터의 축전 전하량은 각각 식 (7),(8)과 같이 나타낼 수 있다.

$$Q = \int_0^t i dt = I \times T \quad (7)$$

$$Q = C \Delta V_{CAP} \quad (8)$$

식 (7)과 식 (8)을 각각 정리하면 커패시턴스 추정은 식 (9)과 같이 산출할 수 있으며 이는 식 (6)과 같음을 확인할 수 있다.

$$C = I \times \frac{T_2 - T_1}{V_1 - V_2} \quad (9)$$

그러나 식 (6)이나 (9)와 같이 정전류 방전의 기법에 의하여 커패시터를 추정할 수 있으나, 실제의 측정 회로에서는 정전류의 방전회로를 별도로 구성해야하는 복잡한 문제가 있다. 따라서 이의 방법을 피하기 위한 방법으로는 방전 전류가 지수 함수적으로 감소함을 감안하여 식 (10)과 같은 함수식으로 계산할 수 있으나 이의 방법 역시 회로의 시정수  $\tau$ 에 대한 지수함수 식을 계산/처리하여야 하므로 간단하지 않고 상당한 오차가 존재할 수 있다.

$$\frac{dV_{CAP}}{dt} = \frac{I}{C}(e^{-t/\tau}) \quad (10)$$

#### 3.2 제안된 커패시터 용량 추정 기법

그림 4의 회로에서와 같이 커패시터는 평상시 스위치  $S_1$ 을 온 시켜 일정전압  $V_s$ 를 충전하고 있다가  $S_1$ 을 오프시키고  $S_2$ 을 및 부하저항  $R$ 을 연결하면 방전이 시작된다. 이때의 방전 스텝전압은 그림 5와 같이 나타낼 수 있으며, 이의 하강 방전 전압  $V(t)$ 와 이때의 방전전류  $I(t)$ 를 측정하는 것에 의하여 커패시턴스를 추정할 수 있다.

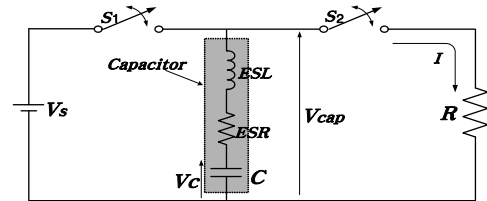


그림 4 커패시턴스 추정을 위한 회로의 구성  
Fig. 4 Configuration of capacitance estimation circuit.

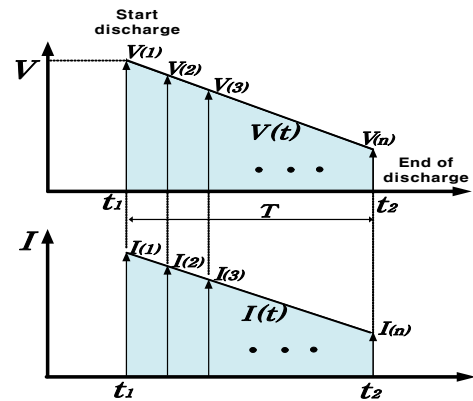


그림 5 커패시터의 방전 전압/전류 파형  
Fig. 5 Discharge voltage/current waveform of capacitor.

이때의 커패시터의 축적된 에너지  $E$ 의 관계는 식 (11)과 같이 나타낼 수 있다. 식 (11)에 근거하여 커패시터에 축적된 에너지  $E$ 는 방전구간  $T$ 시간 내에서 방전시작 시간  $t_1$  및 방전 종료시간  $t_2$ 에서의 에너지 관계로 식 (12)의 첫 번째 항으로 표현할 수 있고, 또한 이의 에너지는 전압  $V(t)$ 와 전류  $I(t)$  곱에 대한 시간함수를 곱하여 에너지를 구하는 것과 마찬가지로 표현할 수 있다.

$$E = \frac{1}{2} QV = \frac{1}{2} CV^2 [J] \quad (11)$$

$$E = \frac{1}{2} CV(t_1)^2 - \frac{1}{2} CV(t_2)^2 = \int_{t_1}^{t_2} V(t)I(t)dt \quad (12)$$

따라서 커패시터의 정전용량  $C[F]$ 는 식 (12)의 관계에 의하여 식(13)과 같이 정리하여 구할 수 있다.

$$C = \frac{2E}{V(t_1)^2 - V(t_2)^2} \quad (13)$$

이때의 커패시터의 에너지  $E$ 의 계산은 식 (14)와 같이 이산적(discrete) 샘플링 값  $V(n)$ 과  $I(n)$ 의 곱에 대한 누적 평균값에 방전기간  $T$ 를 곱하여 에너지를 구할 수 있고, 시정수( $\tau$ )의 조건과 샘플링 횟수  $n$ 의 증가에 의하여 계산 오차를 줄일 수 있게 된다.

$$E = \frac{\sum_{n=1}^{\infty} V(n) I(n)}{n} \times T[J] \quad (14)$$

#### 4. 모의실험 및 결과의 검증

간단한 방식의 제안된 커패시턴스 용량 추정 기법의 타당성을 검증하기 위하여 그림 6과 같이 PSIM 7.0의 시뮬레이션 툴을 사용하여 모의실험을 수행하였다. 그림 6의 알고리즘 구성과 같이 커패시터는 평상시 스위치  $S_1$ 을 소프트 온시켜 일정전압  $V_s$ 를 충전하고 있다가  $S_1$ 을 오프시키고  $S_2$  온 및 부하저항  $R$ 을 연결하면 방전이 시작된다. 이때의 방전 스텝전압과 방전전류는 각각 그림 8과 그림 9와 같이 나타나며, 이의 하강 방전 전압  $V(t)$ 와 이때의 방전전류  $I(t)$ 를 측정하는 것에 의하여 커패시턴스를 추정하였다. 모의실험은 다음과 같은 조건을 조합해서 실시되었다.

- 추정 커패시터  $C$  : 6,800[ $\mu F$ ], 4,700[ $\mu F$ ], 2,200[ $\mu F$ ]
- 측정(방전) 주기  $T$  : 60[ms], 600[ms]
- 샘플링 횟수 :  $n=2, 6$
- 부하 저항  $R$  : 50[ $\Omega$ ]

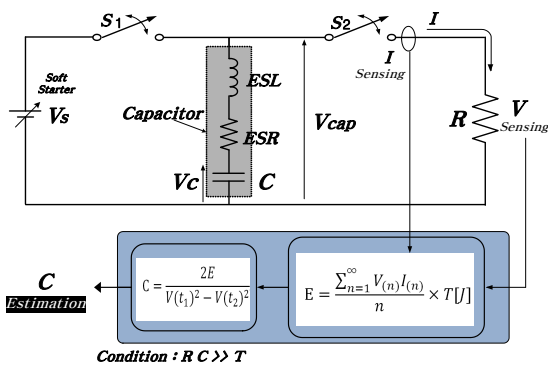


그림 6 커패시턴스 추정을 위한 모의 회로  
Fig. 6 Simulation circuit for capacitance estimation.

그림 7은 커패시턴스  $C=6,800[\mu F]$ , 측정주기  $T=60[ms]$ , 샘플링 수  $n=2$  일때의 하강 방전 전압  $V(t)$ 와 이때의 방전전류  $I(t)$ 의 모의 실험 파형이다. 표 1은 그림 7과 동일조건에서 식 (13)과 식 (14)에 의해서 제안된 커패시턴스 추정 알고리즘의 추정결과이며, 이의 결과 커패시턴스 값이 6,906[ $\mu F$ ]으로 추정되어서 실제  $C$  값과 오차율이 1.6[%]로 나타났다.

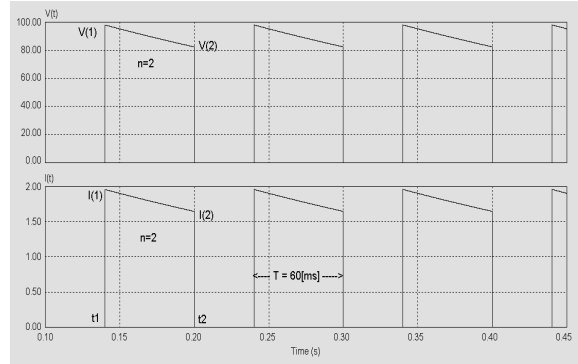


그림 7 방전기간  $T$ 에서의 부하 전압/전류 파형  
( $C=6,800[\mu F]$   $T=60[ms]$  /  $n=2$ )

Fig. 7 The waveform of load voltage and current during discharge period  $T$ .

표 1 커패시턴스 추정 결과( $C=6,800[\mu F]$  /  $T=60[ms]$  /  $n=2$ )  
Table. 1 The results of capacitance estimation.

<ul style="list-style-type: none"> <li>•시정수 <math>\tau</math> (time constant) : 3.4,</li> <li>•측정주기 <math>T</math> : 60[ms],</li> <li>•RC / T 비율 : 56.7</li> </ul>						
V(1)	98.2	I(1)	1.96	W(1)	192.5	평균전력 : 164.2[W]
V(2)	82.4	I(2)	1.65	W(2)	136.0	에너지 E : 9.9[J]
<ul style="list-style-type: none"> <li>•실제의 Capacitance : 6,800[<math>\mu F</math>]</li> <li>•추정 Capacitance : 6,906[<math>\mu F</math>]</li> <li>•오차 : 1.6[%]</li> </ul>						

그림 8은 커패시턴스  $C=6,800[\mu F]$ , 측정주기  $T=60[ms]$ , 샘플링 수  $n=6$  일때의 하강 방전 전압  $V(t)$ 와 이때의 방전전류  $I(t)$ 의 모의 실험 파형이다. 또한 표 2는 그림 8과 동일조건에서 표 1의 동일 시정수를 가지고 식 (13)과 식 (14)에 의해서 제안된 커패시턴스 추정 알고리즘의 추정결과이며, 모의 실험결과 커패시턴스 값이 6,823[ $\mu F$ ]로 추정되어서 실제  $C$  값과 오차율이 0.3[%]로 분석되었다.

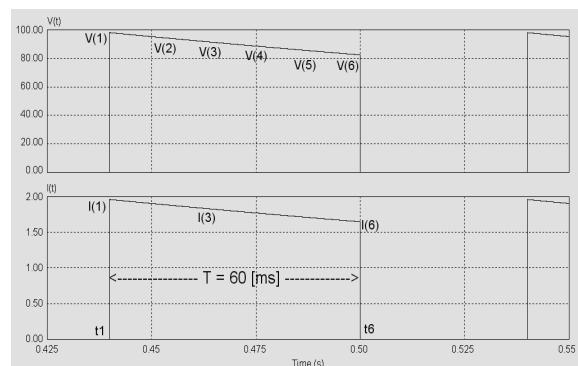


그림 8 방전기간  $T$ 에서의 부하 전압/전류 파형  
( $C=6,800[\mu F]$   $T=60[ms]$  /  $n=6$ )

Fig. 8 The waveform of load voltage and current during discharge period  $T$ .

또한 그림 9는 커패시턴스  $C=6,800[\mu F]$ , 측정주기  $T=600[ms]$ , 샘플링 수  $n=6$  일 때의 하강 방전 전압  $V(t)$ 와 이때의 방전전류  $I(t)$ 의 모의실험 파형이다. 이의 결과는 표 3에 나타난 바와 같이 추정값이  $8,716[\mu F]$ 로 추정되어서 실제  $C$  값과 오차가  $28.2[\%]$ 로 매우 크게 났으며, 이러한 이유는 다음의 설명과 RC시정수와 측정주기  $T$ 와 비율 관계에 있음을 알 수 있었다.

표 2 커패시턴스 추정 결과( $C=6,800[\mu F]$  /  $T=60[ms]$  /  $n=6$ )  
Table. 2 The results of capacitance estimation.

V(1)	98.2	I(1)	1.96	W(1)	192.5	평균 전력 :162.2[W]
V(2)	95.3	I(2)	1.90	W(2)	181.1	
V(3)	91.1	I(3)	1.82	W(3)	165.7	
V(4)	88.0	I(4)	1.75	W(4)	154.0	에너지 E : 9.7[J]
V(5)	84.9	I(5)	1.70	W(5)	144.2	
V(6)	82.4	I(6)	1.65	W(6)	136.0	

- 실제의 Capacitance :  $6,800[\mu F]$
- 추정 Capacitance :  $6,823[\mu F]$
- 오차 :  $0.3[\%]$

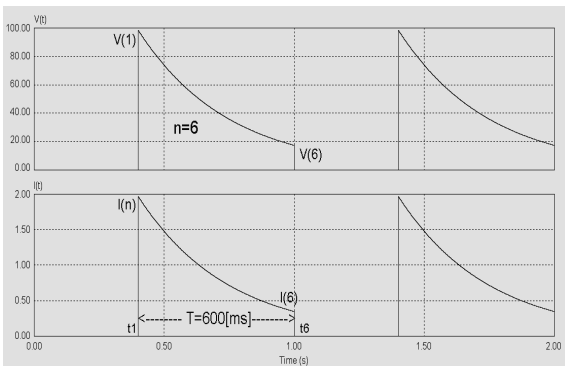


그림 9 방전구간  $T$ 에서의 부하 전압/전류 파형  
( $C=6,800[\mu F]$   $T=600[ms]$  /  $n=6$ )

Fig. 9 The waveform of load voltage and current during discharge period  $T$ .

상기의 모의실험과 같이 방전구간 즉 측정 주기  $T$  동안의 샘플링 횟수  $n$ 이 각각  $n=2$ 회와  $n=6$ 회의 차이에도 불구하고 커패시턴스 추정 오차가  $n=2$  인 경우에도  $1.6[\%]$ 로 비교적 만족스러운 결과를 얻는 것으로부터 다음과 같은 착안점을 얻을 수 있다. 커패시터의 에너지  $E$ 의 계산은 식 (14)와 같이 불연속적 샘플링 값의 누적 평균에 의하여 구하고 샘플링 횟수  $n$ 의 증가에 의하여 계산 오차를 줄일 수 있지만, 샘플링 회수  $n$ 과 함께 RC 시정수 ( $\tau$ )와 측정주기  $T$ 의 관계에서  $RC \gg T$  인 경우는 샘플링 횟수  $n$ 을 증가 시키지 않아도 커패시턴스의 추정 오차를 줄일 수 있다는 것이다.

본 본문에서 제안된 간단한 커패시턴스의 추정기법의 결과에 대하여, 커패시턴스 추정의 정확도와 측정 주기  $T$ , RC 시정수 ( $\tau$ ), 샘플링 회수  $n$ 의 관계에 대한 모의결과를 <표 3>에 종합적으로 분석해 놓았다. 커패시턴스 추정 정확도는 RC 시정수가 측정 주기  $T$  보다 충분히 큰 경우는 샘플링 회수  $n$ 에 크게 영향을

받지 않고 거의 정확히 추정 된다는 사실을 쉽게 얻을 수 있다. 실험 결과에 의하면  $RC \gg T$  를 만족시켜서  $RC/T$ 의 비율이 39 이상인 경우는 커패시턴스 추정 오차가  $4.1[\%]$  이하로 분석되었다.

표 3 다양한 조건에서의 커패시턴스의 추정 결과

Table. 3 Capacitance estimation results in a variety of conditions.

C 값 [ $\mu F$ ]	추정 C 값 [ $\mu F$ ]	RC	T[ms]	RC/T	n	(RC/T) $\times$ n	오차율
6,800	6,823	3.4	60	57	6	340	0.3%
6,800	6,906	3.4	60	57	2	113	1.6%
4,700	4,816	2.4	60	39	6	235	2.5%
2,200	2,282	1.1	60	18	6	110	3.7%
4,700	4,894	2.4	60	39	2	78	4.1%
2,200	2,454	1.1	60	18	2	37	11.5%
6,800	8,716	3.4	600	6	6	34	28.2%
4,700	6,338	2.4	600	4	6	24	34.8%
6,800	12,787	3.4	600	6	2	11	88.0%
2,200	4,534	1.1	600	2	6	11	106.1%
4,700	12,161	2.4	600	4	2	8	158.8%
2,200	12,056	1.1	600	2	2	4	448.0%

그림 10은 위의 결과를 재확인하기 위하여 그림과 같이 다양한 커패시터 값에 대하여 샘플링 수  $n=100$ 까지 증가시키고, 측정주기를  $T=600[ms]$ 인 그룹과  $T=60[ms]$ 인 그룹을 구별하여 추정결과를 비교한 그림이다. 이의 결과 역시 샘플링 수와는 크게 좌우되지 않고  $RC \gg T$ 에 근접한  $T=60[ms]$ 인 그룹에서 오차가 매우 적음을 확인하였다.

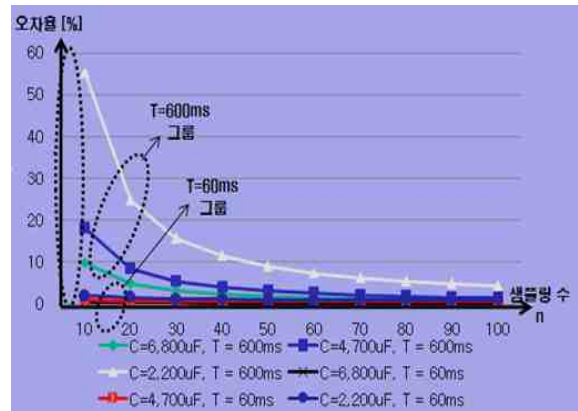


그림 10 샘플링 수 및 방전구간  $T$ 의 변화에 따른 추정오차

Fig. 10 Capacitance estimation error with the variation of sampling number and discharge period  $T$ .

### 5. 결 론

따라서 본 논문에서는 전력변환기가 정지 중에 있는 경우 별도의 LCR 메터의 계측기를 사용하지 않고 복잡한 별도의 회로 구성이 필요 없는 가격이 저렴한 방식의 커패시터 용량 추정기법을 제안하였다. 이의 방법은 진단하고자 하는 전력변환기의 직류링크 커패시터를 이용하여 간단한 충방전 회로의 구성으로 오실로스코프도 추정 가능한 방식이다. 이는 커패시터의 일정 방전시간( $T$ ) 내에서 전력 에너지의 샘플링 누적평균 기법을 이용한 방식이다.

이의 타당성 확보 및 커패시턴스 추정의 정확도를 살펴보기 위하여 본 본문에서는 측정 주기  $T$ , RC 시정수( $\tau$ ), 샘플링 회수  $n$ 의 관계에 대한 결과를 종합적으로 분석하여 보았다. 이의 결과,



커패시터의 추정 정확도를 높이기 위해서는 측정 주기  $T$  가 RC 시정수 보다 충분히 적고 샘플링 회수  $n$ 의 증가가 있어야만 정확한 추정이 가능함을 알 수 있었다. 이는  $RC \gg T$ 를 확실히 만족시키는 경우가 샘플링 회수  $n$ 을 증가시키는 경우보다 더 우선이 되어야만 커패시터 추정 정확도를 높일 수 있음을 알 수 있었다.

전반적으로 이의 제안된 방법에 대한 모의실험의 결과는 양호하게 나타나 향후, 전해 커패시터의 용량 추정 값이 정상 값 대비 약 25[%] 이하일 경우에 수명 말기의 시작으로 판단하는 고장진단 시스템 등에 요소적 응용이 가능하리라 사료된다.

### 감사의 글

이 연구는 2010학년도 경원대학교 지원에 의한 결과이며 또한 지식경제부(예기평)의 2010년도 '전력산업연구개발사업'의 연구 지원에 의하여 연구 수행된 내용의 일부임

### 참 고 문 헌

- [1] M.L. Gasperi, "Life Prediction Modeling of Bus Capacitor in AC Variable-Frequency Drives", *IEEE Trans. on Ind. Appl.*, vol., 41, no.6 ,pp.1430-1435, Nov./Dec. 2005.
- [2] Afroz M. Imam, Thomas G. Habetler, Ronald G. Harley and D. M. Divan, "LMS based Condition Monitoring of Electrolytic Capacitor", *IEEE Trans. on Ind. Appl.*, vol., 41, no.6 ,pp.848-853, 2005.
- [3] 손진근, "전력변환장치에서의 DC 출력 필터 커패시터의 온라인 고장 검출기법", *전기학회 논문지*, 제58P권 제4호, pp. 483-489, 2009년 12월.
- [4] 손진근, "비선형부하에 대한 전해 커패시터의 특성 해석과 커패시터 용량 추정 알고리즘", *한국ITS학회논문지* 제8권 6호, pp.181-187, 2009. 12.
- [5] 손진근, 김진식, "주파수 분석기법을 이용한 전압 평활용 전해 커패시터의 고장진단", *전기학회논문지* 58P권 제2호, pp.207-213, 2009. 6.
- [6] 손진근, 나채동, "PWM 전력 컨버터에서 DC 링크 커패시터의 개선된 온라인 고장 진단", *전기학회 논문지*, 제59P권 제1호, pp. 40-46, 2010. 3.
- [7] E. Aeloiza, J.H. Kim, P. Enjeti, P. Ruminot, 'A Real Time Method to Estimate Electrolytic Capacitor Condition in PWM Adjustable Speed Drives and Uninterruptible Power Supplies', *Proc. of IEEE PES*, pp. 2867 - 2872, 2005.
- [8] 손진근, "수퍼 커패시터의 고장진단을 위한 파라미터의 측정 기법과 순시전압강하 보상장치에의 응용사례", *한국ITS학회 논문지* 제8권 6호, pp.174-180, 2009. 12.
- [9] P. Venet, F. Perisse, M.H. El-Hussein1, and G. Rojat, "Realization of a smart electrolytic capacitor circuit", *IEEE of Industry Applications Magazine*, No.1, pp. 16-20. 2002.
- [10] 기술표준원 신뢰성전문위원회, 알루미늄 전해 커패시터 해설서 RS C 0005, 산업자원부, 2001. 11.
- [11] United States Department of Defense, *US MIL- HDBK-217F*

*Reliability Prediction of electronics Equipment*, Version F, Notice 2, USA, 1995.

- [12] Matsushita Electronic Components Co, *Technical guide of aluminum electrolytic capacitors*, Mar. Feb, 2000.

## 저 자 소 개



### 손진근 (孫珍勳)

1990년 숭실대 전기공학과 졸업. 1992/1997년 동 대학원 전기공학과 졸업(석사/박사). 1992~1995 현대중공업(주) 기전연구소 주임연구원. 2002. 2~2003. 2 (한국과학재단) 일본 가고시마대학 전기공학부 Post-doc., 2009. 1~2010. 2 Michigan State University Visiting Scholar. 현재, 경원대학교 전기공학과 부교수.



### 김동준 (金東俊)

1990년 숭실대학교 전기공학과 졸업. 1994년 동 대학원 전기공학과 졸업(석사). 1994 ~ 1999 고등기술연구원 주임연구원. 2000.2 ~ 현재 (주)에스티 기술이사. 현재 숭실대학교 전기공학과 박사과정.

E-mail : djkim2000@hanmail.net