

Cu 범프와 Sn 범프의 접속구조를 이용한 RF 패키지용 플립칩 공정

최정열 · 김민영 · 임수겸 · 오태성*

홍익대학교 신소재공학과

Flip Chip Process for RF Packages Using Joint Structures of Cu and Sn Bumps

J. Y. Choi, M. Y. Kim, S. K. Lim, and T. S. Oh*

Materials Science and Engineering, Hongik University

(2009년 5월 14일 접수 : 2009년 9월 15일 게재확정)

초 록: Cu pillar 범프를 사용한 플립칩 접속부는 솔더범프 접속부에 비해 칩과 기판 사이의 거리를 감소시키지 않으면서 미세피치 접속이 가능하기 때문에, 특히 기생 캐패시턴스를 억제하기 위해 칩과 기판 사이의 큰 거리가 요구되는 RF 패키지에서 유용한 칩 접속공정이다. 본 논문에서는 칩에는 Cu pillar 범프, 기판에는 Sn 범프를 전기도금하고 이들을 플립칩 본딩하여 Cu pillar 범프 접속부를 형성한 후, Sn 전기도금 범프의 높이에 따른 Cu pillar 범프 접속부의 접속저항과 칩 전단하중을 측정하였다. 전기도금한 Sn 범프의 높이를 5 μm 에서 30 μm 로 증가시키기에 따라 Cu pillar 범프 접속부의 접속저항이 31.7 $\text{m}\Omega$ 에서 13.8 $\text{m}\Omega$ 로 향상되었으며, 칩 전단하중이 3.8 N에서 6.8 N으로 증가하였다. 반면에 접속부의 종횡비는 1.3에서 0.9로 저하하였으며, 접속부의 종횡비, 접속저항 및 칩 전단하중의 변화거동으로부터 Sn 전기도금 범프의 최적 높이는 20 μm 로 판단되었다.

Abstract: Compared to the chip-bonding process utilizing solder bumps, flip chip process using Cu pillar bumps can accomplish fine-pitch interconnection without compromising stand-off height. Cu pillar bump technology is one of the most promising chip-mounting process for RF packages where large gap between a chip and a substrate is required in order to suppress the parasitic capacitance. In this study, Cu pillar bumps and Sn bumps were electroplated on a chip and a substrate, respectively, and were flip-chip bonded together. Contact resistance and chip shear force of the Cu pillar bump joints were measured with variation of the electroplated Sn-bump height. With increasing the Sn-bump height from 5 μm to 30 μm , the contact resistance was improved from 31.7 $\text{m}\Omega$ to 13.8 $\text{m}\Omega$ and the chip shear force increased from 3.8 N to 6.8 N. On the contrary, the aspect ratio of the Cu pillar bump joint decreased from 1.3 to 0.9. Based on the variation behaviors of the contact resistance, the chip shear force, and the aspect ratio, the optimum height of the electroplated Sn bump could be thought as 20 μm .

Keywords: Cu pillar bump, Sn bump, flip chip, contact resistance, chip shear force

1. 서 론

무선 통신시스템이 단순한 데이터의 전송에서 다양한 멀티미디어를 양방향으로 주고받을 수 있는 초고속 광대역 무선 통신시스템으로 발전함에 따라 넓은 주파수 대역폭을 사용할 수 있는 밀리미터파 통신시스템에 대한 관심이 집중되고 있다.¹⁻³⁾ 밀리미터파 무선 통신시스템이 더욱 다양한 서비스와 편리함을 추구하는 소비자들의 요구에 부응하기 위해서는 무선 통신시스템 패키지의 고성능화와 소형화가 요구되고 있다.¹⁻³⁾

여러 개의 칩과 부품들을 하나의 패키지 안에 집적화하여 시스템을 구성하는 SoP(System-on-Package) 기술은 기존 제품에 비해 고집적화와 고속화가 가능하다는 장점이 있다. 또한 서로 다른 부품들을 하나의 칩 안에 통합

하여야 하는 SoC (System-on-Chip)가 공정상의 한계와 고비용의 문제점이 있는 반면에, SoP에서는 기존에 개발된 부품들을 사용할 수 있기 때문에 개발비용이 적게 들고 개발시간이 짧다는 장점이 있다.^{4,5)} 밀리미터파 대역에서의 무선 통신시스템은 저렴하고 우수한 성능을 갖는 소형화된 RF (Radio-Frequency) 통신모듈을 필요로 하기 때문에, 이를 만족시키기 위해 SoP 개념을 RF 송·수신단에 적용하는 RF-SoP에 대한 기술 개발이 활발히 이루어지고 있다.^{4,5)}

반도체 패키징에서 칩을 기판에 실장하는 방법으로는 일반적으로 와이어 본딩법이 사용되고 있다. 그러나 밀리미터파 대역에서 사용하는 RF-SoP에 와이어 본딩을 적용하면 와이어 길이에 따른 기생성분에 기인하여 전기적 성능이 크게 저하되며, 넓은 점유 면적으로 인하여 고밀

*Corresponding author

E-mail: ohts@hongik.ac.kr

도화에 제한을 받게 된다. 이와 같은 와이어 본딩의 문제점을 해결하기 위해 RF-SoP에서는 플립칩 본딩기술을 적용하기 위한 연구가 활발히 진행되고 있다.⁶⁾ 플립칩 공정은 칩의 가장자리만을 이용하는 와이어 본딩 방법에 비해 칩의 전면적을 활용하는 면 배열(area array) 방식이므로 단위면적당 입출력 단자수를 크게 증가시킬 수 있어 미세피치에 적용이 가능하며, 솔더범프의 길이가 본딩 와이어에 비해 매우 짧기 때문에 전기적 특성이 우수한 장점이 있다. 또한 와이어 본딩 방법에 비해 패키지의 크기를 최소화할 수 있는 장점이 있다.⁷⁻⁹⁾

일반적으로 RF-SoP용 플립칩 실장은 반도체 칩의 솔더 범프를 리플로우하여 기판에 접속함으로써 이루어진다. 최근 반도체 칩의 입출력 단자수가 크게 증가함에 따라 반도체 칩에 형성하는 솔더범프의 크기와 피치가 감소하고 있으며, 이에 따라 플립칩 실장한 칩과 기판 사이의 거리가 감소하고 있다. 이와 같은 칩과 기판 사이의 거리 감소에 의해 주파수가 높은 RF 대역에서 기생 커패시턴스가 현저히 증가하기 때문에 RF-SoP의 성능을 저하시키는 문제점을 유발할 수 있다. 플립칩 공정으로 형성한 솔더 접속부의 종횡비(직경/높이)는 일반적으로 0.5~0.6 이하로 솔더범프의 크기를 증가시키지 않고는 접속부의 높이, 즉 칩과 기판 사이의 높이를 증가시키는 것이 어려운 실정이다.¹⁰⁾

솔더범프를 이용한 미세피치 플립칩 공정의 문제점을 해결하기 위해 본 연구에서는 Fig. 1과 같이 칩에는 Cu pillar 범프, 기판에는 솔더 범프를 형성하여 이들을 서로 배열한 후 솔더범프를 리플로우 함으로써 Cu pillar 범프를 솔더범프에 접속시키는 플립칩 공정기술에 대해 연구하였다. Cu pillar 범프를 이용한 플립칩 공정에서는 전기 전도도가 우수한 Cu pillar를 사용함으로써 접속저항을 낮출 수 있고, Cu pillar 범프의 높이와 직경을 조절함으로써 칩과 기판 사이의 거리를 감소시키지 않으면서도 미세피치 접속이 가능하게 된다.¹¹⁾ 또한 Cu 범프와 솔더 사이의 용융 접속을 통한 금속학적 결합으로 플립칩 접속부의 기계적 신뢰도를 향상시킬 수 있는 장점이 있다. 본 연구에서는 Cu pillar 접속구조의 형상 및 특성 최적화를 위해 Sn 범프의 높이에 따른 플립칩 접속부의 형상을 관찰하고 접속저항과 칩 전단하중을 분석하였다.

2. 실험 방법

Cu pillar 범프가 형성되어 있는 칩 시편을 제작하기 위해 p형 Si 웨이퍼에 접착층으로서 0.1 μm 의 Ti를 DC 마그네트론 스퍼터링법으로 스퍼터 증착 후, 그 위에 범프 접속저항 측정을 위한 배선층으로 2 μm 두께의 Cu를 스퍼터 증착하였으며 다시 그 위에 Cu metallization의 산화 방지막의 용도로 0.1 μm 두께의 Ti를 스퍼터링하여 Ti/Cu/Ti metallization을 형성하였다. 이와 같은 Ti/Cu/Ti metallization에 AZ4620 포토레지스트를 더블업 공정을 사용하여 도포하고 접촉식 마스크 얼라이너를 사용하여 Cu pillar 범프 형성용 포토레지스트 패턴을 제작한 후, Cu pillar 범프의 도금공정을 위해 포토레지스트 패턴 내 Ti/Cu/Ti metallization의 맨 위 Ti 층을 에칭하여 제거하였다. 이와 같은 칩 시편을 62.42 g/L의 $\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$, 98 g/L의 H_2SO_4 , 0.17 g/L의 CuCl_2 , 0.3 g/L의 PEG (polyethylene glycol) 및 10 ppm의 MPS (3-mecapto-1-propanesulonic acid sodium salt)의 조성을 갖는 Cu 도금용액에 장입한 후, 10 mA/cm²의 도금전류밀도를 인가하여 직경 20 μm , 높이 35 μm 의 원통형 Cu pillar 범프를 형성하였다.

Sn 범프가 형성되어 있는 기판 시편을 제작하기 위해 p형 Si 웨이퍼에 0.1 μm 두께의 Ti, 2 μm 두께의 Cu 및 0.1 μm 두께의 Ti를 순차적으로 스퍼터링하여 Ti/Cu/Ti metallization을 형성하였다. Ti/Cu/Ti metallization에 AZ4620 포토레지스트를 사용하여 Sn 범프 형성용 포토레지스트 패턴을 제작한 후, 포토레지스트 패턴 내 Ti/Cu/Ti metallization의 맨 위 Ti 층을 에칭하여 제거하였다. 이와 같은 기판 시편을 Ni 도금용액에 장입하고 5 mA/cm²의 도금전류밀도를 인가하여 2 μm 높이의 Ni UBM 층을 형성하였다. Ni 도금용액의 조성은 $\text{NiSO}_4 \cdot 6\text{H}_2\text{O}$ 260 g/L, NiCl_2 45 g/L, H_3BO_3 15.46 g/L, saccharin 0.3 g/L 이었다. Ni UBM을 형성한 시편을 세척 후, 상용 Sn 도금액에 장입하고 10 mA/cm²의 전류밀도를 인가하여 포토레지스트 패턴의 Ni UBM상에 25 μm 직경에 5~35 μm 높이를 갖는 Sn 범프들을 전기도금하였다. 이때 칩 시편의 Cu pillar 범프 및 기판의 Sn 범프 패턴의 피치는 모두 150 μm 로 고정하였다.

칩 시편의 Cu pillar bump들을 기판의 Sn 범프에 플립칩 배열한 후, 1 N의 접속하중을 인가하면서 250°C에서

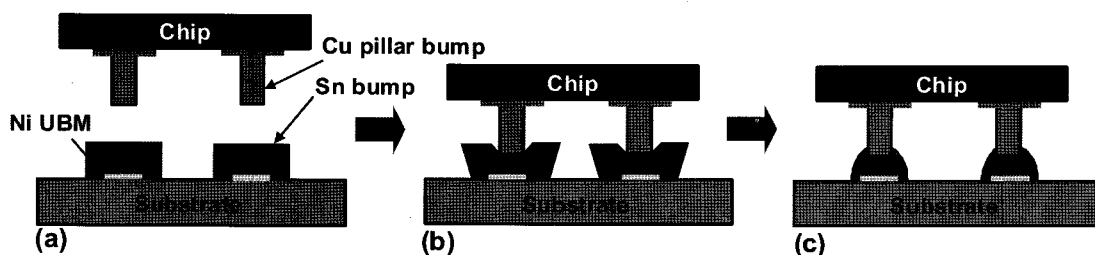


Fig. 1. Schematic illustration of the flip chip process utilizing Cu pillar bumps on a chip and Sn bumps on a substrate: (a) bump formation, (b) flip chip bonding, and (c) reflow.

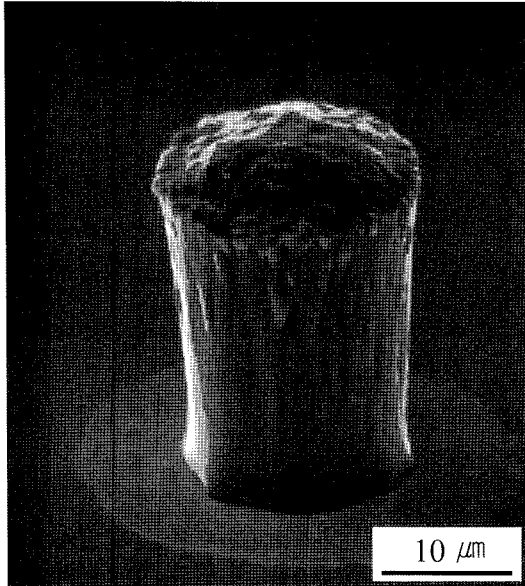


Fig. 2. Scanning electron micrograph of an electroplated Cu pillar bump.

1분간 유지하여 Sn 범프를 리플로우 함으로써 플립칩 접속부를 형성하였다. 전기도금한 Sn 범프의 높이에 따른 Cu pillar 범프 접속부의 미세구조를 주사전자현미경 (SEM)으로 관찰하였다. Cu pillar 범프 접속부로 구성된 daisy chain 시편에 대해 접속부의 개수에 따른 저항을 four point probe로 측정하여 Cu pillar 범프 접속부의 접속 저항을 분석하였으며, 칩 전단시험을 이용하여 접속부의 전단하중을 측정하였다.

3. 결과 및 고찰

Fig. 2에 전기도금법으로 형성한 Cu pillar 범프의 주사전자현미경 사진을 나타내었다. Cu pillar 범프가 표면의 가운데가 볼록한 dome 형상으로 형성되어 있는 것을 관찰할 수 있다. 이와 같이 Cu pillar 범프를 전기도금으로 형성시 표면 평탄화의 저하와 더불어 범프들간의 높이 차이에 의한 coplanarity 저하에 의해 미세 피치의 웨이퍼 레벨 패키징시 open circuit이 유발될 수 있다.¹²⁾ Cu 범프들의 평탄화 및 coplanarity 저하는 도금속도가 증가할수록 심해지기 때문에,¹¹⁾ 이를 억제하기 위해 낮은 도금전류밀도의 사용과 더불어 leveler 등의 첨가에 의한 도금용액의 최적화 및 도금 bath의 설계 최적화가 시도되고 있다.^{11,12)} 그러나 이와 같은 시도들에 의한 범프 coplanarity는 칩 내에서는 5%, 웨이퍼 내에서는 10%, 웨이퍼와 웨이퍼 사이에서는 15~20% 범위에서밖에 조절이 가능하지 않다고 보고되고 있다.¹²⁾ 또한 범프 평탄화의 저하와 coplanarity의 저하를 막기 위해 낮은 도금전류밀도를 사용함으로써 범프 도금속도가 저하되는 문제점도 발생하게 된다. 이와 같은 단점을 해결하며 범프 평탄화와 coplanarity를 향상시킬 수 있는 방안으로서 본 연구에서는 포토레지스트 패턴 내에 전기도금한 Cu pillar 범프들의 표면을 연마한

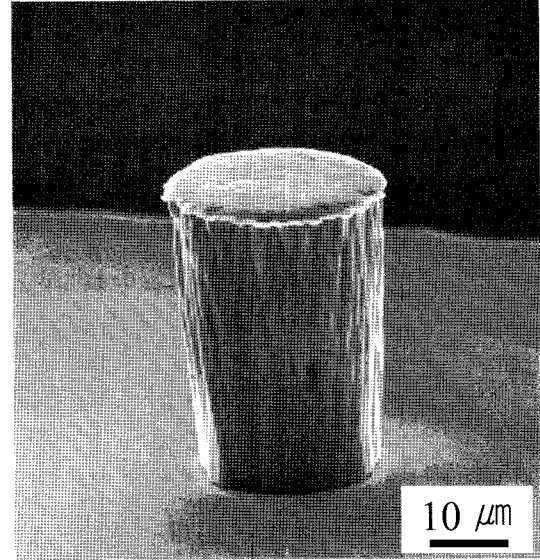


Fig. 3. Scanning electron micrograph of an electroplated Cu pillar bump after surface polishing treatment.

후, 포토레지스트 패턴을 제거하는 방법을 사용함으로써 범프 도금속도를 저하시키지 않으면서도 Fig. 3과 같이 Cu pillar 범프 표면의 평탄화 및 범프 coplanarity를 확보하는 것이 가능하였다. Fig. 4에 전기도금법으로 기판에 형성한 Sn 범프의 높이에 따른 주사전자현미경 사진을 나타내었다. Sn 범프의 높이가 증가할수록 범프 표면이 거칠어졌으나, 이들을 250°C에서 1시간 유지하여 리플로우 함에 따라 Fig. 5와 같이 모두 용융되어 ball-up 되는 것을 확인하였다.

ACF (Anisotropic Conductive Film) 이나 NCA (Non-Conductive Adhesive) 등 고분자 접착제를 사용하여 칩 범프를 기판 패드에 기계적 압착으로 접속하는 플립칩 공정에서는 칩 범프의 표면 평탄도와 coplanarity가 접속부의 건전성을 좌우하는 중요한 변수로 작용하게 된다. 이에 반해 본 연구에서 수행한 Cu pillar 범프 접속부의 형성공정은 Fig. 1의 모식도와 같이 항복강도가 높은 Cu pillar 범프를 항복강도가 낮은 Sn 범프 내로 삽입한 후 Sn 범프를 리플로우 하여 이루어진다. 이와 같이 Sn 범프를 용융하여 이루어지는 본딩공정에서는 Cu pillar 범프 및 Sn 범프의 표면 평탄도와 coplanarity가 접속부의 건전성에 큰 영향을 미치지 않을 수 있다고 판단되어, 실제 플립칩 시편의 제작시 표면을 기계적 연마하지 않은 Fig. 2와 같은 표면 형상을 갖는 Cu pillar 범프 시편들을 사용하였다.

Fig. 6에 Sn 범프의 높이에 따른 Cu pillar 범프 접속부의 주사전자현미경 사진을 나타내었다. Cu pillar 범프를 Sn 범프 내에 삽입한 후 Sn 범프를 리플로우 하면 Fig. 1(c)의 모식도와 같이 Sn이 Cu pillar 범프의 밑 부위만을 둘러싸게 될 것으로 예측하였으나, 실제 시편에서는 플립칩 본딩시 용융 Sn이 Cu pillar 범프를 타고 올라와 Fig. 6과 같이 Cu pillar 범프 전체가 Sn으로 둘러싸여 있는 것

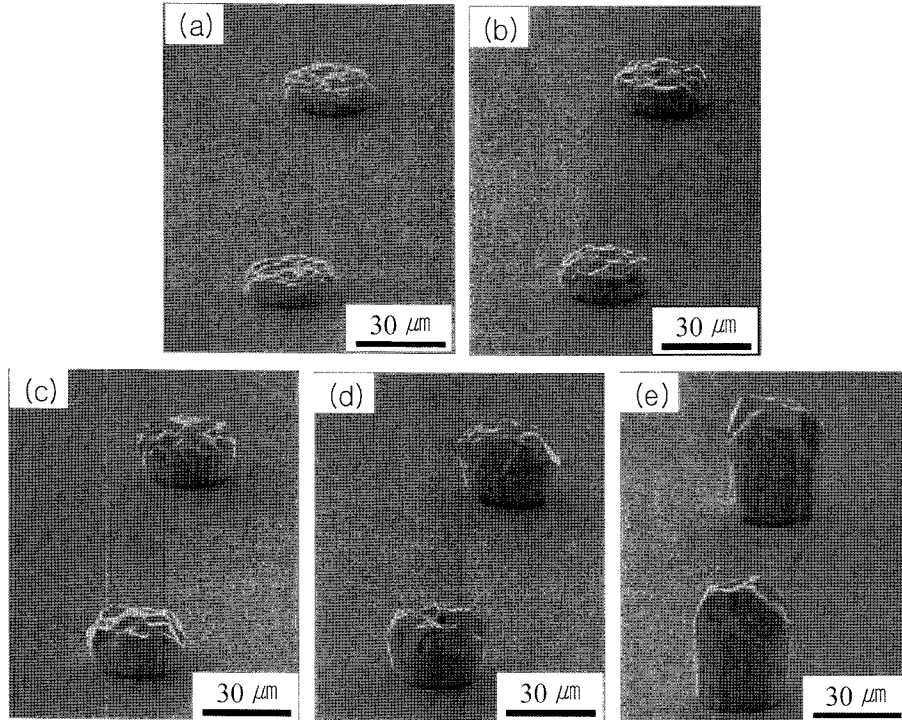


Fig. 4. Scanning electron micrographs of the electroplated Sn bumps. The heights of the Sn bumps were (a) 5 μm , (b) 10 μm , (c) 15 μm , (d) 20 μm , and (e) 30 μm .

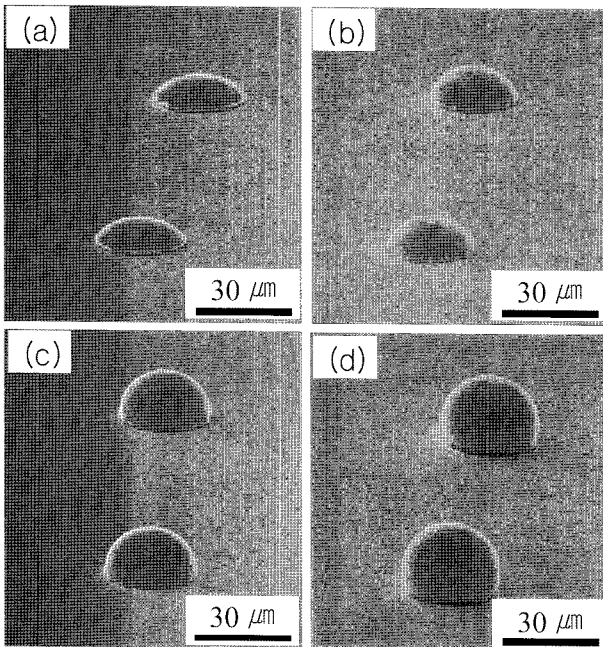


Fig. 5. Scanning electron micrographs of the Sn bumps after reflow at 250°C for 1 min. The heights of the electroplated Sn bumps before reflow were (a) 5 μm , (b) 10 μm , (c) 15 μm , (d) 20 μm .

이 관찰되었다. 타 연구자들의 보고에서는 이와 같은 용융 Sn이 Cu pillar 범프를 타고 올라가는 현상이 관찰되거나 혹은 관찰되지 않고 있으며,^{13,14)} 본딩온도와 압력을 조절함으로써 용융 Sn이 Cu pillar 범프를 타고 올라가는 현상을 억제하는 것이 가능할 것이다. Fig. 6과 같이 기판에 전기도금한 Sn 범프의 높이에 상관없이 플립칩 본딩시

본딩압력에 의해 용융 Sn이 Cu pillar 범프와 기판 패드 사이에서 스퀴즈 되어 나옴에 따라 칩과 기판 사이의 간격이 40 μm 로 비교적 일정하게 유지되었다. 또한 전기도금한 Sn 범프의 높이가 증가함에 따라 Cu pillar 범프와 기판 사이에서 스퀴즈 되어 나온 Sn의 양이 증가하는 것을 관찰할 수 있다. Fig. 6에서와 같이 Cu pillar 범프를 사용하여 형성한 플립칩 접속부의 종횡비는 전기도금한 Sn 범프의 높이에 따라 0.9~1.3 범위의 값 (Sn 범프의 높이가 각각 5, 10, 15, 20 및 30 μm 일 때 종횡비 1.3, 1.1, 1.1, 1.1 및 0.9)을 나타내었다. 이와 같은 Cu pillar 범프 접속부의 종횡비를 솔더범프 접속부의 종횡비인 0.5~0.6과 비교시, Cu pillar 범프를 사용한 접속구조를 형성함으로써 RF 패키지에서 요구되는 종횡비가 큰 플립칩 접속부를 용이하게 형성하는 것이 가능하였다.

Fig. 7에 기판에 전기도금한 Sn 범프의 높이에 따른 Cu pillar 범프 접속부의 접속저항을 나타내었다. 전기도금한 Sn 범프의 높이가 5 μm 에서 30 μm 로 증가함에 따라 접속저항이 31.7 m Ω 에서 13.8 m Ω 로 감소하였으며, 이는 Fig. 6의 미세구조 사진에서 보는 바와 같이 전기도금한 Sn 범프의 높이가 증가함에 따라 Cu pillar 범프 주위를 둘러싼 Sn 양이 많아져 전하가 이동할 수 있는 통로가 넓어짐에 기인하는 것으로 판단된다. 이와 같은 Cu pillar 범프 접속부의 접속저항은 48Sn-52In 솔더범프에서 보고된 접속저항인 11.2 m Ω 및 Cu interlocking 접속부의 접속저항인 13~16 m Ω 보다는 높거나 유사한 값이었으나,^{15,16)} ACF 또는 NCA를 사용한 플립칩 접속부에서 보고된 수백 m Ω 의 접속저항에 비해 매우 낮은 값이었다.¹⁷⁻¹⁹⁾ 또한

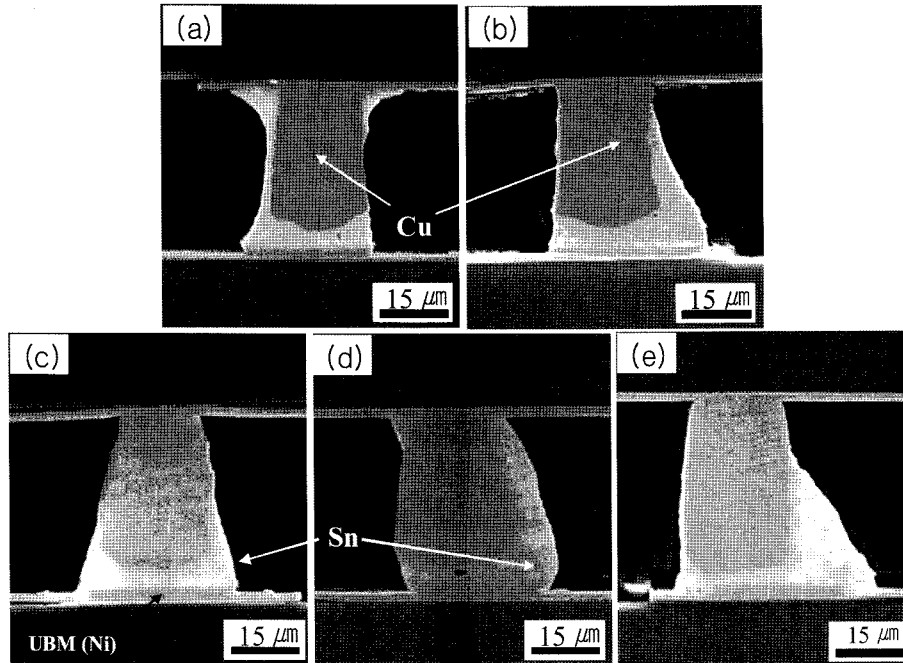


Fig. 6. Scanning electron micrographs of the Cu pillar bump joints processed with the electroplated Sn bumps of which the heights were (a) 5 μm , (b) 10 μm , (c) 15 μm , (d) 20 μm , and (e) 30 μm .

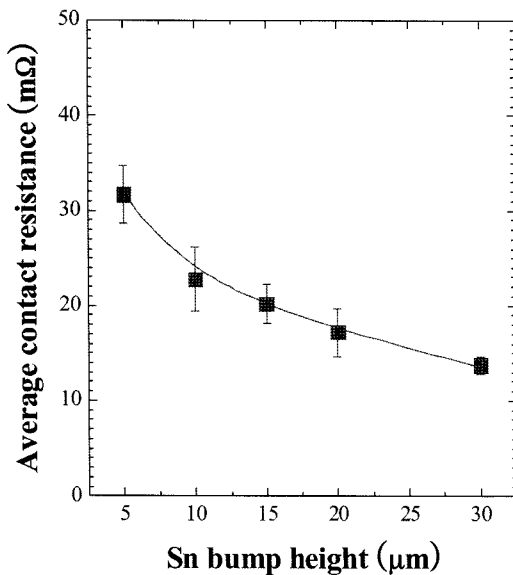


Fig. 7. Contact resistance of the Cu pillar bump joints as a function of the electroplated Sn-bump height.

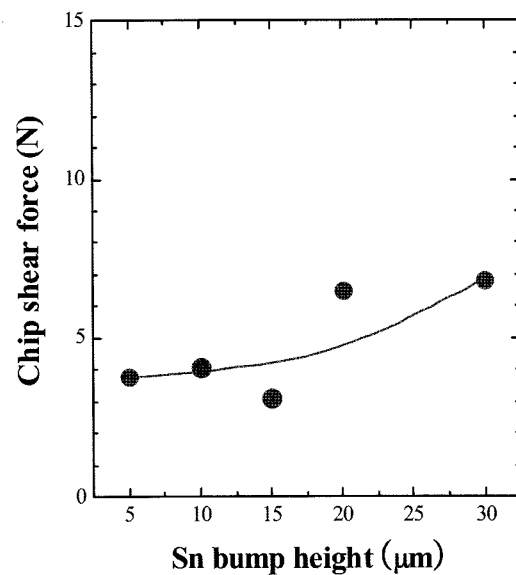


Fig. 8. Chip shear force of the Cu pillar bump joints as a function of the electroplated Sn-bump height.

Fig. 6에서와 같이 Cu pillar 범프 접속부의 높이는 40 μm 로, 48Sn-52In 솔더범프 접속부와 Cu interlocking 접속부에서 보고된 칩과 기판 사이의 거리인 20 μm 이하와 10 μm 에 비해 매우 큰 값이었다.^{15,16)} 이와 같은 결과들로부터 Cu pillar 범프 접속부를 적용함으로써 접속저항 특성을 저하시키지 않으면서도 RF 패키지에서 요구되는 칩과 기판 사이의 거리를 크게 유지하는 것이 가능하다는 것을 알 수 있다.

Fig. 8에 기판에 전기도금한 Sn 범프의 높이에 따른 Cu pillar 범프 접속부의 칩 전단하중을 나타내었다. 칩 전단 시험용 시편은 접속저항 측정용 시편과 마찬가지로 daisy

chain 구조로 이루어져 있었으며, Dage-4000 전단시험기를 사용하여 칩을 기판에서 분리하는데 요구되는 전단하중을 측정하였다. 칩 전단시험시 shear tip의 높이는 20 μm , 전단속도는 100 $\mu\text{m}/\text{sec}$ 로 고정하였다. Fig. 8에서와 같이 Sn 범프의 높이가 5 μm 에서 30 μm 으로 증가함에 따라 Cu pillar 범프 접속부의 칩 전단하중이 증가하는 경향을 나타내었으며, 전기도금한 Sn 범프의 높이가 30 μm 일 때 최대 6.8N의 칩 전단 하중을 나타내었다. 일반적으로 범프 높이를 증가시키는 경우 칩과 기판 사이의 간격, 즉 플립칩 접속부의 높이가 증가하기 때문에, 칩 전단시험시 동일 전단하중에 의해서도 플립칩 접속부에

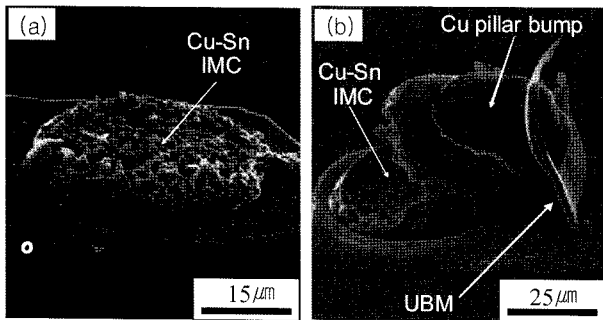


Fig. 9. Scanning electron micrographs of the Cu pillar bump joints after the chip shear test. The heights of the electroplated Sn bumps were (a) 5 μm and (b) 30 μm .

작용하는 굽힘 모멘트가 증가하기 때문에 쉽게 전단 파괴가 일어나게 된다. 그러나 Cu pillar 범프 접속구조에서는 Fig. 7에서 보는 바와 같이 Sn 범프의 높이를 증가시켜도 플립칩 접속된 칩과 기판 사이의 간격, 즉 플립칩 접속부의 높이가 거의 일정하게 유지되기 때문에, 동일 칩 전단하중을 인가시 Sn 범프 높이에 따른 굽힘 모멘트의 증가 현상은 발생하지 않게 된다. 반면에 전기도금한 Sn의 양이 많아질수록 리플로우 접속시 본딩압력에 의해 Cu pillar 범프와 기판 사이에서 스퀴즈되어 나와 Cu pillar 범프를 둘러싸는 Sn 양이 증가하여 칩 전단하중을 지탱할 수 있는 범프 접속부의 단면적이 증가함에 따라 칩 전단하중이 증가하게 된다.

Fig. 9에 칩 전단시험 후의 Cu pillar 범프 접속부의 파단면 사진을 나타내었다. 높이 5 μm 의 Sn 전기도금 범프를 사용하여 형성한 플립칩 접속부에서는 Cu pillar 범프와의 반응에 의해 전기도금한 Sn 범프가 모두 소멸되어 칩 전단시험시 Cu-Sn 금속간화합물 계면에서 파단이 발생한 것을 관찰할 수 있다. 반면에 높이 30 μm 의 Sn 전기도금 범프를 사용한 접속부에서는 Cu pillar 범프와의 반응에 의해 Cu-Sn 금속간화합물을 형성한 후에도 Sn이 남아 있으며 또한 Cu 범프가 Sn으로 둘러싸여 있어 접속부의 단면적이 증가하여, 칩 전단시험시 Cu-Sn 금속간화합물 부위와 함께 Cu pillar 범프의 칩 패드 부분에서 파괴가 발생하는 것을 관찰할 수 있다. Fig. 7과 Fig. 8에서와 같이 전기도금한 Sn 범프의 두께가 5 μm 에서 30 μm 로 증가함에 따라 접속저항 특성과 칩 전단하중 특성이 향상되었다. 반면에 Fig. 6에서와 같이 Sn 범프의 높이가 10~20 μm 일 때는 종횡비가 1.1로 유사한 값을 나타내나, Sn 범프의 높이를 30 μm 로 증가시킴에 따라 종횡비가 0.9로 저하하였다. Cu pillar 범프 접속부의 종횡비, 접속저항 및 칩 전단하중을 비교시 Sn 전기도금 범프의 최적 두께는 20 μm 로 판단된다.

4. 결 론

(1) 포토레지스트 패턴 내에 전기도금한 범프들의 표면을 연마한 후, 포토레지스트 패턴을 제거하는 방법을 사

용함으로써 범프 도금속도를 저하시키지 않으면서도 범프 표면의 평탄화 및 범프 coplanarity를 확보하는 것이 가능하였다.

(2) 솔더범프 접속부의 종횡비 0.5~0.6에 비해 Cu pillar 범프 접속부의 종횡비는 0.9~1.3으로, Cu pillar 범프를 사용한 접속구조를 형성함으로써 RF 패키지에서 요구되는 종횡비가 큰 플립칩 접속부를 용이하게 형성하는 것이 가능하였다. (3) 전기도금한 Sn 범프의 높이가 5 μm 에서 30 μm 로 증가함에 따라 Cu pillar 범프 접속부의 접속저항이 31.7 m Ω 에서 13.8 m Ω 로 감소하였다. 이와 같은 Cu pillar 범프 접속부의 접속저항 및 칩과 기판 사이의 거리 40 μm 을 48Sn-52In 솔더범프 접속부에서 보고된 접속저항 11.2 m Ω 및 접속부 높이 20 μm 과 비교시, Cu pillar 범프 접속부를 적용함으로써 접속저항 특성을 저하시키지 않으면서도 RF 패키지에서 요구되는 칩과 기판 사이의 거리를 크게 유지하는 것이 가능하였다.

(4) 전기도금한 Sn 범프의 높이가 5 μm 에서 30 μm 으로 증가함에 따라 Cu pillar 범프 접속부의 칩 전단하중이 증가하여, Sn 범프의 높이가 30 μm 일 때 최대 6.8 N을 나타내었다.

(5) 전기도금한 Sn 범프의 두께가 5 μm 에서 30 μm 로 증가함에 따라 접속저항 특성과 칩 전단하중 특성이 향상되었다. 반면 Sn 범프의 높이가 10~20 μm 일 때는 종횡비가 1.1로 유사한 값을 나타내나, Sn 범프의 높이를 30 μm 로 증가시킴에 따라 종횡비가 0.9로 저하하였다. 이와 같은 Cu pillar 범프 접속부의 종횡비, 접속저항 및 칩 전단하중을 비교시 Sn 전기도금 범프의 최적 두께는 20 μm 로 판단된다.

감사의 글

본 연구는 지식경제부의 차세대신기술개발사업의 연구비 지원에 의해 이루어졌습니다.

참고문헌

1. L-R. Zheng, X. Duo, M. Shen, W. Michielsen, and H. Tenhunen, "Cost and Performance Tradeoff Analysis in Radio and Mixed-signal System-on-package Design", IEEE Trans. Adv. Packag., 27(2), (2004) 364-375.
2. A. Chandrasekhar, E. Beyne, W. Raedt, and B. Nauwelaers, "Accurate RF Electrical Characterization of CSPs Using MCM-D Thin Film Technology," IEEE Trans. Adv. Packag., 27(1), (2004) 203-212.
3. E. Beyne, "Multilayer Thin-film Technology Enabling Technology for Solving High-density Interconnect and Assembly Problems", Nuclear Inst. Methods Phys. Res. A, 509 (2003) 191-199.
4. J. Laskar, A. Sutono, C. H. Lee, M.F. Davis, A. Obatoyinbo, K. Lim, and M. Tentzeris, "Development of integrated 3D radio front-end system-on-package (SOP)", Proc. IEEE GaAs IC Symp., Baltimore, MD, (2001) pp.215-218

5. K. Lim, S. Pinel, M. Davis, A. Sutono, C. H. Lee, D. H. Heo, A. Obatoynbo, J. Laskar, E. M. Tantzzeris, R. Tummala, "RF-system-on-package (SoP) for Wireless Communication", *IEEE Microwave Magazine*, (2002) pp.88-99
6. V. Sundaram, R. Tummala, G. White, K. Lim, L. Wan, D. Guidotti, F. Liu, S. Bhattacharya, R. M. Pulugurtha, I. R. Abothu, R. Doraiswami, R. V. Pucha, S. Sitaraman, J. Laskar, M. Tantzzeris, G. K. Chang, M. Swaminathan, "First Single Module Demonstration of SOP with Digital, Optical and RF for Last Mile Broadband Applications", *Proc. Inter. Conf. Electro. Packag.*, Tokyo, Japan, (2004) pp. 399-404
7. R. J. K. Wassink, "Soldering in Electronics", *Electrochemical Publications Limited*, Ayr, Scotland (1984)
8. T. H. Distefano, "A Review and Trends in Flip Chip Technology", *Chip Scale Rev.*, 1 (1997) p.20
9. K. M. Brown, "System in Package - the Rebirth of SiP", *IEEE 2004 Custom Integrated Circuits Conf.*, (2004) pp.681-687
10. J. H. Choi, S. W. Jun, H. J. Won, B. Y. Jung, T. S. Oh, and K. N. Tu, "Flip-Chip Process using Heat Transfer from an Induction-Heating Film", *J. Korean Phys. Soc.*, 47 (2005) 454-459.
11. A. Keigler, B. Wu, J. Zhang, and Z. Liu, "Pattern Effects on Electroplated Copper Pillars", *Proc. Inter. Wafer-level Packag. Conf.* (2006).
12. J.-T. Huang, P.-S. Chao, H.-J. Hsu, and S.-H. Shih, "A Novel Bumping Process for Fine Pitch Sn-Cu Lead-free Plating-based Flip Chip Solder Bumps", *Mater. Sci, Semiconductor Processing*, 10 (2007) 133-142.
13. K. M. Chen and T. S. Lin, "Copper Pillar Bump Design Optimization for Lead Free Flip-Chip Packaging", *J. Mater. Sci: Mater. Electron.*, DOI 10.1007/s10854-00909905-4 (2009).
14. G. T. Lim, B. J. Kim, K. Lee, J. Kim, Y. C. Joo, and Y. B. Park, "Temperature Effect on Intermetallic Compound Growth Kinetics of Cu Pillar/Sn Bumps", *J. Electron. Mater.*, DOI: 10.1007/s11664-009-0922-0 (2009).
15. J. H. Choi, K. Y. Lee, S. W. Jun, Y. H. Kim, and T. S. Oh, "Contact Resistance of the Chip-on-glass Bonded 48Sn-52In Solder Joint", *Mater. Trans.*, 46 (2005) 1042-1046.
16. T. S. Oh, K. Y. Lee, and H. J. Won. "Flip Chip Process Using Interlocking-Bump Joints", *IEEE Trans. Comp. Packag. Technol. in press* (2009).
17. C. W. Tan, Y. C. Chan, N. H. Yeung, "Effect of Autoclave Test on Anisotropic Conductive Joints", *Microelectron. Reliab.*, 43 (2003) 279-285.
18. J. H. Zhang, Y. C. Chan, M. O. Alam, S. Fu, "Contact Resistance and Adhesion Performance of ACF Interconnections to Aluminum Metallization", *Microelectron. Reliab.*, 43 (2003) 1303-1310.
19. Y.-T. Hsieh, "Reliability and Failure Mode of Chip-on-film with Non-conductive Adhesive", *Proc. Int. Symp. Electron. Mater. Packag.*, (2002) pp.157-160.