

## 다이오드 정류기/Z-소스 인버터 시스템의 공통모드 전압 해석

트란관빈<sup>\*</sup>, 全泰園<sup>†</sup>, 李弘熙<sup>\*\*</sup>

## Analysis of Common Mode Voltages at Diode Rectifier/Z-Source Inverter System

Quang-Vinh Tran, Tae-Won Chun and Hong-Hee Lee

## 요 약

본 논문은 다이오드 정류기와 Z-소스 인버터로 교류전동기 구동 시 암 단락 (shoot-through) 상태와 비 암 단락 상태를 나누어 각각 등가회로를 구성하고 공통모드 전압을 분석한다. 음의 값의 공통모드 전압을 감소시키기 위하여 암 단락 시간 제어와 함께 영전압 벡터인가 구간을 제거하는 변형 공간벡터변조기법을 제시한다. PSIM과 32-비트 DSP를 사용한 실험 및 시뮬레이션 결과를 통하여 음의 공통모드전압이 50%이상 감소됨을 확인하였다.

## ABSTRACT

In this paper, when ac motors are driven by the diode rectifier/Z-source inverter system, the common-mode voltages of system are analyzed in details under both the shoot-through state and non-shoot-through state through equivalent circuits. Then a modified space vector modulation strategy is suggested for attenuating the negative common-mode voltage by eliminating the zero voltage vector, and also controlling the shoot-through time. Through the simulation studies with PSIM and experiments with 32-bit DSP, it is verified that the negative common-mode voltage can be reduced by more than 50%.

**Key Words** : Common-mode voltage, Diode rectifier, Z-source inverter, Switching pattern

## 1. 서 론

유도전동기 등 교류전동기 속도제어를 위하여 PWM인버터가 많이 사용되어 왔다. 그런데 220V의 교류입력전압을 다이오드 정류기로 직류전압으로 변환시킨 후 PWM인버터로 정격전압이 220V인 교류전동

기를 제어할 경우 직류전압 크기가 부족하여 PWM신호를 과변조하여야 한다. 이 과변조영역에서는 고조파 성분이 증가되므로 PWM 과변조를 피하기 위하여, 정류기와 PWM인버터사이에 직류-직류 컨버터를 설치하여 직류전압을 1.2~1.3배 정도 상승시켜야 한다. 이 직류-직류 컨버터에 인하여 전력회로가 더 복잡해지며, 비용이 상승하고 효율이 떨어지는 문제가 있다.

기존의 PWM인버터의 문제점들을 해결하기 위하여 새로운 개념의 ZSI (Z-Source Inverter)가 제시되었다.<sup>[1]</sup> 기존의 PWM인버터와 달리 3상 인버의 3개 브리지 중 1개 브리지를 단락시키는 암 단락 (shoot-through) 구간을 제어하여 직류전압을 상승시

<sup>†</sup>교신저자 : 정희원, 울산대 전기전자정보시스템공학부 교수  
E-mail : twchun@mail.ulsan.ac.kr

<sup>\*</sup>학생회원, 울산대 대학원 전기공학과 박사과정

<sup>\*\*</sup>정희원, 울산대 전기전자정보시스템공학부 교수

접수일자 : 2009. 5. 22 1차 심사 : 2009. 6. 9

심사완료 : 2009. 6. 10

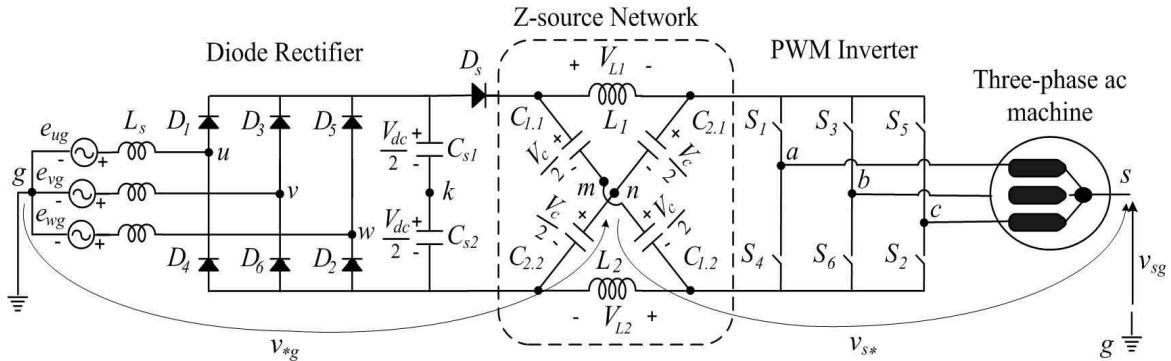


그림 1 다이오드 정류기/ZSI의 구조  
 Fig. 1 Configuration of diode rectifier/ZSI

킴으로써 직류 부스트용 컨버터가 필요 없으므로 전력 회로를 간단히 할 수 있다. 이 ZSI에서는 암 단락 시간을 제어하여 직류 커패시터 전압을 입력 직류전압보다 더 크게 증가시킬 수 있는데, 이 때 스위칭소자의 전압스트레스가 크게 증가한다는 문제점이 있다. 연료전지 자동차 구동용으로 PWM인버터, 직류 부스트 컨버터-PWM인버터, ZSI를 각각 사용 시, 전체 전력용 스위칭 소자의 전력, 스위칭소자 수 및 효율 등을 비교한 결과, ZSI가 직류전압의 부스트비가 1.4배 이하일 경우 다른 방식에 비해 장점이 많다는 연구 결과가 발표되었다.<sup>[2]</sup> 따라서 교류전동기 구동용으로 다이오드 정류기/ZSI 사용 시 직류링크전압을 1.4배 이하로 부스팅시키므로 연료전지전원장치 등 다른 응용 분야에 비하여 상당히 적합하다.<sup>[3]</sup>

높은 스위칭주파수의 PWM인버터로 구동되는 교류전동기에서 발생하는 공통모드 전압에 의하여 EMI발생, 베어링 전류, 전동기 절연과괴 등이 일어난다.<sup>[4][5]</sup> 이 공통모드 전압을 감소시키기 위하여 인버터 출력단에 필터를 사용하는 기법이 제시되었다.<sup>[6]</sup> 이 방식은 LC필터회로에 의하여 전체 시스템의 중량, 부피 및 가격이 상승한다는 문제점 있으므로, PWM 스위칭패턴을 수정하는 논문이 다수 발표되었다.<sup>[7-9]</sup> 그런데 이 논문들은 일반적인 PWM인버터를 대상으로 공통모드 전압을 감소시키는 기법을 제시한 것이다.

본 논문에서는 다이오드 정류기와 ZSI로 교류전동기 구동 시 일반적인 PWM인버터와 달리 ZSI에만 있는 암 단락상태를 포함한 공통모드 전압을 해석하고, 공간전압 변조기법을 변형하여 이 공통모드 전압 일부를 감소시키는 기법을 제시한다. 시뮬레이션 결과 및 32-bit DSP로 수행한 실험을 통하여 공통모드 전압을 해석결과와 비교하고, 공통모드 전압 감소방식의 효과

를 검증한다.

## 2. 다이오드 정류기/ZSI의 공통모드 전압

그림 1은 다이오드 정류기/ZSI의 구조를 보인 것이다. 정류기 출력전압의 평활용 커패시터  $C_s$ 를 중성점  $k$ 를 중심으로 두개로 분리시키며, Z-소스 네트워크에서도 두 커패시터  $C_1, C_2$ 를 직류부스 중성점  $m$ 과  $n$ 을 중심으로 두 개로 각각 분리시킨다. 전기사고 시 안전을 위하여 입력 3상 전압의 중성점과 교류전동기의 외함을 접지점  $g$ 에 연결한다.

### 2.1 전체 시스템의 공통모드 전압

전체 시스템의 공통모드 전압은 다음 식과 같이 ZSI의 공통모드 전압과 다이오드 정류기의 공통모드 전압의 합이다.

$$v_{sg} = v_{s^*} + v_{*g} \tag{1}$$

여기서 \*는 중성점  $m$  또는  $n$ 이다.

ZSI의 공통모드 전압  $v_{s^*}$ 는 식(2)와 같이 교류전동기 고정자 중성점  $s$ 와 전동기 3상 입력단자 사이의 전압과 3상 입력단자와 직류부스 중성점 ( $m$  또는  $n$ ) 사이의 전압으로 구성된다. 그런데, 전동기 3상 입력전압 및 전류가 평형상태이면 첫 번째 항이 0이 된다.

$$\begin{aligned} v_{s^*} &= \frac{v_{sa} + v_{sb} + v_{sc}}{3} + \frac{v_{a^*} + v_{s^*} + v_{s^*}}{3} \\ &= \frac{v_{a^*} + v_{s^*} + v_{s^*}}{3} \end{aligned} \tag{2}$$

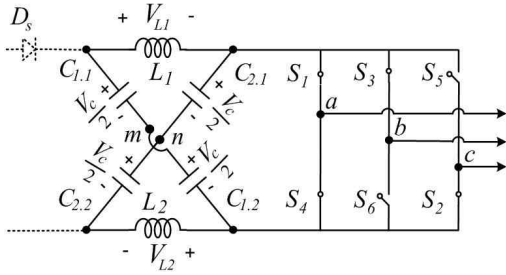


그림 2 ZSI의 암 단락 상태 등가회로  
Fig. 2 ZSI equivalent circuit at shoot-through state

다이오드 정류기의 공통모드 전압  $v_{*g}$ 는 다음 식과 같이 중성점  $m$  또는  $n$ 에 대한 정류기 3상 입력전압과 정류기 3상 입력전압에 대한 접지사이에 전위차의 합으로 표시되며, 3상 입력 전압 및 전류가 평형상태일 경우 두 번째 항은 0이 된다.

$$v_{*g} = \frac{v_{*u} + v_{*v} + v_{*w}}{3} + \frac{v_{ug} + v_{vg} + v_{wg}}{3} \quad (3)$$

$$= \frac{v_{*u} + v_{*v} + v_{*w}}{3}$$

여기서, ZSI는 앞에서 언급한 바와 같이 2개의 동작 상태 즉 암 단락 상태와 비 암 단락 상태로 동작하므로 두 동작상태에 대하여 공통모드 전압 식을 각각 유도한다.

### 2.2 암 단락 상태 공통모드 전압

그림 2는 암 단락 상태를 만들기 위하여 a상 브리지의 상단 및 하단 2개 스위칭소자를 동시에 도통시켰을 경우 등가회로를 보인 것이다.

이 동작모드에서는 Z-소스 네트워크 입력단 다이오드는 오프상태가 되므로, 두 개의 인덕터  $L_1, L_2$ 에 걸리는 전압  $V_{L1}, V_{L2}$ 는 모두 커패시터 전압  $V_c$ 가 된다. 인버터의 3상 a, b, c 출력단자와 커패시터의 두 중성점  $m$ 과  $n$  사이의 전압은 인버터의 어떤 브리지가 단락상태나 어떤 스위칭소자가 도통되는지 상관없이 다음 식과 같이 동일한 값을 가진다.

$$v_{am} = v_{bm} = v_{cm} = -\frac{V_c}{2} \quad (4)$$

$$v_{an} = v_{bn} = v_{cn} = \frac{V_c}{2} \quad (5)$$

식(4)와 (5)를 식(2)에 각각 대입하면 각 직류부스

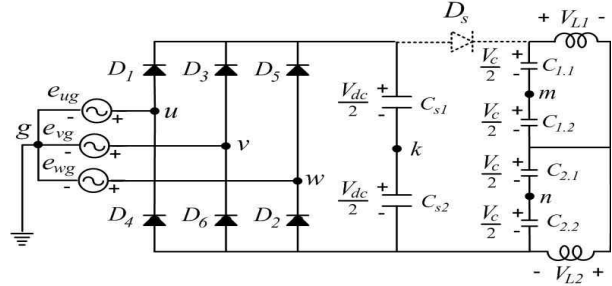


그림 3 다이오드 정류기의 암 단락 상태 등가 회로  
Fig. 3 Equivalent circuit of diode rectifier at shoot-through state

중성점에서 ZSI의 공통모드 전압은 다음 식과 같이 유도할 수 있다.

$$v_{sm} = -\frac{V_c}{2} \quad (6)$$

$$v_{sn} = \frac{V_c}{2} \quad (7)$$

다음은 다이오드 정류기 부분의 공통모드 전압을 유도하기 위한 등가회로는 그림 3과 같다. 여기서 3상 전원단 인덕터의 전압강하는 무시하고, 다이오드 출력 전압 평활용 커패시터  $C_s$ 를 중성점  $k$ 를 중심으로 두 개로 분할시킨다.

다이오드 정류기의 공통모드 전압은 다음 식과 같이 3상 입력전압과 중간점  $k$  사이 전압  $v_{rec}$ 과 중간점  $k$ 와 직류부스 전압의 중성점 ( $m$  또는  $n$ ) 사이의 전압으로 분리할 수 있다.

$$v_{*g} = -\frac{v_{u*} + v_{v*} + v_{w*}}{3} = -v_{rec} - v_{k*} \quad (8)$$

여기서  $v_{rec}$ 는

$$v_{rec} = \frac{v_{uk} + v_{vk} + v_{wk}}{3} \quad (9)$$

와 같다.

먼저, 그림 3을 이용하여 중간점  $k$ 와 직류부스 전압의 중성점 ( $m$  또는  $n$ ) 사이 전압 식은 다음과 같이 유도한다.

$$v_{km} = -\frac{3}{2}V_c + \frac{V_{dc}}{2} \quad (10)$$

$$v_{kn} = -\frac{V_c}{2} + \frac{V_{dc}}{2} \quad (11)$$

다음은 3상 입력전압과 중간점  $k$  사이 전압  $v_{rec}$ 는 3상 선간전압크기에 따라 도통되는 2개 다이오드에 따라 한 주기 동안 6개 구간으로 나뉘어 결정된다.

먼저  $-30^\circ \leq \omega t < 30^\circ$ 에서는 다이오드  $D_5, D_6$ 가 도통되며, 각 3상 입력전압과 중간점  $k$  사이 전압은 다음과 같이 표현된다.

$$v_{uk} = u_{ug} - u_{vg} - \frac{V_{dc}}{2} = u_{avg} - \frac{V_{dc}}{2} \quad (12)$$

$$v_{vk} = -\frac{V_{dc}}{2} \quad (13)$$

$$v_{wk} = \frac{V_{dc}}{2} \quad (14)$$

위의 식을 사용하여  $v_{rec}$ 전압은 다음과 같이 유도된다.

$$v_{rec} = \frac{1}{3}(u_{avg} - \frac{V_{dc}}{2}) \quad (15)$$

이 구간에서는 선간전압  $v_{avg}$ 의 변화범위가 0에서  $(3/2)V_p$ 이므로,  $v_{rec}$ 전압은  $-V_{dc}/6$ 에서  $(V_p/2 - V_{dc}/6)$ 의 범위에서 변화된다. 여기서,  $V_p$ 는 입력 상전압 피크치이다.

나머지 5개 구간에서도 같은 방법으로 도통 다이오드와  $v_{rec}$ 의 식을 유도할 수 있으며, 표 1은 구간별 도통 다이오드와  $v_{rec}$ 의 식 및 변화범위를 보인 것이다. 이 표에서 보면 6개 모든 구간에서  $v_{rec}$ 의 식은 다르지만 범위는  $-V_{dc}/6$ 에서  $(V_p/2 - V_{dc}/6)$ 로 동일하다. 이  $v_{rec}$ 전압 범위와 식 (10)과 (11)을 식 (8)에 대입하면, 중성점  $m$ 과  $n$ 에 대한 다이오드 정류기 부분의 공통모드 전압의 범위를 다음 식과 같이 유도할 수 있다.

$$\left(\frac{3}{2}V_c - \frac{V_{dc}}{3} - \frac{V_p}{2}\right) \leq v_{mg} \leq \left(\frac{3}{2}V_c - \frac{V_{dc}}{3}\right) \quad (16)$$

$$\left(\frac{V_c}{2} - \frac{V_{dc}}{3} - \frac{V_p}{2}\right) \leq v_{ng} \leq \left(\frac{V_c}{2} - \frac{V_{dc}}{3}\right) \quad (17)$$

다음은 직류부스 두 중성점에 대한 전체 공통모드 전압  $v_{sg}$ 를 유도한다. 중성점  $m$ 과  $n$ 에 대한 공통모드 전압은 식 (6)와 (7)에서의 ZSI 공통모드 전압  $v_{sm}$ 과  $v_{sn}$ 을 식(16)과 (17)의 다이오드 정류기 공통모드 전압  $v_{mg}$ 과  $v_{ng}$ 을 각각 더하여 계산한다. 그런데 두 중성점에 대한 전체 공통모드 전압의 범위는 다음 식과 같이 동일하게 나타난다.

표 1 구간별 도통 다이오드와  $v_{rec}$  식 및 범위  
Table 1 Conducting diodes, both the equations and range of  $v_{rec}$  at each period

구 간	도통 다이오드	$v_{rec}$ 식	$v_{rec}$ 범위
$-30^\circ \sim 30^\circ$	$D_5, D_6$	$(v_{avg} - V_{dc}/2)/3$	$-V_{dc}/6 \sim (V_p/2 - V_{dc}/6)$
$30^\circ \sim 90^\circ$	$D_6, D_1$	$(v_{avg} - V_{dc}/2)/3$	$-V_{dc}/6 \sim (V_p/2 - V_{dc}/6)$
$90^\circ \sim 150^\circ$	$D_1, D_2$	$(v_{avg} - V_{dc}/2)/3$	$-V_{dc}/6 \sim (V_p/2 - V_{dc}/6)$
$150^\circ \sim 210^\circ$	$D_2, D_3$	$(v_{avg} - V_{dc}/2)/3$	$-V_{dc}/6 \sim (V_p/2 - V_{dc}/6)$
$210^\circ \sim 270^\circ$	$D_3, D_4$	$(v_{avg} - V_{dc}/2)/3$	$-V_{dc}/6 \sim (V_p/2 - V_{dc}/6)$
$270^\circ \sim 330^\circ$	$D_4, D_5$	$(v_{avg} - V_{dc}/2)/3$	$-V_{dc}/6 \sim (V_p/2 - V_{dc}/6)$

$$\left(V_c - \frac{V_{dc}}{3} - \frac{V_p}{2}\right) \leq v_{sg} \leq \left(V_c - \frac{V_{dc}}{3}\right) \quad (18)$$

### 2.3 비 암 단락 상태의 공통모드 전압

비 암 단락 상태에서는 ZSI가 기존의 인버터로 동작하며, 이때 공통모드 전압 식을 유도한다. 이 동작상태에서는 다이오드가 도통되며, ZSI의 등가회로는 그림 4와 같다. 이 등가회로에서 ZSI의 두 인덕터 전압은 다음 식과 같이 동일하며, 암 단락 구간이 있을 경우에는 커패시터 전압  $V_c$ 가 직류링크 전압  $V_{dc}$ 보다 더 크므로, 인버터 전압이 음의 값이 된다.

$$V_{L1} = V_{L2} = V_{dc} - V_c \quad (19)$$

PWM인버터에서는 스위칭소자의 스위칭상태에 따라 8개 전압벡터  $V_0 \sim V_7$ 를 출력시킬 수 있다. 이 인버터 출력전압벡터에 따라 직류부스 두 개 중성점 ( $m$ 과  $n$ )에 대한 ZSI의 공통모드 전압을 정리하면 표 2와 같다.

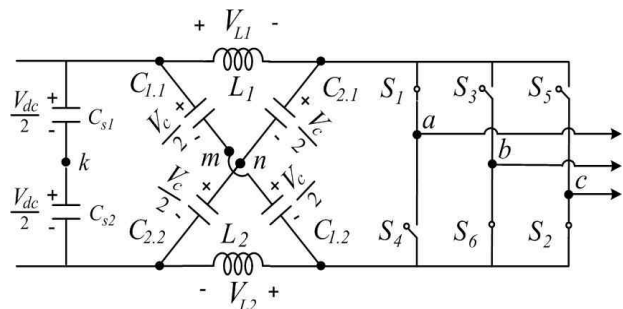


그림 4 비 암 단락 상태에서 ZSI 등가회로  
Fig. 4 ZSI equivalent circuit at non-shoot-through state

표 2 비 암 단락상태에서의 ZSI 공통모드전압  
Table 2 Common mode voltage of ZSI at non-shoot-through state

전압벡터	$V_{sm}$	$V_{sn}$
$V_1, V_3, V_5$	$-V_{dc}/3 + V_d/6$	$(2/3)V_{dc} - (5/6)V_c$
$V_2, V_4, V_6$	$-(2/3)V_{dc} + (5/6)V_c$	$V_{dc}/3 - V_d/6$
$V_0$	$-V_d/2$	$V_{dc} - (3/2)V_c$
$V_7$	$-V_{dc} + (3/2)V_c$	$V_d/2$

다음은 비 암 단락 상태에서 다이오드 정류기 부분의 공통모드 전압 식을 유도한다. 입력 커패시터의 중간점  $k$ 에 대한 직류부스의  $m$ 점 및  $n$ 점 사이 전압은 각각 다음과 같다.

$$v_{km} = \frac{V_c}{2} - \frac{V_{dc}}{2} \quad (20)$$

$$v_{kn} = -\frac{V_c}{2} + \frac{V_{dc}}{2} \quad (21)$$

여기서 암 단락 시간이 인가될 경우  $v_{km}$ 은 양의 값을  $v_{kn}$ 은 음의 값을 가진다. 그리고 암 단락 시간이 0일 경우에는 커패시터전압  $V_c$ 가  $V_{dc}$ 와 같으므로  $v_{km}$ 와  $v_{kn}$  모두 0이 된다.

다음 3상 입력전압과 중간점  $k$  사이 전압  $v_{rec}$ 의 범위는 표 1에서 보인 암 단락 상태와 동일하게  $-V_{dc}/6$ 에서  $(V_p/2 - V_{dc}/6)$ 이다. 이  $v_{rec}$ 전압 범위와 식 (20)과 (21)을 식 (8)에 각각 대입하면 중성점  $m$ 과  $n$ 에 대한 다이오드 정류기 부분의 공통모드 전압의 범위를 다음식과 같이 유도할 수 있다.

$$\left(\frac{2}{3}V_{dc} - \frac{V_c}{2} - \frac{V_p}{2}\right) \leq v_{mg} \leq \left(\frac{2}{3}V_{dc} - \frac{V_c}{2}\right) \quad (22)$$

$$\left(-\frac{V_{dc}}{3} + \frac{V_c}{2} - \frac{V_p}{2}\right) \leq v_{ng} \leq \left(-\frac{V_{dc}}{3} + \frac{V_c}{2}\right) \quad (23)$$

비 암 단락 상태에서 두 중성점에 대한 전체 공통모드 전압 식  $v_{sg}$ 을 각각 유도한다. 표 2의 ZSI 공통모드 전압  $v_{sm}$ 과  $v_{sn}$ 식을 (22)와 (23)의 다이오드 정류기 전압  $v_{mg}$ 와  $v_{ng}$ 식을 각각 더하여 유도한 두 중성점에 대한 공통모드 전압의 범위는 동일하게 나타났다. 따라서 표 3에서는 비 암 단락 상태에서 중성점에 관계없이 전압벡터에 대한 다이오드 정류기/ZSI 시스템의 공통모드전압의 범위 즉 최소값 및 최대값을 보인다. 전압벡터  $V_7$  인가시 공통모드 전압의 범위와 식(8)의 암 단락 상태에서 공통모드 전압의 범위가 동일함을 알 수 있다.

표 3 비 암 단락 상태에서 다이오드정류기/ZSI 공통모드전압

Table 3 Common mode voltage of diode rectifier/ZSI at non-shoot-through state

전압벡터	$v_{sg}(\min)$	$v_{sg}(\max)$
$V_1, V_3, V_5$	$-V_d/3 + V_{dc}/3 - V_p/2$	$-V_d/3 + V_{dc}/3$
$V_2, V_4, V_6$	$V_d/3 - V_p/2$	$V_d/3$
$V_0$	$-V_c + (2/3)V_{dc} - V_p/2$	$-V_c + (2/3)V_{dc}$
$V_7$	$V_c - V_{dc}/3 - V_p/2$	$V_c - V_{dc}/3$

표 3에서 보면 인가 전압벡터에 대하여 공통모드전압의 최대값과 최소값의 차는 모두  $(V_p/2)$ 이며, ZSI의 암 단락 시간을 증가시키면 커패시터 전압이 증가되고 공통모드 전압 역시 증가된다.

그림 5는 암 단락 시간을 증가시킴에 따라 암 단락 구간 및 인가전압벡터에 대한 다이오드정류기/ZSI의 공통모드전압 최대값의 변화를 보인 것이다. 여기서  $M_{sh}$ 는 한주기  $T_s$ 에 대한 암 단락 시간  $T_{sh}$ 의 비 즉  $T_{sh}/T_s$ 로 정의하고, 공통모드전압은 직류입력전압  $V_{dc}$ 로 나눈 값으로 표시하였다. 이 암 단락 시간이 증가하면 모든 전압벡터에 대한 공통모드전압이 증가되고, 특히 양의 값으로는  $V_7$  전압벡터 인가 시와 암 단락 구간에서, 그리고 음의 값으로는  $V_0$  전압벡터 인가 시에 공통모드 전압 값이 더 많이 증가함을 알 수 있다. 따라서  $V_0$  전압벡터 인가 구간을 제거할 경우 음의 공통모드 전압을 크게 감소시킬 수 있다.

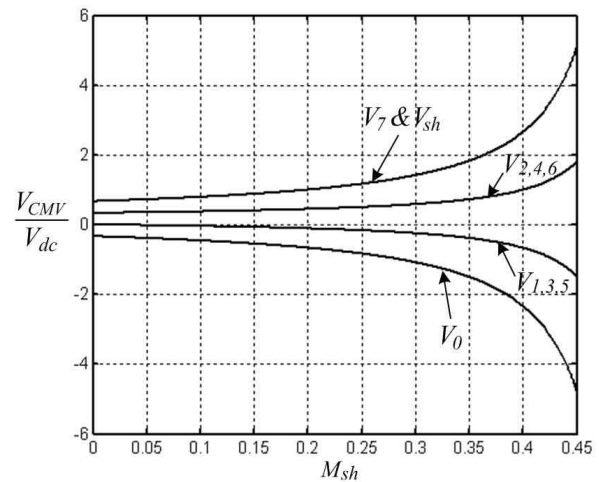


그림 5 암 단락시간에 대한 공통모드 전압 최대값 변화  
Fig. 5 Variation of maximum common mode voltage for shoot-through time

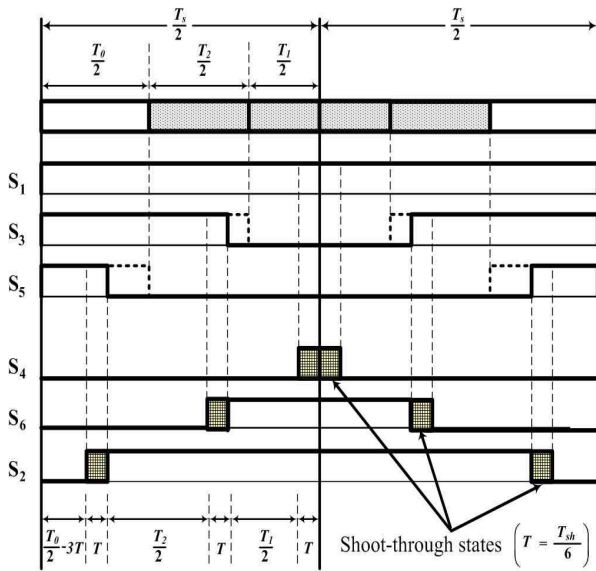


그림 6 변형 스위칭 패턴  
Fig. 6 Modified switching patterns

### 3. 공통모드전압 감소용 스위칭 패턴

ZSI시스템의 펄스를 변조하기 위하여 낮은 전류고조파성분 및 높은 변조율의 장점을 가지는 공간벡터 변조방식을 사용하였다. 그림 6은 음의 공통모드전압을 감소시키기 위한 변형 공간전압변조 방식의 스위칭 패턴을 보인 것이다.

기존 전압벡터가 섹터 I 가 있을 경우에는, 한 샘플링구간동안 전압  $V_1$ 과  $V_2$ 를 각각  $T_1$  및  $T_2$  시간동안 인가하고, 나머지 시간  $T_0 = T_s - (T_1 + T_2)$  동안은 영 전압 벡터를 인가한다. 여기서 ZSI에서는 유효전압 인가 구간인  $T_1$ 과  $T_2$ 는 변동이 없고, 영전압 벡터인가 구간 동안에서만 암 단락 시간을 배정한다. 이 암 단락시간  $T_{sh}$ 를 6등분한 시간 즉  $T = T_{sh}/6$ 을 6개 구간에 균등하게 나누어 분포시킨다. 여기서  $V_0$  벡터인가 구간을 제거하기 위하여 영 전압벡터 구간 ( $T_0/2 - 3T$ )에서  $V_0$  전압벡터 대신  $V_7$  전압벡터만 인가한다.

### 4. 시뮬레이션 및 실험결과

다이오드 정류기/ZSI의 공통모드 전압 식과 이 전압을 감소시키는 기법의 타당성을 확인하기 위하여 시뮬레이션 및 실험을 수행하였다. 한편, ZSI 회로 파라미터는  $L_1=L_2=3mH$ ,  $C_1=C_2=1mF$ ,  $C_s=2.2mF$ 이며, 샘플링 시간은  $200\mu sec$ 이다.

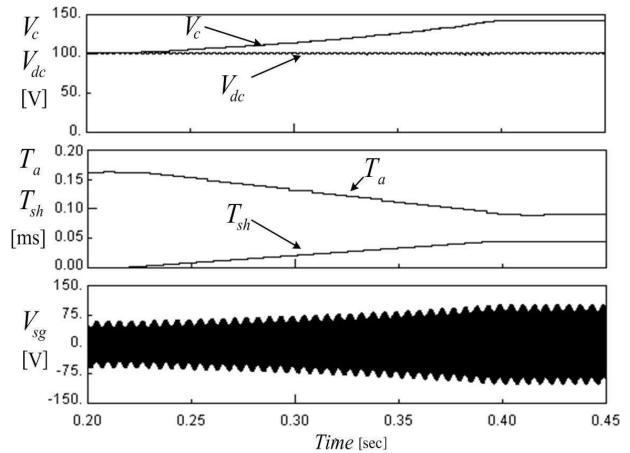


그림 7 암 단락 시간 증가시 시뮬레이션 결과  
Fig. 7 Simulation results at increase of the shoot-through time

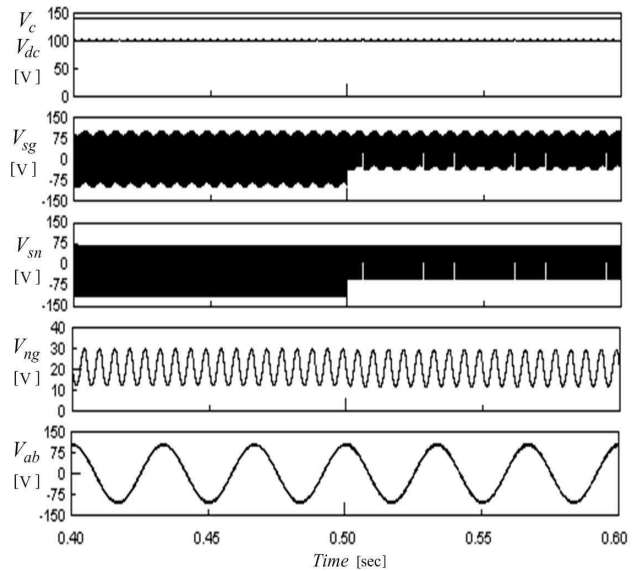


그림 8 변형 스위칭 패턴 적용 시 시뮬레이션 결과  
Fig. 8 Simulation results when modified modulation method is applied

#### 4.1 시뮬레이션 결과

시뮬레이션을 수행하기 위하여 시뮬레이션용 소프트웨어인 PSIM을 사용하였다. 그림 7은 입력직류전압  $V_{dc}$ 가 100V이며, 암 단락 시간을 0 $\mu sec$ 에서 45 $\mu sec$ 까지 서서히 증가 시, 공통모드 전압 변화에 대한 시뮬레이션 결과를 보인 것이다. 이 암 단락 시간이 증가 되면 커패시터 전압이 증가하고, 또한 그림 5와 같이 공통모드전압 최대값 역시 암 단락 시간에 대하여 거의 비례적으로 증가됨을 알 수 있다.

그림 8은 입력 직류전압이 100V이며, 암 단락 시간

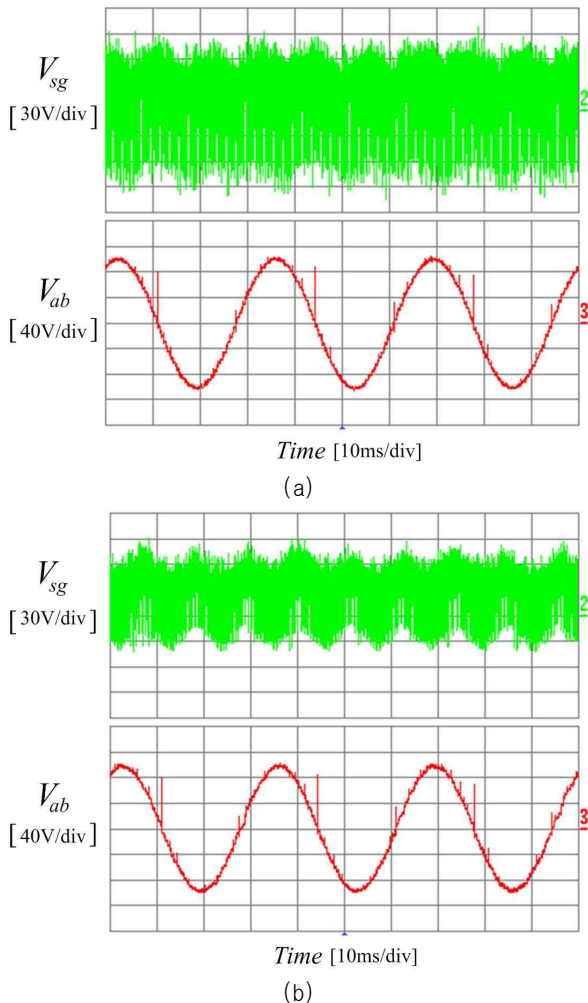


그림 9 공통모드 전압에 대한 실험결과 : (a) 변형변조기법 미 사용 시 (b) 변형 변조기법 사용 시  
 Fig. 9 Experimental results for common mode voltage : (a) without modified modulation method, (b) with modified modulation method

이 45 $\mu$ sec 즉 커패시터 전압이 140V인 상태에서 동작 중에 t=0.5초에서 변형 공간벡터 변조기법 적용 시, ZSI시스템의 주요 공통모드 전압들과 인버터 출력전압 등에 대한 시뮬레이션 결과이다. 이 변형변조 기법을 적용한 결과 다이오드 정류기의 공통모드 전압  $v_{ng}$ 는 거의 영향이 없으며 ZSI의 공통모드 전압  $v_{sn}$ 은 감소 되고, 이에 인하여 전체 ZSI시스템 음의 공통모드 전압이 50%이상 감소하였음을 알 수 있다.

#### 4.2 실험결과

32-비트 DSP TMS320F2812를 사용하여 실험을 수행한 결과를 보인다. 그림 9는 그림 8에서 보인 시뮬

레이션 결과와 동일한 동작상태에서 변형 공간벡터 변조기법을 사용하지 않은 경우와 이 변조기법을 사용하였을 경우 각각 공통모드 전압과 인버터 출력전압 파형의 실험결과를 보인 것이다. 공통모드전압의 최대값은 극성에 관계없이 약 100V정도이며, 이 변조기법을 적용할 시 인버터출력전압은 변동이 없으면서 음의 공통모드 전압만이 약 45V정도로 감소되어 그림 8의 시뮬레이션 결과와 거의 비슷함을 알 수 있다.

### 5. 결 론

다이오드 정류기에 Z-소스 인버터로 교류전동기 구동 시 암 단락 상태와 비 암 단락 상태를 나누어 공통모드 전압을 분석하였다. 영전압벡터 인가 시와 암 단락 상태 운전 시 공통모드 전압이 더 높았으며, 암 단락 시간이 증가함에 따라 이 전압이 급격히 상승하였다. 영전압 인가 구간을 제거한 변형공간벡터 변조방식을 적용한 결과 음의 공통모드 전압이 50%이상 감소되어 제시한 기법의 타당성을 확인하였다.

이 논문은 2008년도 울산대학교 연구비에 의하여 연구되었음

### 참 고 문 헌

- [1] F.Z.Peng, "Z-Source Inverter", *IEEE Trans. Industry Applications*, Vol. 39, No. 2, pp.504-510, 2003, March/April.
- [2] M.Shen, A.Joseph, J.Wang, F.Z.Peng, and D.J.Adams, "Comparison of Traditional Inverters and Z-Source Inverter for Fuel Cell Vehicles", *IEEE Trans. Power Electronics*, Vol. 22, No. 4, pp.1453-1463, 2007, July.
- [3] F.Z.Peng, X.Yuan, and Z.Qian, "Z-Source Inverter for Adjustable Speed Drives", *IEEE Power Electronics Letters*, Vol. 1, No. 2, pp.33-35, 2003, July.
- [4] J. M. Erdman, R. J. Kerkman, D.W. Schlegel, and G. L. Skibinski, "Effect of PWM inverters on AC motor bearing currents and shaft voltages", *IEEE Trans. Ind. Applicat.*, Vol. 32, No.2, pp. 250-259, 1996, Mar./Apr.
- [5] S. Chen, T. A. Lipo, and D. Fitzgerald, "Modeling of motor bearing currents in PWM inverter drives," in Proc. IEEE IAS Annu. Meeting, pp. 388-393, 1995.
- [6] Dudi A. Rend and Prasad N. Enjeti, "An improved

inverter output filter configuration reduces common and differential mode dv/dt at the motor terminals in PWM drive systems”, *IEEE Trans. on Power Electronics*, Vol. 13, No. 6, pp.1135-1143, 1998, Nov.

- [7] M. Hongfei, X. Dianguo, and M. Lijie, “Suppress techniques of common-mode voltage generated by voltage source PWM inverter”, *IPEMC 2004 Conf.*, Vol. 3, pp.1533-1538, 2004, Aug.
- [8] Yen-Shin Lai, “Investigations into the effects of PWM techniques on common mode voltage for inverter-controlled induction motor drives”, in *Proc. IEEE.1999*, Vol. 1, pp. 3540, 1999, Jan.
- [9] Hyeoun-Dong Lee and Seung-Ki Sul, “A common mode voltage reduction in boost rectifier/inverter system by shifting active voltage vector in a control period”, *IEEE Trans. Power Electron.*, Vol. 15, No. 6, pp. 1094-1101, 2000, Nov.

## 저 자 소 개



### 트란관빈(Q.V. Tran)

1979년 6월 19일생. 2002년 베트남 호치민대 전기전자공학과 졸업. 2006년 울산대 대학원 전기공학과 졸업(석사). 현재 동 대학원 전기공학과 박사과정.



### 전태원(全泰園)

1959년 1월 30일생. 1981년 부산대 전기공학과 졸업. 1983년 서울대 대학원 전기공학과 졸업(석사). 1987년 동 대학원 전기공학과 졸업(공박). 1995년~1996년 버지니아 공대 방문교수. 현재 울산대 전기전자정보시스템공학부 교수. 당 학회 산학협동이사.



### 이흥희(李弘熙)

1957년 10월 15일생. 1980년 서울대 공대 전기공학과 졸업. 1982년 동 대학원 전기공학과 졸업(석사). 1990년 동 대학원 전기공학과 졸업(공박). 1994년~1995년 Texas A&M 방문교수. 현재 울산대 전기전자정보시스템공학부 교수. 당 학회 협력이사.