
저면적 1-kb PMOS Antifuse-Type OTP IP 설계

이천효* · 장지혜* · 강민철* · 이병준* · 하판봉* · 김영희*

Design of Low-Area 1-kb PMOS Antifuse-Type OTP IP

Cheon-Hyo Lee* · Ji-Hye Jang* · Min-Cheol Kang* · Byung-June Lee*
· Pan-Bong Ha* · Young-Hee Kim*

요 약

본 논문에서는 power management IC에 사용되는 비휘발성 메모리 IP인 1-kb OTP IP를 설계하였다. 기존의 OTP 셀 (cell)은 isolated NMOS 트랜지스터를 안티퓨즈 (antifuse)로 사용하였으나 BCD 공정에서는 셀 크기가 큰 단점이 있다. 그래서 본 논문에서는 isolated NMOS 트랜지스터 대신 PMOS 트랜지스터를 안티퓨즈로 사용하였으며, OTP 셀 트랜지스터의 크기를 최적화시켜 셀의 크기를 최소화시켰다. 그리고 ESD 테스트 시 PMOS 안티퓨즈 양단에 고전압 (high voltage)가 걸려 임의의 셀이 프로그램 되는 것을 방지하기 위하여 OTP 코어 회로에 ESD 보호 회로 (protection circuit)를 추가하였다. 또한 프로그램 되지 않은 셀을 읽을 때 게이트 커플링 노이즈를 제거하기 위해 high-impedance의 PMOS pull-up 트랜지스터를 ON 시키는 방식을 제안하였다. 동부하이텍 0.18 μm BCD 공정을 이용하여 설계된 1-kb PMOS-type 안티퓨즈 OTP IP의 레이아웃 크기는 129.93 \times 452.26 μm^2 이다.

ABSTRACT

In this paper, we design a non-volatile memory IP, 1-kb one-time programmable (OTP) memory, used for power management ICs. Since a conventional OTP cell uses an isolated NMOS transistor as an antifuse, there is an advantage of it big cell size with the BCD process. We use, therefore, a PMOS transistor as an antifuse in lieu of the isolated NMOS transistor and minimize the cell size by optimizing the size of a OTP cell transistor. And we add an ESD protection circuit to the OTP core circuit to prevent an arbitrary cell from being programmed by a high voltage between the terminals of the PMOS antifuse when the ESD test is done. Furthermore, we propose a method of turning on a PMOS pull-up transistor of high impedance to eliminate a gate coupling noise in reading a non-programmed cell. The layout size of the designed 1-kb PMOS-type antifuse OTP IP with Dongbu's 0.18 μm BCD is 129.93 \times 452.26 μm^2 .

키워드

OTP, PMOS-type antifuse, ESD protection, sense amplifier

I. 서론

일반적으로 비휘발성 메모리 IP는 power management IC, LCD 구동 칩, CMOS 이미지 센서 칩 등의 SoC 칩에 아날로그 트리밍, 보안 및 암호화 키, 메모리 교정 (repair) 기능을 수행하기 위해 사용되고 있다. 그런데 EEPROM, Flash 메모리 등의 비휘발성 메모리 IP는 추가적인 공정을 필요로 한다[1]. 그래서 저면적이고 추가 공정이 필요 없는 OTP 메모리가 많이 사용되고 있다.

OTP 메모리는 efuse-type OTP와 antifuse-type OTP가 있는데, antifuse-type OTP IP는 efuse-type OTP IP에 비해 면적이 작고 프로그램과 읽기 모드에서 바이트 단위로 수행하는 장점이 있다. 안티퓨즈 OTP는 얇은 게이트 산화막을 갖는 MOS 트랜지스터에 고전압을 인가하여 게이트 산화막을 파괴시킴으로써 데이터를 프로그램 한다[2].

본 논문에서는 PMOS 안티퓨즈를 이용한 저면적의 1-kb OTP IP를 설계하였다. 먼저 저면적의 OTP IP를 구현하기 위해 다음 3가지 기술을 제안하였다. 1) 기존의 NMOS 안티퓨즈를 PMOS 안티퓨즈로 대체하므로 셀 어레이에서 deep N-well을 제거하였다. 2) ESD 보호를 위해 OTP 셀마다 게이트가 그라운드된 NMOS 트랜지스터 (gate grounded NMOS transistor)를 사용하는 대신 OTP 코어 회로에 ESD 보호 회로를 사용하였다. 3) 프로그램 후 저항이 10kΩ 이하가 되도록 OTP 셀을 설계하므로 셀 트랜지스터의 크기를 최적화시켰다. 한편 프로그램 되지 않은 셀의 데이터를 읽을 때 high-impedance의 PMOS pull-up 트랜지스터의 게이트 커플링 노이즈를 제거하기 위해 PMOS pull-up 트랜지스터를 항상 ON 시키는 방식을 사용하였다. 동부하이텍 0.18μm BCD 공정을 이용하여 설계된 1-kb OTP IP의 레이아웃 면적은 129.93 × 452.26μm²이다.

II. 회로 설계

설계된 비동기식 1-kb OTP 메모리의 주요 특징은 표 1과 같다. 1-kb OTP 메모리의 셀 어레이는 128행(rows) × 8열(columns)로 구성되어 있으며, 필요한 전원전압은 로직 전압인 VDD(=1.8V)와 프로그램 전압인 VPGM (=8.0V)가 사용된다. 동작 모드는 프로그램, 읽기 모드와 대기 모드가 지원되며, 제어 로직이 차지하는 레이아웃

면적을 줄이기 위해 비동기식 인터페이스 방식[3]을 사용하고 있다.

비동기식 1-kb OTP 메모리는 그림 1의 블록도에서 보는 바와 같이 128행 × 8열의 OTP 셀 어레이, VPP 스위칭 회로, 어드레스 A[6:0]를 디코딩하여 128개 WL (Word-Line) 중 하나를 선택해주는 행 디코더, WD (write data) 구동회로와 BL S/A (bit-line sense amplifier), 제어신호(RD, PGM, RSTb)에 따라 프로그램과 읽기 모드에 적합한 내부 제어신호를 공급하는 제어 로직으로 구성되어 있다.

표 1. 비동기식 1-kb OTP IP의 주요 특징
Table 1. Major specifications of the asynchronous OTP memory of 1 kilo bits.

항목	주요 특징	
공정	동부하이텍 0.18μm BCD	
메모리 용량	1-kb(128행 × 8열)	
전원 전압	VDD	1.8V
	VPGM	8.0V
온도	-40~125℃	
동작 모드	프로그램/읽기/대기 모드	
Access time	500ns	
Program time	200μs	

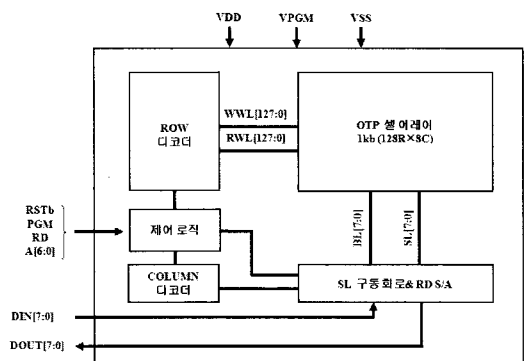


그림 1. 비동기식 1-kb OTP 메모리의 블록도
Fig. 1. Block diagram of 1-kb asynchronous OTP memory.

WD 구동회로는 프로그램 모드인 경우 DIN[7:0]의 입력 데이터를 SL(source line)인 SL[7:0]을 통해 OTP 셀에 구동하는 회로이다. 그리고 BL S/A는 읽기 모드에서

OTP 셀의 안티퓨즈를 프로그램한 유·무에 따라 BL(bit-line)인 BL[7:0]을 통해 나오는 데이터를 센싱 하여 DOUT[7:0]으로 출력하는 회로이다. 그리고 VPP 스위칭 회로는 동작 모드에 따라 내부 프로그램 전압인 VPP가 프로그램 모드에서는 VPGM 전압, 읽기 모드에서는 VDD 전압을 공급해 주도록 스위칭 된다.

그림 2(a)는 비동기식 OTP의 프로그램 타이밍도로 PGM 신호에 high 펄스 신호가 인가되면 A[6:0]에 의해 선택된 바이트 셀에 DIN[7:0] 데이터가 프로그램 된다. 그림 2(b)는 비동기식 OTP에서의 읽기 모드에서의 타이밍도이다. 읽기 동작은 읽어낼 어드레스 A[6:0]를 먼저 인가한 후 READ 신호에 high 펄스를 인가하면 선택된 셀의 바이트 데이터가 액세스 시간 (access time)인 tAC 시간이 지난 이 후 선택된 셀의 데이터가 DOUT[7:0] 포트(port)로 출력된다. 이 때 PGM 신호는 low를 유지해야 되며, DIN[7:0]은 don't-care 상태이다. 그리고 설계된 비동기식 1-kb OTP에서는 기존의 공유된 (common) I/O를 입력 포트와 출력 포트로 나누어 사용하는 분리된 (separate) I/O 방식을 사용하였다.

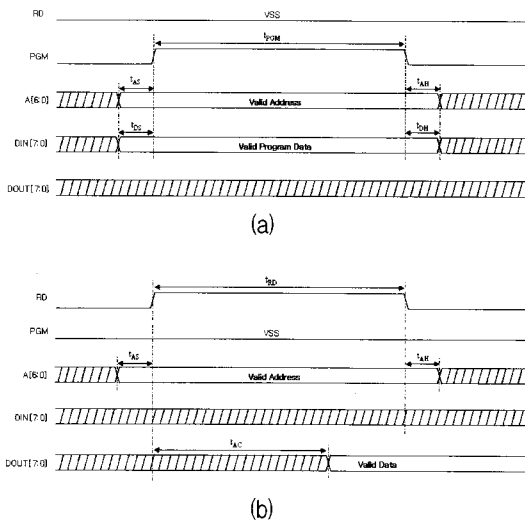


그림 2. (a) 프로그램 타이밍도 (b) 읽기 타이밍도
 Fig. 2. Timing diagram (a) at program and (b) at read mode.

설계된 OTP 셀은 그림 3(a)의 회로도와 같이 안티퓨즈인 1.8V의 LV (low-voltage) PMOS 커패시터 (MP0)와 5V의 두꺼운 게이트 산화막을 갖는 MV (Medium-

Voltage) NMOS 액세스 트랜지스터 (MN0, MN1)로 구성되어 있다. 제안된 셀은 면적을 줄이기 위해 deep N-Well이 필요 없는 LV PMOS 트랜지스터를 안티퓨즈로 사용하였다. 그림 3(b)는 OTP 셀의 레이아웃 이미지를 보여주고 있다. 설계된 OTP 셀은 PMOS 안티퓨즈 양단에 게이트 산화막의 항복 전압 (breakdown voltage) 이상 전압을 인가하므로 안티퓨즈의 프로그램 이후 저항이 10kΩ 이하로 프로그램 된다. 0.18μm BCD 공정에서 지원되는 1.8V PMOS 트랜지스터의 게이트 산화막 두께는 38 Å, 게이트 산화막의 항복 전압은 5.03V이다. 그리고 MV 트랜지스터의 항복 전압은 9V 이상으로 8V의 프로그램 전압에서 MV 트랜지스터는 항복 (breakdown)이 일어나지 않는다.

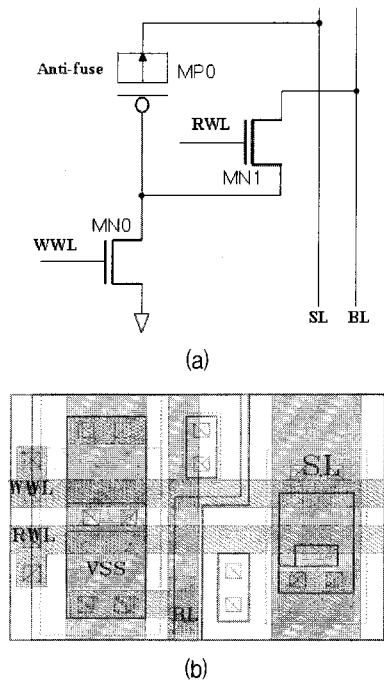
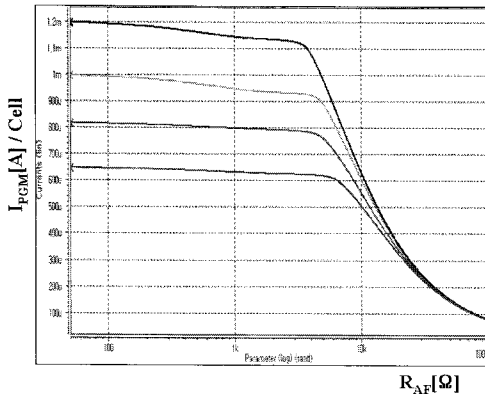
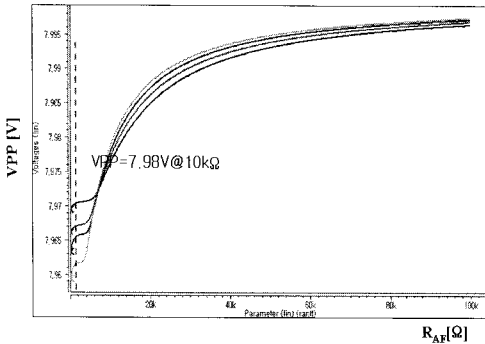


그림 3. (a) 설계된 OTP 셀 회로도 (b) 레이아웃 이미지
 Fig. 3. (a) Circuit and (b) its layout image of the designed OTP cell.

그림 4는 안티퓨즈 저항 RAF에 대한 OTP 셀의 프로그램 전류와 VPP 전압의 모의실험 파형으로 바이트 셀이 동시에 프로그램 되는 경우이다. 10kΩ의 안티퓨즈 저항에서 프로그램 전류와 VPP 전압은 각각 0.506mA, 7.98V이다.



(a)



(b)

그림 4. (a) RAF에 따른 IAF 모의실험 결과
(b) RAF에 따른 VPP 전압의 모의실험 결과

Fig. 4. Simulation results of (a) IAF w.r.t. RAF and (b) VPP w.r.t. RAF.

표 2에서의 동작 모드별 OTP 셀 노드에서의 바이어스 전압을 보여주고 있다. 프로그램 모드에서 VPP 전압은 외부 프로그램 전압인 VPGM 전압으로 구동되고 선택된 WWL (Write Word-Line)은 VPP, 선택되지 않은 WWL은 0V를 유지하게 된다. 그리고 프로그램 모드에서 RWL은 항상 0V가 인가된다. DIN 데이터 값이 '0'가 인가되는 경우 SL (Source-Line) 전압은 VPP가 인가되어 안티퓨즈가 파괴되면서 전기적으로 단락된다. 그리고 DIN이 '1'인 경우 SL 전압은 0V가 되어 안티퓨즈는 파괴되지 않으며, 안티퓨즈는 절연 상태의 개방 상태가 된다. 설계된 OTP 메모리에서 프로그램된 셀은 DIN이 로직 '0'가 인가된 경우이고 프로그램되지 않은 셀은 DIN이 로직 '1'이 인가된 경우이다. 한편 읽기 모드에서는 BL (Bit-Line)을 VDD 전압으로 프리차지 (precharge)시킨 뒤

RWL (Read Word-Line)을 VDD 전압으로 활성화시킨다. 만약 안티퓨즈가 프로그램 된 셀의 경우 단락된 PMOS 안티퓨즈를 통해 SL으로 전류 경로가 제공되어 BL은 0V로 방전되며 DOUT은 로직 '0'가 출력된다. 한편 프로그램 되지 않은 셀은 PMOS 안티퓨즈가 개방 상태이므로 전류경로가 차단되어 BL은 VDD로 프리차지된 상태를 유지하므로 DOUT은 표 2에서 보는바와 같이 로직 '1'이 출력된다.

표 2. 동작 모드별 OTP 셀 노드의 바이어스 전압 조건.
Table 2. Bias voltage conditions for various operation modes of a OTP cell node.

	프로그램 모드		읽기 모드	
VPP	VPGM		VDD	
WWL	VPP		0	
RWL	0		VPP	
DIN	0	1	×	×
SL	VPP	0V	0V	0V
BL	VDD	VDD	0V	VDD
DOUT	×	×	0	1
안티퓨즈	Broken	Unbroken	Broken	Unbroken

그림 5는 동작 모드에 따라 VPGM 또는 VDD 전압을 선택해 주는 VPP 스위칭 회로이다. VPP 스위칭 회로에서 VPP는 프로그램 모드와 읽기 모드에서 각각 VPGM 과 VDD 전압을 구동한다.

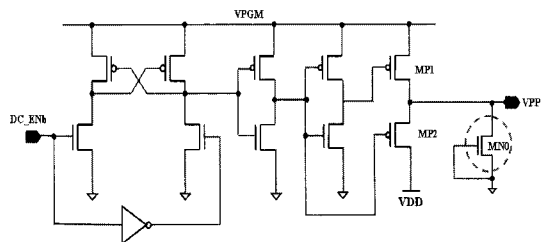


그림 5. VPP 스위칭 회로
Fig. 5. VPP switching circuit.

그림 6(a)의 WL 구동 회로는 프로그램 모드로 진입하게 되면 WLEN_PGM 신호가 로직 '1'로 된다. WLEN_PGM 신호가 로직 '1'이 되면 행 어드레스인 A[6:0]를 디코딩하여 선택되는 WWL만 VPP로 구동되고 선택되지

않은 WWL은 0V를 유지하도록 한다. 읽기 모드로 진입하면 WLENb_RD 신호가 로직 '0'로 되고 선택되는 RWL만 VDD 전압으로 구동 된다. 그림 6(b)의 SL 구동 회로는 프로그램 모드에서 안티퓨즈인 PMOS 커패시터 양단에 VPP 전압을 공급한다. DIN이 로직 '0'인 경우 SL에 VPP (=8.0V) 전압을 공급하고, DIN이 로직 '1'인 경우 SL을 0V로 구동한다. 그리고 읽기 모드에서는 PGM_EN 신호가 로직 '0' 상태이므로 SL은 0V를 구동하도록 한다. 그림 6(b)의 SL 구동 회로는 OTP 셀을 보호하도록 SL과 VSS 사이에 ESD 보호 트랜지스터를 추가하였다. 그래서 ESD 전하로 인해 SL과 VSS 사이에 고전압 (high voltage)가 걸리면 그림 6(b)의 ESD 보호 트랜지스터에 의해 방전시킴으로 OTP 셀에 손상 (damage) 시키는 것을 방지할 수 있다.

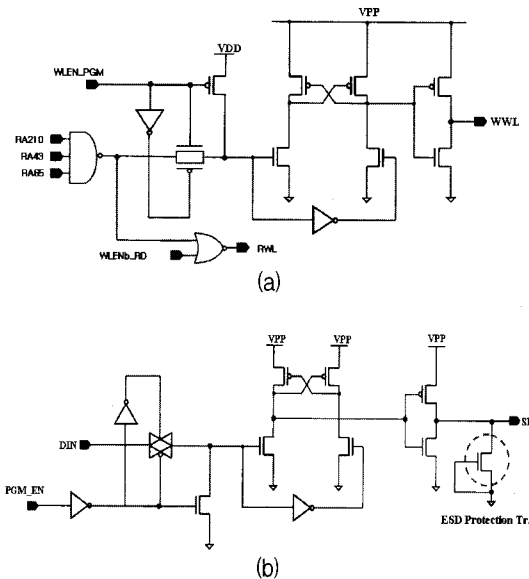


그림 6. (a) WL 구동 회로 (b) SL 구동 회로
Fig. 6. (a) WL driving circuit and (b) SL driving circuit.

설계된 OTP 메모리는 바이트 단위로 프로그램 되고 바이트 단위로 읽기 동작을 수행한다. 그림 7은 제안된 클럭 인버터 형태의 감지 증폭기 회로를 보여주고 있다. 그림 7의 BL S/A 회로는 낮은 임피던스의 풀-업 (pull-up) 트랜지스터 (MP0), 높은 임피던스의 풀-업 트랜지스터 (MP1), 그리고 클럭 인버터를 갖는 D-래치 회로로 구성되어 있다. 읽기 모드에서 RWL이 활성화되기 이전에

은 펄스의 PRECHARGE 신호에 의해 BL은 모두 VDD 전압으로 프리차징 된다. RWL이 활성화되면서 로직 '1'로 프로그램된 셀에 연결된 BL은 VDD 전압을

유지하는 반면, 로직 '0'로 프로그램된 셀은 안티퓨즈가 단락되어 있으므로 BL을 0V로 방전시킨다. BL에 읽기 데이터가 충분히 전달된 뒤 SAENb (Sense Amplifier Enable bar) 신호가 0V로 활성화되면 클럭 인버터 형태의 감지 증폭기는 BL의 VDD 또는 0V를 센싱하여 DOUT으로 읽은 데이터를 출력한다. 기존의 BL S/A 회로[3]는 프로그램 되지 않은 셀을 읽는 경우 높은 임피던스를 갖는 풀-업 트랜지스터가 스위칭이 일어나면서 커패시터 커플링 노이즈가 BL에 영향을 미친다. 그래서 본 논문에서는 MP1을 항상 ON시키므로 커플링 노이즈를 제거하였다. 그래서 '1' 데이터를 읽는 경우 OFF된 액세스 트랜지스터의 누설 전류에 의해 BL이 방전되지 않도록 한다.

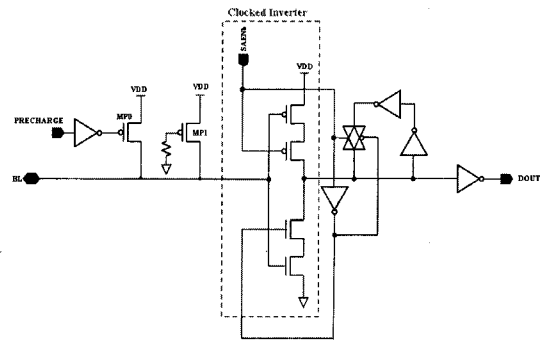


그림 7. Clocked 인버터 형태의 감지 증폭기
Fig. 7. Sense amplifier of clocked inverter type.

III. 모의실험 결과

본 논문에서는 동부하이텍 0.18 μ m BCD 공정을 이용하여 1-kb OTP IP를 설계하였다. 그림 8은 읽기 모드에서 OTP 메모리로 들어오는 RD 신호, 그림 1의 제어 로직에서 나오는 PRECHARGE, SAENb 신호의 타이밍 다이어그램을 보여주고 있으며, HSPICE를 사용하여 모의실험되었다. RD 신호가 인가되면 그림 8에서 보는 바와 같이 PRECHARGE 신호에 의해 BL은 VDD 전압으로 프리차지 된다. BL이 프리차지된 후 RWL이 활성화되면서 셀의 데이터가 BL에 전달되면 SAENb 신호에 의해 BL의

데이터가 BL S/A에 의해 센싱되어 DOUT 노드로 출력된다. 그림 8(a)는 '0'로 프로그램된 셀이고, 그림 8(b)는 '1'로 프로그램된 셀의 모의실험 결과를 보여주고 있으며, 액세스 시간은 412.3ns이다. 한편 읽기 모드에서 소모되는 전력은 70.14μW이다.

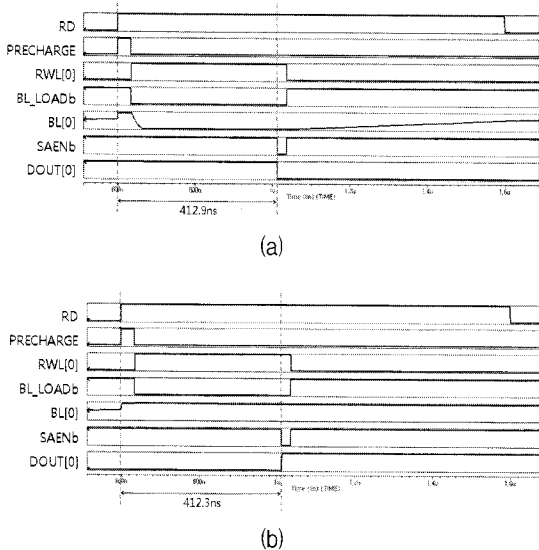


그림 8. 읽기 모드에서의 모의실험 결과
(a) '0'로 프로그램된 셀의 경우
(b) '1'로 프로그램된 셀의 경우

Fig. 8. Simulation result at read mode:
(a) in case that '0' is programmed in the cell and
(b) in case that '1' is programmed in the cell.

그림 9는 0.18μm BCD 공정을 이용하여 설계된 비동기식 1-kb OTP 메모리의 레이아웃 이미지를 보여주며, 레이아웃 면적은 129.93μm×452.26μm이다.

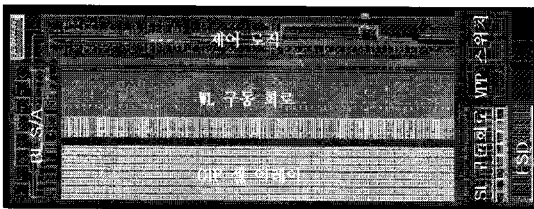


그림 9. 1-kb OTP 메모리의 레이아웃 이미지
Fig. 9. Layout image of the designed OTP memory of 1 kilo bits.

IV. 결론

Power management IC, LCD 구동 칩, CMOS 이미지 센서 칩 등의 SoC 칩에 아날로그 트리밍, 보안 및 암호화 키, 메모리 교정 기능을 수행하기 위해 CMOS 로직 공정 기반의 OTP 메모리가 많이 사용되고 있다.

본 논문에서는 PMOS 안티퓨즈를 이용한 저면적의 1-kb OTP IP를 설계하였다. 저면적의 OTP IP를 구현하기 위해 PMOS 안티퓨즈를 사용하였으며, ESD 보호를 위해 OTP 셀마다 게이트 그라운드 NMOS 트랜지스터를 사용하는 대신 OTP 코어 회로에 ESD 보호 회로를 사용하였고 OTP 셀 트랜지스터의 크기를 최적화시켰다. 한편 프로그램 되지 않은 셀의 데이터를 읽을 때 높은 임피던스를 갖는 PMOS 풀업 트랜지스터의 게이트 커플링 노이즈를 제거하기 위해 PMOS 풀업 트랜지스터를 항상 ON 시키는 방식을 사용하였다. 동부하이텍 0.18μm BCD 공정을 이용하여 설계되었다.

참고문헌

- [1] Hyouk-kyu Cha, Ilhyun Yun, Jinbong Kim, Byeong-Cheol So, Kanghyup Chun, Ilku Nam, and Kwyro Lee, "A 32-KB Standard CMOS Antifuse One-Time Programmable ROM Embedded in a 16-bit Microcontroller", *IEEE Journal of Solid-State Circuits*, vol. 41, no. 9, Sep. 2006.
- [2] 이용진, 김태훈, 심외용, 박무훈, 하판봉, 김영희, "동기식 256-bit OTP 메모리 설계", *한국해양정보통신학회 논문지*, vol. 12, no. 7, pp. 1227-1234, 7월 2008.
- [3] 백승면, 이재형, 송성영, 김종희, 박무훈, 하판봉, 김영희, "UHF RFID 태그 칩용 저전력, 저면적 비동기식 EEPROM 설계", *한국해양정보통신학회 논문지*, vol. 11, no. 12, pp. 2366-2373, 12월 2007.

저자소개



이천효(Cheon-Hyo Lee)

1984.2 동아대학교 전자공학과
공학사
1991.2 동아대학교 전자공학과
공학석사

2006.3~현재 창원대학교 박사과정
1994.3~2009.1 한국 Polytech VII 대학 부교수
2009.1~현재 한국 Polytech 항공대학 부교수
※관심분야: High-Speed I/O Interface 설계, NVM 설계



장지혜(Ji-Hye Jang)

2008.2 창원대학교 전자공학과
공학사
2008.3~현재 창원대학교
전자공학과 석사과정

※관심분야: High-Speed I/O Interface 설계



강민철(Min-Cheol Kang)

2008.2 제주대학교 전자공학과
공학사
2008.3~현재 창원대학교
전자공학과 석사과정

※관심분야: High-Speed I/O Interface 설계



김영희(Young-Hee Kim)

1989.2 경북대학교 전자공학과
공학사
1997.2 포항공과대학교
전자전기공학과 공학석사

2000.8 포항공과대학교 전자전기공학과 공학박사
1989.1~2001.2 현대전자 책임연구원
2001.3~현재 창원대학교 전자공학과 교수
※관심분야: 저전압/저전력/고속 메모리 설계, LCD 구동 칩 설계, CMOS 이미지 센서 설계, RFID 태그 칩 설계



이병준(Lee-Hynug June)

2008.2 창원대학교 전자공학과
공학사
2008.3~현재 창원대학교
전자공학과 석사과정

※관심분야: High-Speed I/O Interface 설계



하판봉(Pan-Bong Ha)

1981.2 부산대학교 전기공학과
공학사
1983.2 서울대학교 전자공학과
공학석사

1993.2 서울대학교 전자공학과 공학박사
1987.3~현재 창원대학교 전자공학과 교수
※관심분야: 임베디드 시스템, SoC 설계