
전류모드 CMOS에 의한 3치 가산기 및 승산기의 구현

성 현 경*

Implementation of Ternary Valued Adder and Multiplier Using Current Mode CMOS

Hyeon-Kyeong Seong*

이 논문은 2007년도 상지대학교 교내 연구비 지원에 의해 연구되었음

요 약

본 논문에서는 전류모드 CMOS에 의한 2변수 3치 가산기 회로와 승산기 회로를 구현하였다. 제시된 전류모드 CMOS에 의한 3치 가산기 회로와 승산기 회로는 전압 레벨로 동작하며, HSpice 시뮬레이션을 통하여 이 회로들에 대하여 동작 특성을 보였다. 제시된 회로들은 0.18 μm CMOS 표준 기술을 사용하여 HSpice로 시뮬레이션 하였다. 2변수 3치 가산기 및 승산기 회로의 단위 전류 I_u 는 5 μA 로 하였으며, NMOS의 길이와 폭 W/L는 0.54 $\mu\text{m}/0.18\mu\text{m}$ 이고, PMOS의 길이와 폭 W/L는 1.08 $\mu\text{m}/0.18\mu\text{m}$ 이다. VDD 전압은 2.5V를 사용하였으며 MOS 모델은 LEVEL 47으로 시뮬레이션 하였다. 전류모드 CMOS 3치 가산기 및 승산기 회로의 시뮬레이션 결과에서 전달 지연 시간이 1.2 μs 이며, 3치 가산기 및 승산기 회로가 안정하게 동작하여 출력 신호를 얻는 동작 속도가 300MHz, 소비 전력이 1.08mW임을 보였다.

ABSTRACT

In this paper, the circuit of 2 variable ternary adder and multiplier circuit using current mode CMOS are implemented. The presented ternary adder circuit and multiplier circuit using current mode CMOS are driven the voltage levels. We show the characteristics of operation for these circuits simulated by HSpice. These circuits are simulated under 0.18 μm CMOS standard technology, 5 μA unit current in 0.54 $\mu\text{m}/0.18\mu\text{m}$ ratio of NMOS length and width, and 0.54 $\mu\text{m}/0.18\mu\text{m}$ ratio of PMOS length and width, and 2.5V VDD voltage, MOS model Level 47 using HSpice. The simulation results show the satisfying current characteristics. The simulation results of current mode ternary adder circuit and multiplier circuit show the propagation delay time 1.2 μs , operating speed 300KHz, and consumer power 1.08mW.

키워드

전류모드 CMOS, 3치 논리회로, 유한체 GF(3), 가산기, 승산기
(Current-mode CMOS, Ternary logic circuit, Finite Fields GF(3), Adder, Multiplier)

I. 서 론

오늘날 반도체 기술의 발달로 인하여 칩의 집적도가 비약적으로 증가하고 있으나 단자수 제한 문제, 단자간 상호 연결 문제, 보다 많은 정보량의 처리 문제와 연산 속도의 제한성 문제 등이 있다. 이러한 문제점들을 해결하기 위하여 지난 수십 년 동안 다치 논리 회로의 실현에 많은 흥미를 가져왔으며[1-3], 그 중에서도 유한체(Galois Field; GF)는 2진 논리를 수행하는 부울체의 확장이라는 점에서 다치 논리 이론의 주관심 분야가 되었다[4-5].

유한체는 스위칭 이론, 오진 정정 부호, 디지털 신호 처리 및 화상 처리, 디지털 통신의 암호화 및 해독화를 요하는 보안 통신 등에 많이 응용되고 있다. 특히, $GF(2^m)$ 은 신호 처리와 화상 처리 분야에서 특별한 계산을 요하거나 범용 컴퓨터 계산의 고속화를 보조하는 고성능 전용 컴퓨터의 설계에 효과적이며, VLSI 설계에 응용되고 있다[6,7].

유한체 $GF(p^m)$ (단 $p \geq 3$)상에서 가산과 승산은 2진 산술 연산과는 현저하게 다르며 유용성과 단순성 때문에 유한체에 관한 연구가 활발히 진행되고 있다. 유한체상의 가산은 직접적이고 비트 독립적인 $mod(p)$ 연산으로 2진 가산보다 쉽다. 반면에 승산은 2진 승산보다 어렵고 복잡한 계산이 요구되나 단자당 높은 함수 기능 및 고밀도 실현의 장점을 가지고 있다[8,9].

초기의 다치 논리 회로의 설계는 주로 전압 모드 쌍접합 트랜지스터와 CMOS 회로에 의해 이루어져 왔다. 그러나 대부분의 전압 모드 다치 논리 회로는 회로의 복잡성과 전달 지연 때문에 2치 논리 회로와 경쟁이 못되어 새로운 기술인 전류 모드 CMOS 다치 논리 회로가 1980년대 중반에 소개되었다[10]. 제시된 전류 모드 CMOS 회로는 VLSI화의 요구 사항들에 대하여 호환성을 가지며, 적은 CMOS 공급 전압에서 안정하게 동작한다. 그리고 전압 모드가 갖는 결점을 보완하고 임의의 정점에서 전류 신호의 가감과 높은 전압의 공급 없이도 각 기수의 할당이 용이한 이점을 갖는다[11,12].

또한 VLSI 설계에서 모듈 구조와 규칙적 상호연결이 중요한 설계 객체이다. 유한체상의 가산 및 승산을 위한 알고리즘이 지난 십수년간 제안되어 왔으나 불행하게도 이들 알고리즘은 불규칙한 회선 경로 선택, 복잡한 제어 문제, 비모듈화 구조 및 병발성의 부족 때문에 VLSI

구조의 설계에 부적합하였다[13].

Current[14]는 간단한 전류 비교기, 전류 모드 다치 논리 부호기 및 복호기와 4치 전가산기 등의 다양한 전류 모드 CMOS 다치 논리 회로를 실현하였다. Hanyu 등[15]은 표준 CMOS 기술을 사용하여 래치된 부호 디지털(SD) 전가산기를 수행하는 54×54 -b 파이프라인 승산기를 설계하였다. Navi 등[16]은 전류 모드 CMOS를 사용한 3치-2진 변환기(3-BC)와 4치-2진 변환기(4-BC)를 기초로 하여 1비트 전류 모드 가산기를 설계하였고, Kawahito 등[17]은 기수 4인 부호 디지털의 수체계를 기초한 32×32 비트 2의 보수 승산을 수행하는 승산기를 설계하였다. 이는 3단계 부호 디지털 전가산기(SDFA's)를 수행한다.

Fukuda[18]는 출력단자가 신호레벨 0으로 미리 충전되어 있는 후에 입력신호에 따라 동작하는 부호-디지털 CMOS 논리회로를 제안하였으며, 제안된 회로는 2진 부호-디지털 +1, 0, -1의 표현을 사용하여 구동회로, 인버터 회로, 전가산기 회로를 구현하였다. 이 회로는 동작속도는 빠르나 이진부호를 사용한 다치회로를 구현하므로 소비전력이 높은 단점이 있다. Okada 등[19]은 4진 리터럴 함수를 구현하는 하나의 전류원을 갖는 직렬-게이트 차분쌍회로(SGDPC)를 구현하였으며, 제안된 회로는 전압모드로 동작하기 때문에 부호레벨의 분별력이 낮으며 동작속도가 느리다. 또한 Hirotsuki 등[20]은 터널링 자기저항소자를 이용하여 문턱전압 변화 보상회로를 구현하였으며, 제안한 보상회로와 전류모드 CMOS 회로를 결합하여 3치 비교기를 구현하였다. 제안된 비교기는 터널링 자기저항을 사용하여 문턱전압을 변화시키므로 집적회로를 구현할 경우 외부에서 연결되어야 한다. 이들이 제시한 회로들은 단지 회로 소자를 실현하는 것으로 제한되었거나, 부호 디지털의 수체계를 기초한 승산기에 의한 전가산기의 설계로서 유한체상의 다치 논리 회로를 수행하는데 많은 단점이 있다.

그러므로 본 논문에서는 유한체상에서 다치 연산회로를 구현할 수 있는 전류모드 CMOS에 의한 두 입력의 3치 가산기와 3치 승산기를 구현하였다. 제안된 3치 가산기와 승산기는 기준전류가 매우 낮은 전류에서 동작하며, 소비전력이 적다.

II. 전류모드 CMOS 기본회로

전류모드 CMOS회로는 정보를 전류로 표현하므로 공급전원의 크기를 증가할 필요가 없으며, 전류의 가산과 감산이 용이함으로 가산, 감산 및 보수연산을 쉽게 실현할 수 있고, 전류 비교를 쉽게 수행할 수 있는 장점이 있다. 또한 동작범위가 넓어서 큰 기저(radix)도 높은 전원전압의 공급없이 실현이 가능하다. 아날로그 MOS 회로에서 지금까지 전류미러의 출력을 정전류원으로 이용하는 방법이 자주 사용되고 있다. 그러나 보다 안정하고, 점유면적 면에서 우수한 전류원의 실현은 공핍형 PMOS를 사용한 방법이 제안되고 있으며, 전류원은 다음 식 (1)과 같이 나타낸다[10].

$$I_{out} = K(W/L)(V_{TH})^2[1 + \lambda(V_{DD} - V_{out})] \quad (1)$$

식 (1)식에서 λ 를 충분히 작게 할 수 있으며, 전원전압 변동에 의해 거의 영향을 받지 않게 할 수 있고 V_{DD} 이외의 바이어스 전압은 필요하지 않다. 전류모드 CMOS 회로를 구성하는 기본회로는 다음과 같다[7,9,14].

2.1 전류차분회로

전류모드 CMOS에 의한 전류차분회로는 그림 1과 같이 구성한다. 그림 1에서 정전류원으로 표시되는 문턱전류 I_C 와 다이오드 특성을 나타내는 M1 트랜지스터로 구성된다. 이 회로에 대한 동작특성이 식 (2)와 같다.

$$I_0 = \begin{cases} I_C - I_i & \text{iff } I_C > I_i \\ 0 & \text{iff } I_C \leq I_i \end{cases} \quad (2)$$

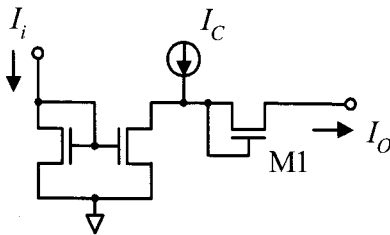


그림 1. 전류차분회로
Fig. 1. Current differential circuit

2.2 전류미러회로

전류모드 CMOS에 의한 전류미러회로는 그림 2와 같이 구성한다. 그림 2의 전류미러회로는 하나의 입력전류 I_i 에 대하여 소자 특성이 동일한 경우 여러 개의 출력전류를 갖는다. 이는 일반적으로 전류모드 회로에서 팬아웃 수가 1이라는 결점을 보완해 준다. 전류이득에 관계되는 MOS 소자의 폭(W)과 길이(L)의 비율이 동일하다고 가정할 경우 출력전류는 입력전류와 같은 값을 갖게 된다[17].

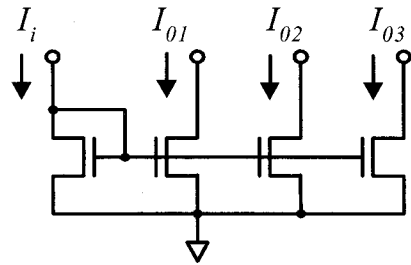


그림 2. 전류미러회로
Fig. 2. Current mirror circuit

2.3 전류스위치회로

전류모드 CMOS에 의한 전류스위치회로는 그림 3과 같으며, 패스트랜지스터 M1의 게이트 전압 V_G 가 높게 되면 출력전류가 0이 되고, M1의 V_G 가 낮게 되면 전류스위치회로는 전류미러회로로 동작한다.

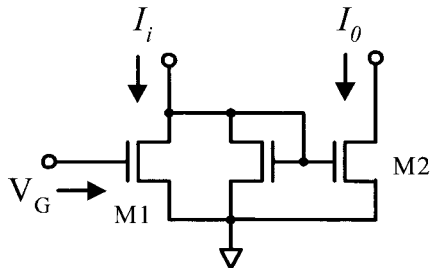


그림 3. 전류스위치회로
Fig. 3. Current switch circuit

III. 전류모드 CMOS 3치 가산기 및 승산기 구현

이 장에서는 앞장에서 논한 전류모드 CMOS에 의한 2변수 3치 가산기 및 승산기를 구현한다. 제시된 회로들은 0.18 μ m CMOS 공정기술을 사용하여 HSpice로 시뮬레이션 하였다. 단위전류 I_u 는 5 μ A로 하였으며, NMOS의 W/L은 0.54 μ m/0.18 μ m이고, PMOS의 W/L은 1.08 μ m/0.18 μ m이 VDD 전압은 2.5V를 사용하였다. 사용한 MOS 모델은 LEVEL 47로 시뮬레이션 하였다.

3.1 2변수 3치 가산 및 승산 함수

유한체는 Galois에 의해 발견된 수학의 한 분야로 Galois체 또는 간단히 GF라 한다. 유한체를 개략적으로 정의하면 유한개의 원소를 이루어진 집합에 대하여 그 원소들 간의 연산이 사칙연산에 대하여 닫혀있는 집합체를 말한다.

유한체는 기초체(ground field)인 GF(p)와 이를 확장한 확대체(extension field)인 GF(p^m)로 구분된다. 여기서 p는 소수(prime number)이고, m은 양의 정수이다. p 또는 p^m은 유한체 구성원소의 수를 나타낸다. 예를 들어, 유한체 GF(2)는 0과 1의 두 원소로 구성되며, 이러한 기초체를 확장한 확장체 GF(2^m)은 2^m개의 유한체 원소들을 갖는다[6,7].

그러므로 유한체 GF(p^m)상에서 p=3, 이고 m=2인 2변수 3치 가산함수는 식 (4)와 같으며, 식 (4)의 함수에 의해 구성된 GF(3)의 진리표는 표 1에서 보인다.

$$F(x_0, x_1) = (x_0 + x_1) \text{ mod}(3) \tag{4}$$

표 1. 2변수 3치 가산 진리표
Table 1. 2-variable ternary additive truth table

	x_0	0	1	2
x_1	0	0	1	2
	1	1	2	0
	2	2	0	1

또한, 유한체 GF(p^m)상에서 p=3, 이고 m=2인 2변수 3치 승산함수는 식 (5)와 같으며, 식 (5)의 함수에 의해 구성된 GF(3)의 진리표는 <표 2>에서 보인다.

$$F(x_0, x_1) = (x_0 \cdot x_1) \text{ mod}(3) \tag{5}$$

표 2. 2변수 3치 승산 진리표
Table 2. 2-variable ternary multiplicative truth table

	x_0	0	1	2
x_1	0	0	0	0
	1	0	1	2
	2	0	2	1

본 논문에서는 유한체 GF(3)상에서 2변수 3치 가산함수에 의해 구한 2변수 3치 가산 진리표와 2변수 3치 승산함수에 의해 구한 2변수 3치 승산 진리표를 수행하는 전류모드 CMOS 3치 가산기 회로와 승산기 회로의 구현에 대하여 논한다. 제시된 회로들은 0.18 μ m CMOS 기술을 사용하여 HSpice로 시뮬레이션 하였다. 3치 가산기 회로와 승산기 회로의 단위 전류 I_u 는 5 μ A로 하였으며 NMOS의 W/L은 0.54 μ m/0.18 μ m이고, PMOS의 W/L은 1.08 μ m/0.18 μ m이고, VDD 전압은 2.5V를 사용하였다. 사용한 MOS 모델은 LEVEL 47로 시뮬레이션 하였다.

3.2 가산기 회로

그림 4의 회로는 식 (4)에 의해 구성된 표 1의 2변수 3치 가산 진리표의 연산을 수행하는 전류모드 CMOS 3치 가산기 회로이다.

그림 4의 전류모드 CMOS 3치 가산기 회로는 두 입력 x_0 와 x_1 에 가해진 전류에 따라 M8, M9와 M10, M11 트랜지스터에 의해 전류가 복제되며, 이로 인하여 전류원인 M1에서 두 입력에 의해 가해진 전류의 합에 대응되는 전류가 생성된다. 이 전류값이 전류원 M7에 복제된다. 전류원 M4와 M5에 연결된 트랜지스터 M12, 13과 M14, 15와 M17, 18은 전류 비교기이다.

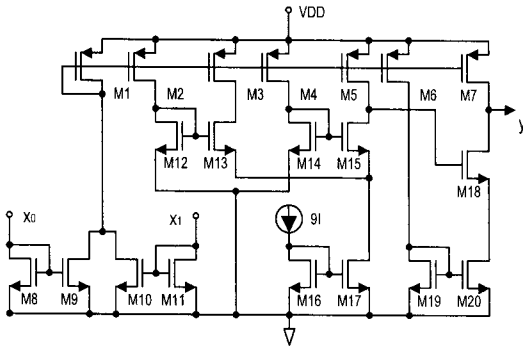


그림 4. 전류모드 CMOS 3치 가산기 회로
Fig. 4. Current mode CMOS ternary adder circuit

M2 전류원은 비교되는 기준 전류값 $2.5I_u$ 를 생성하도록 하였으며, M3 전류원은 두 입력 전류의 합이 복제된다. 이 전류가 기준 전류 $2.5I_u$ 와 비교되어 $2.5I_u$ 보다 적으면 M19 트랜지스터가 동작하지 않으므로 M7의 전류가 출력 y 에 $y = (x_0 + x_1)$ 의 전류가 흐른다. 기준 전류 $2.5I_u$ 보다 크면 M19 트랜지스터가 동작하여 전류원 M6의 전류 $3I_u$ 에 연결된 M20, M21의 전류미러에 의해 M7의 전류값에서 M6의 전류 $3I_u$ 가 차분된다. 그러므로 출력 y 에 $y = (x_0 + x_1) - 3I_u$ 의 전류가 흐르게 된다. 즉 두 입력의 전류값에 따라 출력 y 에 0, I_u , $2I_u$ 의 전류가 흐르게 되며, 출력 y 는 입력 x_0 와 x_1 의 합을 $\text{mod}(3)$ 한 $y = (x_0 + x_1) \text{mod}(3)$ 를 수행한다. 전류 비교기에서 정전류원의 크기는 $9I_u$ 정도이다. 이는 M17, M18에 의해 충분히 큰 전류가 복제되도록 하였다.

그림 5는 전류모드 CMOS 3치 가산기 회로에 대한 시뮬레이션 결과이다. 입력 $x_0(I_x)$ 의 전류가 $0\mu\text{s}$ 에서 $40\mu\text{s}$ 간격으로 $0\mu\text{A}$ 에서 $5\mu\text{A}(I_u)$ 씩 증가하고, 입력 $x_1(I_y)$ 의 전류가 $0\mu\text{s}$ 에서 $120\mu\text{s}$ 간격으로 $5\mu\text{A}(I_u)$ 씩 증가할 때 출력 전류 $y(I_o)$ 의 변화를 보인다. 그림 5에서 $100\mu\text{s}$ 에서 I_x 가 $10\mu\text{A}(2I_u)$ 이고, I_y 가 $0\mu\text{A}$ 일 때 출력 전류 $y(I_o)$ 이 $10\mu\text{A}(2I_u)$ 임을 보인다. 그러므로 두 입력에 따라 출력 y 의 전류가 $0\mu\text{A}$ 에서 $10\mu\text{A}$ 까지 3치에 해당하는 전류가 흐름을 확인할 수 있다.

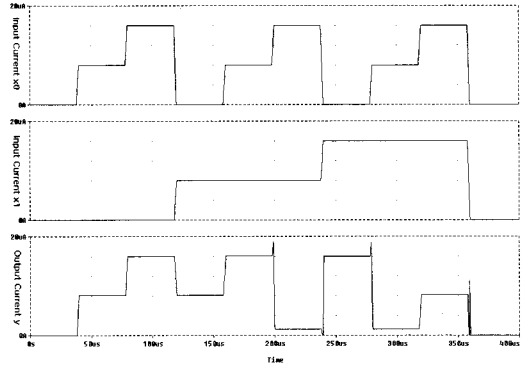


그림 5. 전류모드 CMOS 3치 가산기 회로의 시뮬레이션 결과

Fig. 5. The simulation results of current mode CMOS ternary adder circuit

3.3 승산기 회로

그림 6의 회로는 식 (5)에 의해 구성된 표 2의 2변수 3치 승산 진리표의 연산을 수행하는 전류모드 CMOS 3치 승산기 회로이다.

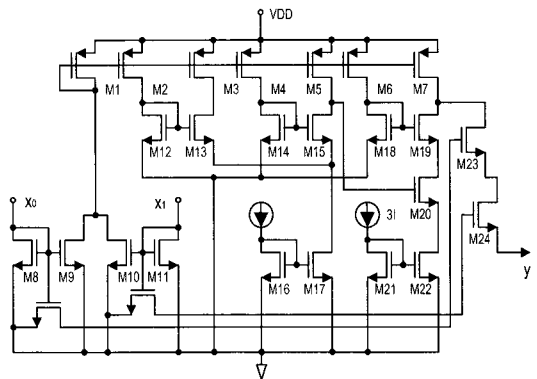


그림 6. 전류모드 CMOS 3치 승산기 회로
Fig. 6. Current mode CMOS Ternary multiplier circuit

그림 6의 전류모드 CMOS 3치 승산기 회로는 두 입력 x_0 와 x_1 에 가해진 전류에 따라 M8, M9와 M11, M12 트랜지스터에 의해 전류가 복제된다. 이로 인하여 전류원인 M1에서 두 입력에 의해 가해진 전류의 합에 대응되는 전류가 생성되며, 이 전류값이 전류원 M7에 복제된다.

전류원 M4와 M5에 연결된 트랜지스터 M14, 15와 M16, 17와 M18, 19은 전류 비교 회로이다. M2 전류원은 비교되는 기준 전류값 $3.5I_u$ 를 복제하며, M3 전류원은 두 입력 x_0 와 x_1 전류의 합이 복제된다. 이 전류가 기준 전류 $3.5I_u$ 와 비교되어 기준 전류보다 적으면 M22 트랜지스터의 게이트 전압 VG가 낮아 동작하지 않는다. 이때 M1에 의해 복제된 전류원 M7의 전류가 전류원 M6의 전류(I_u)에 의해 M20과 M21에 의해 차분되고, 출력 y 에 $y = (x_0 + x_1) - I_u$ 의 전류가 흐르게 된다.

또한 두 입력 x_0 와 x_1 전류의 합인 M3 전류가 기준 전류 $3.5I_u$ (M2)와 비교되어 기준 전류 보다 크면 M22의 게이트 전압이 2.5V가 되어 전류 스위치로 동작한다. 이로 인하여 M7의 전류가 전류원 $2I_u$ 를 M23, M24에 의해 복제된 전류값 만큼 차분되어 출력 y 에 $y = (x_0 + x_1) - (I_u + 2I_u)$ 의 전류가 흐른다. 즉 두 입력단의 전류값에 따라 출력 y 에 0, I_u , $2I_u$ 의 전류가 흐르게 된다. M23과 M24는 전류 스위치이다. x_0 또는 x_1 의 입력 전류가 0이면 트랜지스터가 동작하지 않아 출력 y 는 0의 값을 갖게 된다. 전류 비교기에서 정전류원의 크기는 $9I_u$ 정도이다. 이는 M18, M19에 의해 충분히 큰 전류가 복제되도록 하였다.

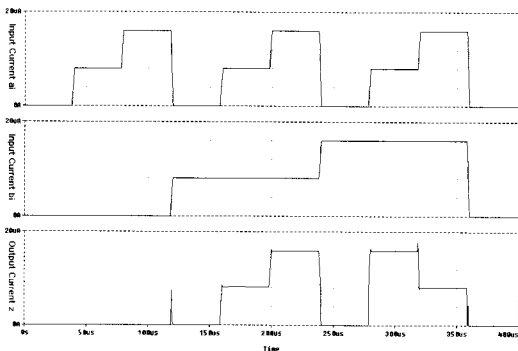


그림 7. 전류모드 CMOS 3치 승산기 회로의 시뮬레이션 결과

Fig. 7 The simulation results of current mode CMOS ternary multiplier circuit

그림 7은 전류모드 CMOS에 의한 2변수 3치 승산기 회로에 대한 시뮬레이션 결과이다. 입력 x_0 (Ix0)의 전류가 $0\mu s$ 에서 $40\mu s$ 간격으로 $0\mu A$ 에서 $5\mu A(I_u)$ 씩 증가하고,

입력 x_1 (Ix1)의 전류가 $0\mu s$ 에서 $120\mu s$ 간격으로 $5\mu A(I_u)$ 씩 증가할 때 출력전류 y 의 변화를 보인다. 그림 7에서 $160\mu s$ 에서 x_0 가 $5\mu A$ 이고, x_1 가 $5\mu A$ 일 때 출력전류 y 는 $5\mu A$ 임을 보인다. $200\mu s$ 에서 x_0 가 $10\mu A$ 이고 x_1 가 $5\mu A$ 일 때 출력전류 y 가 $10\mu A$ 임을 보인다.

전류모드 CMOS 3치 가산기 회로 및 승산기 회로의 시뮬레이션 결과에서 전달 지연 시간이 $1.2\mu s$ 이며, 2변수 3치 가산기 및 승산기가 안정하게 동작하여 출력 신호를 얻는 동작 속도가 $300MHz$ 이고, 소비 전력이 $1.08mW$ 임을 보였다.

IV. 결론

본 논문에서는 전류모드 CMOS에 의한 2변수 3치 가산기 회로와 승산기 회로를 구현하였다. 제시된 전류모드 CMOS에 의한 3치 가산기 회로와 승산기 회로는 전압 레벨로 동작하며, HSpice 시뮬레이션을 통하여 이 회로들에 대하여 동작 특성을 보였다.

본 논문에서 제시한 전류모드 CMOS에 의한 GF(3)상의 3치 승산기 회로에서 전류모드 CMOS의 승산기 회로는 GF(2)상에서는 전류원의 값만 변환하면 AND 게이트로 동작한다. 3치 가산기 회로는 전류원의 값만 변환하면 XOR 게이트로 동작하므로 2진 논리 회로 및 3치 논리 회로에서 호환성을 갖는 장점이 있다.

제시된 회로들은 $0.18\mu m$ CMOS 표준 기술을 사용하여 HSpice로 시뮬레이션 하였다. 2변수 3치 가산기 및 승산기 회로의 단위 전류 I_u 는 $5\mu A$ 로 하였으며, NMOS의 길이와 폭 W/L는 $0.54\mu m/0.18\mu m$ 이고, PMOS의 길이와 폭 W/L는 $1.08\mu m/0.18\mu m$ 이다. VDD 전압은 2.5V를 사용하였으며 MOS 모델은 LEVEL 47로 시뮬레이션 하였다. 전류모드 3치 가산기 및 승산기 회로의 시뮬레이션 결과에서 전달 지연 시간이 $1.2\mu s$ 이며, 3치 가산기 및 승산기 회로가 안정하게 동작하여 출력 신호를 얻는 동작 속도가 $300MHz$, 소비 전력이 $1.08mW$ 임을 보였다.

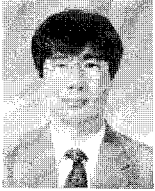
향후 연구 과제는 전류모드 CMOS 3치 가산기 및 승산기 회로에서 소비 전력이 $1.08mW$ 를 보였는데 실용화를 위해서 전류모드 동작에 의한 소비 전력을 감소시키는 문제, $300MHz$ 이상에서 3치 가산기 및 승산기 회로가 안정하게 동작하는 동작 속도, 그리고 잡음에 대한 대책 및

미세 선폭의 반도체 기술에 맞도록 실제로 IC화하여 실용화하는 것이다.

참고문헌

- [1] K. C. Smith, "The prospect for multi-valued logic: a technology and applications view," *IEEE Trans. Comput.*, vol. C-30, No. 9, pp.619-634, Sept. 1981.
- [2] S. L. Hurst, "Multiple-valued logic - its future," *IEEE Trans. Comput.*, vol. C-33, No. 12, pp.1161-1179, Dec. 1984.
- [3] J. T. Butler, "Multiple-valued logic in VLSI", IEEE Computer Soc. Press, 1991.
- [4] B. Benjauthrit and I. S. Reed, "Galois switching functions and their application," *IEEE Trans. Comput.*, vol. C-25, No. 1, pp.78-86, Jan. 1976.
- [5] K. S. Menger, "A transform logic networks," *IEEE Trans. Comput.*, vol. C-18, No. 3, pp.241-250, Mar. 1969.
- [6] C. C. Wang, T. K. Truong, H. M. Shao, L. J. Deutsch, J. K. Omura and I. S. Reed, "VLSI architectures for computing multiplications and inverses in $GF(2^m)$," *IEEE Trans. Comput.*, vol. C-34, No. 8, pp.709-717, Aug. 1985.
- [7] H. M. Shao, T. K. Truong, L. J. Deutch, J. H. Yaeh and I. S. Reed, "A VLSI design of a pipelining Reed-Solomon decoder," *IEEE Trans. Comput.*, vol. C-34, No. 5, pp.393-403, May 1985.
- [8] 성현경, 김홍수, " $GF(2^m)$ 상의 셀 배열 승산기의 구성," *전자공학회논문지*, 제26권, 제4호, pp.81-87, 1989년 4월.
- [9] Z. Zilic and Z. Vranesic, "Current-mode CMOS Galois field circuits," *Proc. 23rd ISMVL*, Sacramento, CA, USA, pp.245-250, May 1993.
- [10] S. P. Onneweer and H. G. Kerkhoff, "Current-mode CMOS high-radix circuits," *Proc. 16th ISMVL*, Blacksburg, Virginia, USA, pp.60-69, May 1986.
- [11] J. T. Butler, J. H. Pugsley and C. B. Silio Jr., "High-speed multiplier uses 50 percent less chip area and power," *IEEE Computer*, vol. 20, No. 8, pp.109-110, Aug. 1987.
- [12] T. Yamakawa, T. Miki and F. Ueno, "The design and fabrication of the current mode fuzzy logic semicustom IC in standard CMOS IC technology," *Proc. 15th ISMVL*, Kingston, Ontario, Canada, pp.76-82, May 1985.
- [13] S. Bandyopadhyay and A. Sengupta, "Algorithms for multiplication in Galois field for implementation using systolic arrays," *IEE Proc.*, vol. 135, Pt. E, No. 6, pp.336-339, Nov. 1988.
- [14] K. W. Current, "Current-mode CMOS multiple-valued logic circuits," *IEEE J. Solid-State Circuits*, vol. 29, No. 2, pp.95-107, Feb. 1994.
- [15] T. Hanyu and M. Kameyama, "A 200MHz pipelined multiplier using 1.5V supply multiple-valued MOS current-mode circuits with dual-rail source-coupled logic," *IEEE J. Solid-State Circuits*, vol. 30, No. 11, pp.1239-1245, Nov. 1995.
- [16] K. Navi, A. Kazeminejad and D. Etiemble, "Performance of CMOS current mode full adders," *Proc. 24th ISMVL*, Boston, MA, USA, pp.27-34, May 1994.
- [17] S. Kawahito, M. Kameyama, T. Higuchi and H. Yamada, "A 32×32 -bit multiplier using multiple-valued MOS current-mode circuits," *IEEE J. Solid-State Circuits*, vol. 23, No. 1, pp.124-132, Feb. 1988.
- [18] H. Fukuda, "Signed-digit CMOS (SD-CMOS) Logic Circuits with Dynamic Operation," *Proc. 35th ISMVL*, Calgary, Canada, pp.76-82, May 2005.
- [19] N. Okada and M. Kameyama, "Low-Power Multiple-Valued Reconfigurable VLSI Using Series-Gating Differential-Pair Circuits," *Proc. 37th ISMVL*, Oslo, Norway, May 2007.
- [20] A. Hirotsaki, M. Miura, A. Matsumoto, and T. Hanyu, "Vth-Variation Compensation of Multiple-Valued Current-Mode Circuit Using TMR Devices," *Proc. 38th ISMVL*, Dallas, Texas, U.S.A, pp.14-19, May 2008.

저자소개



성현경(Hyeon-Kyeong Seong)

1982년 인하대학교 전자공학과
공학사

1984년 인하대학교 대학원
전자공학과 공학석사

1991년 인하대학교 대학원 전자공학과 공학박사

2005년 ~ 2006년 미국 Naval Postgraduate School 방문
교수

1991년 ~ 현재 상지대학교 컴퓨터정보공학부 교수

※ 관심분야 : Multiple-Valued Logic Design, Computer
Architecture Design, Information & Coding Theory,
Cryptography Theory & Security, RFID/WSN 설계 및
응용 등