

---

# OFDM 시스템에서 I/Q 불평형 추정기의 FPGA 구현

변건식\* · 김진수\*\*

FPGA Implementation of I/Q Imbalance Estimator in OFDM System

Kun-sik Byon\* · Jin-Su Kim\*

---

이 논문은 동아대학교 학술연구비 지원에 의하여 연구되었음

---

## 요 약

본 논문은 OFDM을 사용하는 DVB-T 시스템에서 발생하는 IQ 불평형 오류를 추정하고 보상하는 문제를 Matlab으로 성능 평가하고, 이 중 IQ 불평형 오류 추정 보상 회로 부분을 Xilinx의 System Generator를 이용하여 FPGA로 설계 구현하여 성능을 비교 평가한 것이다. 모의실험 결과, Matlab 결과와 System Generator 결과 모두 IQ 불평형 오류가 우수하게 추정 보상됨을 확인하였으며, 또한 구현한 FPGA의 성능을 평가하기 위해 Hardware co-simulation 과정을 통해 Xilinx Spartan3 xc3s1000 fg676-4 target Device에 로딩하고, 타이밍 해석과 resource량도 확인함으로써 성능을 검증하였다.

## ABSTRACT

This paper designed IQ imbalance estimator and compensator to cancel the IQ imbalance error in DVB-T system using OFDM by Matlab. Among Matlab model, we designed and implemented IQ imbalance estimator and compensator by System Generator of Xilinx and Matlab model compared with Xilinx System Generator Model for FPGA implementation. As a result of simulation, we confirmed that both model estimated and compensated IQ imbalance error very well. Also, we verified the performance through hardware co-simulation, timing analysis and resource estimation with Xilinx Spartan3 xc3s1000 fg676-4 target Device.

## 키워드

OFDM, I/Q Imbalance, System Generator, FPGA

---

\* 동아대학교 전자공학과 교수  
\*\* 동아대학교대학원 석사과정

접수일자 2009. 03. 06  
심사완료일자 2009. 05. 19

## I. 서 론

OFDM(Orthogonal Frequency Division Multiplexing)을 기반으로 하는 QAM 신호 좌표에서 수신기에서의 IQ(In phase-Quadrature Phase) 불평형은 수신기 성능에 큰 영향을 준다. 따라서 수신기에서의 IQ 불평형은 추정되고 보상되어야 한다. 영상 주파수 제거와 채널 선택을 위한 필터를 필요로 하는 전통적인 슈퍼 헤더로 다인 수신기는 집적회로에 적합하지 않으며, 영상 신호가 없는 직접 변환 수신기가 집적화에 적합하다. 그러나 직접 변환 수신기의 주요 문제 중 하나는 IQ 신호 경로를 정합시키는 것이다[1,2,3,4]. 일반적으로 이러한 문제는 IQ 불평형 문제라 하며, 집적화에서 이러한 문제는 IQ 가지에 부정합을 야기하며, 이에 따라 IQ 부정합을 보상하기 위해 디지털 신호 처리가 도입되어야 한다.

OFDM을 사용하는 직접 변환 수신기에서 IQ 불평형의 영향을 보상하는 디지털 방법은 문헌 [5,6]에서 제안되었으며, [5]의 방법은 complex least mean square에 기초하였으나 긴 수렴 시간이 필요하였고, [6]의 방법은 IQ 불평형이 존재할 때도 완전한 채널 등화기가 필요하다는 단점을 가지고 있다. 본 논문은 이와 같은 등화기를 필요로 하지 않는 간단한 방법을 이용하여 시뮬레이션을 통해 상대적으로 큰 IQ 불평형을 정정할 수 있음을 보여주며 이를 Xilinx의 System Generator를 이용하여 FPGA로 구현하고 co-sim을 이용하여 하드웨어의 타당성을 입증하는 것이다. 본 논문의 시뮬레이션에 사용한 OFDM 기반 시스템은 DVB-T(Digital Video Broadcasting -terrestrial) 모델을 사용하였다[3].

## II. 직접 변환 수신기에서의 IQ 불평형

그림 1은 OFDM을 기반으로 하는 직접 변환 수신기 구성도를 보여준다.

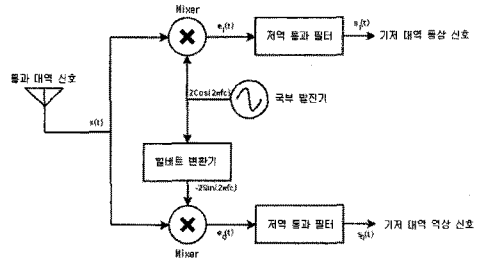


그림 1. 2중 가지 직접 변환 수신기 구성도  
Fig. 1 Block Diagram of Dual Branch direct conversion Receiver

그림 1에서 수신 신호  $s(t)$ 는 식(1)과 같다.

$$s(t) = s_I(t)\cos(2\pi f_c t) - s_Q(t)\sin(2\pi f_c t) \quad (1)$$

합성된 출력의 실수부와 허수부는 힐버트 변환을 이용해서 나타내면 식(2), (3)과 같다.

$$e_I(t) = s(t) \cdot 2\cos(2\pi f_c t) \quad (2)$$

$$= s_I(t) + s_I(t)\cos(4\pi f_c t) - s_Q(t)\sin(4\pi f_c t)$$

$$e_Q(t) = s(t) \cdot -2\sin(2\pi f_c t) \quad (3)$$

$$= s_Q(t) - s_Q(t)\cos(4\pi f_c t) - s_I(t)\sin(4\pi f_c t)$$

$e_{I/Q}(t)$ 는 회상 기저 대역 신호와  $2f_c$ 를 중심으로한 통과 대역 신호를 갖고 있다. 회상 기저 대역 신호를 추출하기 위해서 저역 통과 필터를 통과한 뒤 기저 대역 동상 신호  $s_I(t)$ 와 기저 대역 역상 신호  $s_Q(t)$ 를 출력한다. 위의 직접 변환 수신기는 IF 변환을 필요로 하지 않는다. 따라서 IF 대역 통과 필터의 필요성을 없애고, 잡음을 만드는 영상 주파수 문제를 제거함으로써 실용적인 집적화가 가능하다. 그러나 수신기의 동상 및 역상 가지는 직교이어야 하지만 실제로는 IQ 가지에 불평형을 유발할 수 있다.

### 2.1 IQ 불평형 해석

그림 2는 IQ 불평형이 존재하는 복조기의 구성도를 보여준다. 이득 불평형과 위상 불평형인  $\alpha/\beta$ 와  $(\theta_1 - \theta_2)$ 를 국부 발진기 신호에 포함하였다.

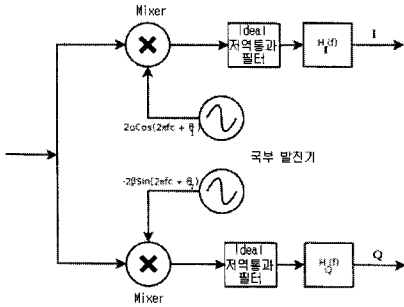


그림 2. 불평형이 존재하는 IQ 복조기  
Fig. 2 IQ Demodulator with Imbalance

IQ 불평형은 각각 임펄스 응답  $h_I(t), h_Q(t)$  과 전달 함수  $H_I(f), H_Q(f)$  를 가지는 필터로 모델화된다. 이러한 IQ 불평형이 존재할 때 아날로그 front-end 출력에서의 복조기저 대역 신호는 식(4)와 같다[4].

$$r(t) = h_1(t) \otimes d(t) + h_2(t) \otimes d^*(t) \quad (4)$$

식(4)에서  $d(t)$ 는 수신 신호의 복소 포락선이며,  $h_1(t), h_2(t)$ 는 식(5)와 같다[4].

$$h_1(t) = \frac{\alpha e^{-j\beta_1} h_I(t) + \beta e^{-j\beta_2} h_Q(t)}{2}$$

$$h_2(t) = \frac{\alpha e^{-j\beta_1} h_I(t) - \beta e^{-j\beta_2} h_Q(t)}{2} \quad (5)$$

식(4)를 DFT하면,  $k$ 번째 서브 캐리어에서의 복조 심볼은 식(6)과 같다.

$$R[k] = H_1[k] D[k] + H_2[k] D^*[-k] \quad (6)$$

식(6)에서  $D[k], H_1[k], H_2[k]$ 는  $d(t), h_1(t), h_2(t)$ 의 DFT 출력이다. 이상적인 힐버트 변환기는 전달 함수  $H_{\text{hilbert}}(f) = -j \text{sgn}(f)$ 를 가지며 넓은 주파수 범위에서 단위 이득을 얻을 수 있다. 그러나 실제로는 이상적인 힐버트 변환기는 설계하기 어려우며 이로 인하여 이득의 불평형이 발생한다.

### 2.2 IQ 불평형 추정

DVB-T는 정보 데이터와 예측 가능한 파일럿 데이터를 송신하며, 이상적인 파일럿 데이터에 대해 수신 파일럿 데이터 값을 비교함으로써 IQ 불평형을 추정할 수 있다[1]. DVB-T 시스템의 기저 대역 신호는 식(7)과 같다 [4].

$$c(t) = \frac{1}{N+1} \sum_{k=-N/2}^{N/2} C[k] e^{j2\pi k f_s t} \quad (7)$$

식(7)에서  $N+1$ 은 서브 캐리어 수,  $C[k]$ 는  $k$ 번째 서브 캐리어의 심볼,  $f_s$ 는 서브 캐리어간 간격이다. 이 때 송신 신호는 식(8)과 같다.

$$s(t) = \frac{1}{2} [c(t) e^{j2\pi f_c t} + c^*(t) e^{-j2\pi f_c t}] \quad (8)$$

식(8)에서  $f_c$ 는 캐리어 주파수,  $*$ 는 복소 공액이다. 수신기 입력에서의 신호의 복소 포락선은 식(9)와 같다.

$$d(t) = c(t) + n(t)$$

$$= \frac{1}{N+1} \sum_{k=-N/2}^{N/2} (C[k] + \eta[k]) e^{j2\pi k f_s t} \quad (9)$$

여기서  $n(t)$ 는 AWGN의 복소 포락선,  $\eta[k]$ 는 이의 DFT이다. 아래 그림은 DVB-T 시스템의 OFDM 심볼 구조를 보여준다.

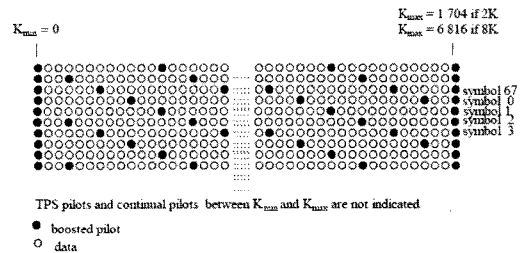


그림 3. DVB-T 포맷  
Fig. 3 DVB-T Format

boosted 파일럿이 주파수 및 시간 영역에서 주기적으로 삽입된다[3]. 파일럿은  $f_p = 12$ 의 주파수 주기성을 가지고  $t_p = 4$ 의 시간 주기성을 가진다. 심볼 인덱스 0부

터 출발하여 매 4번째 OFDM 심볼에서 파일럿 캐리어의 대부분이 중심 캐리어에 대해 대칭적으로 위치한다. 즉, 인덱스  $k$ 와  $-k$ 에서의 캐리어는 모두 파일럿이다. 파일럿 캐리어가 대칭적으로 위치할 때 식(9)를 사용하여,  $i$ 번째 OFDM 심볼에서  $k_p$  번째와  $(k_p + 12)$  번째 파일럿 서브 캐리어 인덱스에서 수신한 파일럿 심볼은 식(10)과 같이 표현할 수 있다.

$$\begin{bmatrix} R_p^i[k_p] \\ R_p^i[k_p + 12] \end{bmatrix} = \begin{bmatrix} D_p^i[k_p] & D_p^{i*}[-k_p] \\ D_p^i[k_p + 12] & D_p^{i*}[-k_p - 12] \end{bmatrix} \begin{bmatrix} H_1^i[k_p] \\ H_2^i[k_p] \end{bmatrix} \quad (10)$$

식(10)에서  $|k_p + 12| \leq 852$ 이고  $i$ 는 절대치이다.

$D_p^i[k_p]$ ,  $D_p^i[k_p + 12]$ ,  $D_p^{i*}[-k_p]$ ,  $D_p^{i*}[-k_p - 12]$ 는 잡음이 섞인 파일럿 캐리어라 가정한다. 불평형 계수인  $\{H_1^i[k_p], H_2^i[k_p]\}$ 는  $k_p$  번째와  $(k_p + 12)$  번째 파일럿 서브 캐리어 사이에서 주파수 독립임에 유념한다. 원래의 파일럿 성분을 찾기 위해 식(10)를 재정렬하면 다음과 같다.

$$R_p^i[k_p] = C_p^i[k_p]H^i[k_p] + \eta^i[k_p] \quad (11)$$

여기서 각 파라미터는 다음과 같다.

$$\begin{aligned} H^i[k_p] &= \begin{bmatrix} H_1^i[k_p] \\ H_2^i[k_p] \end{bmatrix} \\ C_p^i[k_p] &= \begin{bmatrix} C_p^i[k_p] & C_p^{i*}[-k_p] \\ C_p^i[k_p + 12] & C_p^{i*}[-k_p - 12] \end{bmatrix} \\ R_p^i[k_p] &= \begin{bmatrix} R_p^i[k_p] \\ R_p^i[k_p + 12] \end{bmatrix} \\ \eta^i[k_p] &= \begin{bmatrix} \eta_p^i[k_p] & \eta_p^{i*}[-k_p] \\ \eta_p^i[k_p + 12] & \eta_p^{i*}[-k_p - 12] \end{bmatrix} \begin{bmatrix} H_1^i[k_p] \\ H_2^i[k_p] \end{bmatrix} \end{aligned}$$

식(11)에서 불평형 계수  $H_1^i[k_p]$ 와  $H_2^i[k_p]$ 는 다음과 같이 계산할 수 있다.

$$H^i[k_p] = (C_p^i[k_p])^{-1} (R_p^i[k_p] - \eta^i[k_p]) \quad (12)$$

여기서  $\|C_p^i[k_p]\| \neq 0$ 이며  $\| \cdot \|$ 는 determinant이다. 같은 파일럿 패턴을 가지는 OFDM 심볼에 대해 식

(12)의 기대치를 취하면  $H[k_p]$ 는 식(13)과 같다.

$$H[k_p] = \begin{bmatrix} H_1[k_p] \\ H_2[k_p] \end{bmatrix} = E[(C_p^i[k_p])^{-1} R_p^i[k_p]] \quad (13)$$

여기서 잡음 행렬  $\eta^i[k_p]$ 의 평균은 0이라 가정한다. 따라서  $(C_p^i[k_p])^{-1} R_p^i[k_p]$ 는 주파수 인덱스  $k_p$ 에서 불평형 계수의 초기 추정으로 사용할 수 있다. 불평형 계수의 최종 추정을 얻기 위해 초기 추정은 식(14)와 같이  $M$ 개 OFDM 심볼에 대해 평균하면 얻을 수 있다.

$$\hat{H}[k_p] = \begin{bmatrix} \hat{H}_1[k_p] \\ \hat{H}_2[k_p] \end{bmatrix} = \frac{1}{M} \sum_i (C_p^i[k_p])^{-1} R_p^i[k_p] \quad (14)$$

즉 불평형 계수는  $C_p$ 와  $R_D$ 를 이용하여 추정할 수 있다. 식(14)는 모든 파일럿 서브 캐리어 위치에서의 불평형 계수 추정값을 제공한다. 그리고 다른 모든 서브 캐리어 위치에 대응하는 불평형 계수는 선형 보간으로 얻을 수 있다.

### 2.3 IQ 불평형 보상

IQ 불평형 추정부에서 모든 서브 캐리어 위치에 대한 불평형 계수를 추정하면, 다음과 같이 불평형 계수에 의한 영향을 제거하여 보상할 수 있다. 추정된 불평형 계수와 식(6)을 사용하면  $k$  번째 위치와  $-k$  번째 위치에서 복조된 심볼은 다음 식과 같다.

$$\hat{H}_1[k]D[k] + \hat{H}_2[k]D^*[-k] = R[k] \quad (15)$$

$$\hat{H}_1[-k]D[-k] + \hat{H}_2[-k]D^*[k] = R[-k] \quad (16)$$

식(16)에 공액을 취하면 다음과 같다.

$$\hat{H}_1^*[-k]D^*[-k] + \hat{H}_2^*[-k]D[k] = R^*[-k] \quad (17)$$

식(15)와 식(17)은 다음과 같이 행렬 형태로 쓸 수 있다.

$$\begin{bmatrix} \hat{H}_1[k] & \hat{H}_2[k] \\ \hat{H}_2^*[-k] & \hat{H}_1^*[-k] \end{bmatrix} \begin{bmatrix} D[k] \\ D^*[-k] \end{bmatrix} = \begin{bmatrix} R[k] \\ R^*[-k] \end{bmatrix} \quad (18)$$

식(18)에서 회파 신호는 다음과 같이 얻을 수 있다. 즉 회

망 신호는 추정치  $\widehat{H}_1[k]$ ,  $\widehat{H}_2[k]$ 의 역행열과 수신 신호  $R[k]$ 를 곱하여 얻을 수 있다.

$$\begin{bmatrix} D[k] \\ D[-k] \end{bmatrix} = \begin{bmatrix} \widehat{H}_1[k] & \widehat{H}_2[k] \\ \widehat{H}_2^*[-k] & \widehat{H}_1^*[-k] \end{bmatrix}^{-1} \begin{bmatrix} R[k] \\ R^*[-k] \end{bmatrix} \quad (19)$$

### III. IQ 불평형 추정기의 FPGA 구현

IQ 불평형 추정기는 추정기와 보상기로 구성되며 Xilinx System Generator 9.1i를 사용하여 설계하였다. 먼저 Matlab을 이용하여 DVB-T를 기반으로 하는 64QAM OFDM 송신기 데이터를 생성하고 AWGN을 추가한 후 각각 실수와 허수에 대해 불평형을 추가하고 workspace에 저장한 후 이를 시뮬레이션 모델의 입력 데이터로 사용하였다. 그림 4는 불평형이 추가된 OFDM 출력을 입력으로 받아 불평형 추정과 보상 부분을 System Generator로 설계한 모델이다.

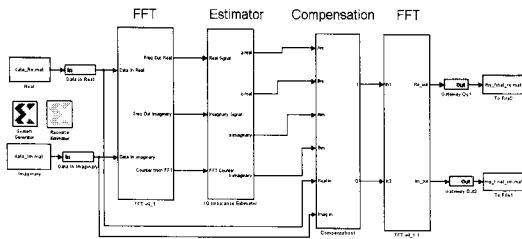


그림 4. IQ 불평형 추정과 보상을 하는 System Generator 모델

Fig. 4 System Generator Model with IQ Imbalance Estimation and Compensation

시뮬레이션 모델은 4단으로 구성된다. 먼저 입력 데이터를 workspace에서 읽고, 첫 단에서 주파수 영역 해석을 하기 위해 FFT를 실시한다. 그 후 IQ 불평형 추정기로 들어가서 IQ 불평형 계수를 추정한 후, 불평형 보상기에 식(19)에 의한 IQ 불평형 계수를 보상하여 출력한다. 그리고 OFDM 신호를 복원하기 위해 FFT하여 workspace에 저장한다. 여기서 불평형 특성을 평가하며 원래의 데이터를 복원하는 것은 다시 Matlab으로 처리한다. 첫 단의 FFT는 잡음이 가미된 수신 OFDM 신호를 주파수 영역으로 해석하기 위해 필요하며, 이는 Xilinx

의 FFT 블록을 이용하였고, 2048점 연산을 하도록 설정하였으며 현재의 FFT 샘플 인덱스를 추적하기 위해 카운터를 연결하여 구성하였다.

#### (1) IQ 불평형 추정기

주파수 영역 데이터는 IQ 불평형 추정기 블록으로 들어가며, 3개의 입력을 받는다. 첫 입력은 IQ 불평형을 가진 주파수 영역 신호의 실수 성분, 두 번째는 IQ 불평형을 가진 주파수 영역 신호의 허수 성분, 세 번째 입력은 FFT 단에서의 2048 카운터 출력이다. IQ 불평형 추정기 구성도는 그림 5와 같다.

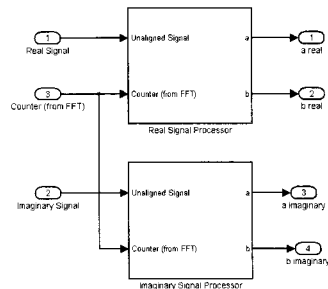


그림 5. IQ 불평형 추정기의 System generator 모델  
Fig. 5 System Generator Model of IQ Imbalance Estimator

IQ 불평형 추정기는 두 개의 동일한 서브블록으로 구성되고 병렬로 동작한다. 첫 번째 블록(상)은 실수 신호 경로에 대한 IQ 불평형 계수를 추정하며, 두 번째 블록(하)은 허수 신호 경로의 IQ 불평형 계수를 추정한다. 다시 IQ 불평형 추정기의 실수 신호 경로는 그림 6과 같다.



그림 6. 실수 신호의 System Generator 모델  
Fig. 6 System Generator Model of Real Signal

그림 6의 블록은 실수 신호 경로에 대한 IQ 불평형 계수를 계산한다. 첫 입력은 신호의 실수 성분이며, 두 번째 입력은 FFT 단에서 제공된 2048 카운터이다. 두 개의 출력은 a와 b이며 이는 IQ 불평형 계수이다. 허수 신호 경로 모델은 기능적으로 같기 때문에 생략한다.

(2) IQ 불평형 보상기

IQ 불평형 보상기는 식(19)에서와 같이 IQ 불평형 계수 4개를 받아 역행렬을 한 것과 수신 신호  $r(t)$ 의 실수와 허수를 받아 이를 곱하여 구성할 수 있다. 그림 7은 IQ 불평형 보상기의 System Generator 구성도이다.

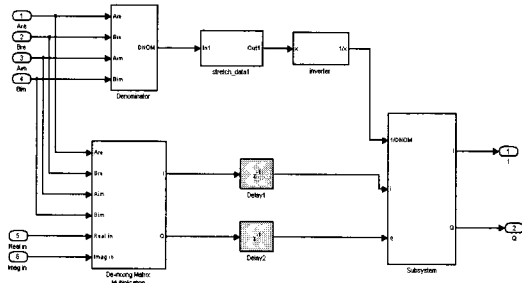


그림 7. IQ 불평형 보상기의 System Generator 모델  
Fig. 7 System Generator Model of IQ Imbalance Compensator

IV. 시뮬레이션 결과

시뮬레이션에 사용된 구성도는 그림 8과 같다. 먼저 Matlab으로 성능을 평가한 후 이의 결과를 System Generator 회로 출력과 비교한다.

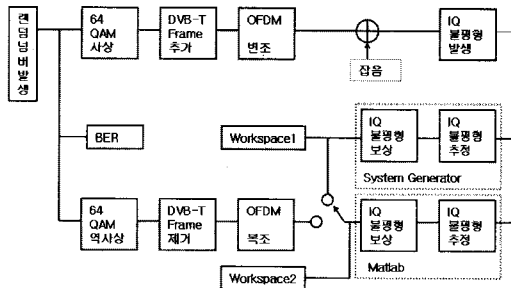


그림 8. 시뮬레이션 구성도  
Fig. 8 Block Diagram of Simulation

그림 9, 10은 원래의 불평형 데이터와 보상된 후의 데이터 사이의 정상도 관계를 보여준다. 결과적으로 IQ 불평형이 확실히 보상됨을 알 수 있다.

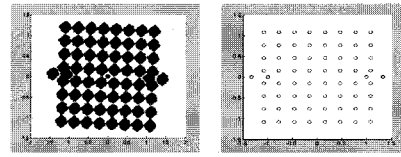


그림 9. 1dB 이득 불평형과 5° 위상 불평형의 경우  
Fig. 9 Case of 1dB Gain Imbalance, 5° Phase Imbalance

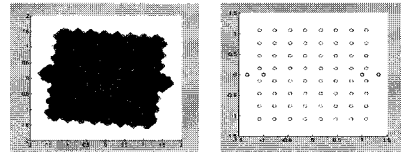


그림 10. 2dB 이득 불평형과 위상 불평형의 경우  
Fig. 10 Case of 2dB Gain Imbalance, 10° Phase Imbalance

그림 11은 IQ 불평형에 대한 BER 성능을 정량적으로 표현한 것으로 64QAM 이론치와 잘 부합하고 불평형이 보상됨을 확인할 수 있다. 그림에서 나타나는 차이는 FFT 점수의 up-sampling에 의한 영향으로 FFT 점수를 증가하면 해결될 수 있다.

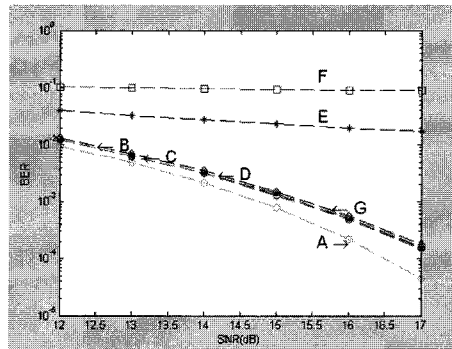


그림 11. BER 성능  
Fig. 11 BER performance

- (A) 64QAM AWGN 이론값
- (B) 0dB 0degree 추정 보상후(Matlab)
- (C) 1dB 5degree 추정 보상후(Matlab)
- (D) 2dB 10degree 추정 보상후(Matlab)
- (E) 1dB 5degree 보상전(System Generator)
- (F) 2dB 10degree 보상전(System Generator)
- (G) 보상후(System Generator)

## V. 검증

### 5.1 Hardware co-simulation

생성한 Xilinx 모델이 target board에 성공적으로 로딩됨을 확인하기 위하여 Hardware co-simulation을 하였다. 그림 12는 2dB 이득 불평형과 10° 위상 불평형의 경우, 생성된 co-sim 블록이며 그림10의 결과와 그림 12의 결과를 확인한바, 그림 13과 같이 성공적으로 target board에 로딩됨을 확인하였다. 정상도에서 약간의 차이는 보이지만 ML 복호하면 BER 성능은 같게 나타난다.

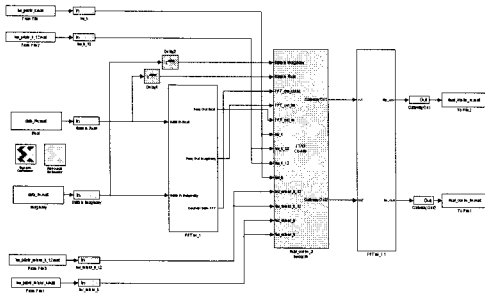


그림 12. Hardware\_co-sim  
Fig. 12 Hardware co-sim

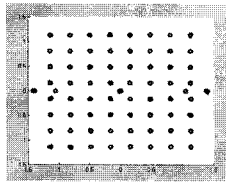


그림 13. Hardware\_co-sim 결과 정상도  
Fig. 13 Result of Hardware co-sim Constellation

### 5.2 타이밍 해석

타이밍 해석의 결과는 아래와 같고 타이밍 오류가 존재하지 않음을 알 수 있다.

```
-----
Timing constraint: TS_cik_04ae3eed - PERIOD TIMEGRP "cik_04ae3eed" 40 ns HIGH 50%;
1479107946187 items analyzed, 0 timing errors detected. (0 setup errors, 0 hold er
Minimum period is 35.091ns.
-----
Timing constraint: TS_ce_12_04ae3eed_group.to_ce_12_04ae3eed_group = MAXDELAY FROM TIMEGRP "ce_12_04ae3eed_group" TO TIMEGRP "ce_12_04ae3eed_group" 400 ns;
280 items analyzed, 0 timing errors detected. (0 setup errors, 0 hold errors)
Maximum delay is 7.396ns.
-----
```

### 5.3 Resource Estimation

Resource Estimation 결과는 다음과 같다.

```
Device utilization summary:
-----
Selected Device : 3s1000fg676-4
Number of Slices:          7411 out of 7689   96%
Number of Slice Flip Flops: 8386 out of 15360  54%
Number of 4 input LUTs:   13442 out of 15360  87%
Number used as logic:      9626
Number used as Shift registers: 3815
Number of IOs:             262
Number of bonded IOEs:     261 out of 391   66%
Number of GCLKs:           1 out of 8       12%
```

즉 target board에 적합함을 확인할 수 있다.

## VI. 결론

OFDM을 기반으로 하는 시스템에서 IQ 불평형은 수신기 성능에 큰 영향을 주며, 결과적으로 BER 성능을 열화한다. 본 논문에서는 DVB-T 시스템에서 발생하는 IQ 불평형 계수를 Matlab으로 발생하여 추정 보상한 결과와, Matlab으로 발생하여 System Generator로 설계하여 추정 보상한 결과를 비교 평가하였고, 또한 Hardware co-sim으로 target board에 성공적으로 이식하였으며, 시뮬레이션 결과 양호한 결과를 얻을 수 있었다. 그러나 target board의 문제로 전체적인 모델을 co-sim하지 못하고 FFT 블록을 제외한 추정기 및 보상기만을 co-sim 및 타이밍 해석하였으나 이는 앞으로 Spartan을 Virtex board로 교체함으로써 해결될 것으로 사료된다.

### 참고문헌

- [1] DVB Projct, "DVB Worldwide Adoption Map", September 2006
- [2] 변진석, "CORDIC을 이용한 도플러 불변 저전력 BFSK 수신기의 FPGA 구현", 한국해양정보통신학회 논문지 제 12권 8호, pp1488~1494, 2008
- [3] ETSI, DVB : Framing structure, channel coding and modulation for digital terrestrial television : EN 300 744 v1.4.1, ETSI, 2001
- [4] R.B.palipana and K.Chung, "Frequency Domain IQ Correction in a Direct-conversion receiver for DVB-T",

2005 Asia-pacific Conference on Communications,  
October,2005,pp 590-594

- [5] A.Schchert,R.Hasholzner, and P.Antoine“A Novel IQ Imbalance Compensation Scheme for the Reception of OFDM Signals”, IEEE Trans. on Consumer Electronics, vol.47, pp313-318, Aug ,2001
- [6] T.M.Ylamurto, “Frequency Domain IQ Imbalance correction Scheme for OFDM Systems”, IEEE wireless Communications and Networking, March, 2003

### 저자소개



변건식 (Kun-Sik Byon)

1972년 2월 : 한국항공대학교  
항공전자공학과 졸업  
1980년 2월 : 동아대학교 대학원  
전자공학과 석사

1987년 8월 : 영남대학교 대학원 전자공학과 박사  
1989년 9월 ~ 1990년 8월 : 국립 요코하마대학교  
전자정보공학과 객원교수  
1980년 3월 ~ 현재 : 동아대학교 전자공학과 교수  
※ 관심분야 : OFDM, 통신 SoC 설계, MIMO



김진수 (Jin-Su Kim)

2008년 2월 : 동아대학교  
전자공학과 졸업  
2008년 3월 ~ 현재 : 동아대학교  
대학원 석사과정

※ 관심분야 : OFDM, MIMO