특집

3차원 칩 집적기술의 산업적 전망

장명수·류성민·도경태·진우진·정근영·조광두·전종성·최규명 (삼성전자)

I. 서 론

최근 반도체 업계에서 3D IC 구현 기술에 대한 실질적인 개발 및 제품화가 빠르게 진행되고 있다. 3D IC란 2개 이상의 silicon die를 integration한 것으로 넓은 범위에서 다음 3가지로 분류할 수 있다. (1) PCB를 기반으로 wire bond나 flip chip을 사용하여 die간을 연결하는 PoP (Package on Package)나 SiP (Silicon in Package), (2) 별도로 완성된 die들을 TSV (Through Silicon Via)로 stacking하는 기술, (3) Fab. 진행 중, silicon epitaxial growth등의 방법으로 또 다른 active layer를 만드는 기술 (stacked CMOS). 이중에서 TSV는 wafer의 substrate에 구멍을 뚫고 Cu나 W의 물질을 넣어 반도체의 앞, 뒷면을 연결하는 것으로 최근에 양산 제조 기술이 확보되고 있으며 관련 설계 기술이 활발하게 연구되고 있는 분야이다.[1] 이미 널리 사용되는 기술인 (1)번에 비하여 신호가 PCB를 거치지 않기 때문에 고성능, 저전력이 가능하고 chip의 모든 면적을 활용가능하기 때문에 die간에 연결 수를 대폭 증가시킬 수 있다. 또한 연구실에서 초기 연구 상태인 (3)번에 비하여 실제 제품 양산이 가능하다는 장점이 있다.

System-LSI에서 TSV의 적용 시 이득이 예상되는 분야는 CIS-TSV, TSV-SiP (Logic-Memory stacking), 3D-SoC (Die Partitioning) 등으로 <표 1>에 각 분야별 특징을 기술하였다.

이중에서 CIS-TSV는 공정 중심 분야이고 3D-SoC는 아직 TSV process가 더 발전해야 가능한 차세대 분야이다. (3D-SoC가 더욱 발전

〈표 1〉 System-LSI의 TSV 적용 분야

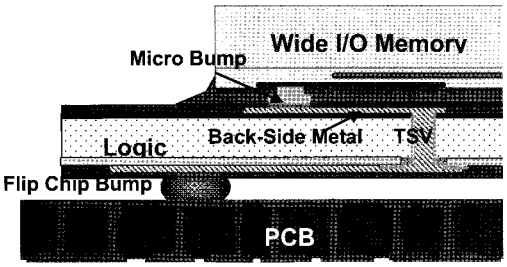
분야	CIS-TSV	TSV-SiP (Logic-Memory Stacking)	3D-SoC(Die Partitioning)
특징	기존 wire bond대신 TSV로 image processor와 연결	Logic die (bottom)와 wide IO지원 memory (top)를 TSV를 통하여 연결	기존 chip안의 logic, IO, e-DRAM, analog 등을 각각 별도의 tech node로 구현하여 TSV로 연결
주요 이득	Form factor	Performance & Power	Cost (Yield증가)
TSV 수	〈100	1000~3000	〉10000
TSV 역할	Wire 대체	Chip간 연결	Logic간 연결(Unit수준)
TSV 크기	〉 30um	1~30um	0.14~5um
Die 수	1~2	2~3	〉2
적용	〉 2008년	〉 2010년	〉 2012년(예상)

하여 logic die도 여러 개의 die로 분할되어 block수준에서 동일 clock하에 연결되는 것은 true 3D IC라고 별도로 분류하자.) 이에 반하여 TSV-SiP (Logic -Memory stacking)분야는 고성능/저전력 mobile AP의 요청이 급증하는 시기에 강력한 해결책이 될 수 있으며 조만간 많은 high-end device에 적용될 것으로 판단된다. 하지만 현재 학계의 연구는 미래 기술인 true 3D IC의 자동화에 중점을 두고 있고 아직 EDA 업계는 해당 분야에 대한 충분한 기능을 가진 commercial tool을 제공하지 못하고 있는 실정이다. 본고에서는 시급하게 기술 개발이 요청되는 3D IC 설계 기술 요소와 이들의 발전방향에 대하여, 주로 TSV-SiP를 중심으로 3D-SoC로 확장을 고려하여 알아보고자 한다. 본고의 구성은 먼저 II장에서 3D IC의 설계 flow를 설명하고, III장에서 각 설계 단계에서 3D IC의 지원을 위해 어떤 점이 기존과 다른지 밝히고 이를 해결하기 위한 기술의 개발 방향을 제시하였다. 그리고 마지막으로 IV장에서는 TSV stacking 중심의 현 기술을 향후 true 3D IC 구현으로 확장하기 위한 중장기 계획에 대하여 논의하였다.

II. 3D IC의 특징 및 설계 Flow

1. TSV Stacking 구조

<그림 1>에 전형적인 face-to-back형태의 Logic-Memory stacking구조를 보였다. Logic chip은 flip chip으로 설계하여 아래의 package PCB와 접합되고 위의 memory chip은 front-side가 아래 방향으로 logic chip의 뒷면에 micro bump로 접합된다. 실제 연결은 logic의

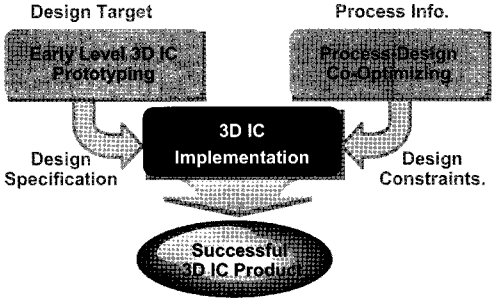


〈그림 1〉 TSV Stacking Vertical Structure

substrate에 TSV가 뚫리고 back-side metal layer를 따라 routing이 수행되어 micro bump까지 도달하면 된다.

2. 3D IC설계 flow

<그림 2>는 이상적인 3D IC설계 flow이다.[2] 2개 이상의 die를 사용할 경우, 여러 형태로 stack할 수 있기 때문에 그 configuration에 따라 cost와 performance의 차이가 많이 날 수 있다. 따라서 early level 3D IC prototyping으로 최적의 stacking방법과 die간의 구조를 설정하는 것이 바람직하다. 또한 3D IC 구현에서 기존보다 심화가 예상되는 stress와 thermal effect에 대하여 process의 개선과 design constraint제공을 동시에 수행하는 process-

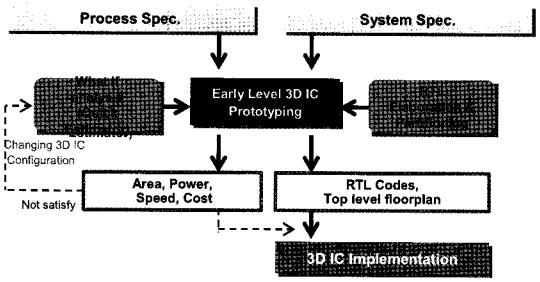


〈그림 2〉 3D IC 설계 Flow Overview

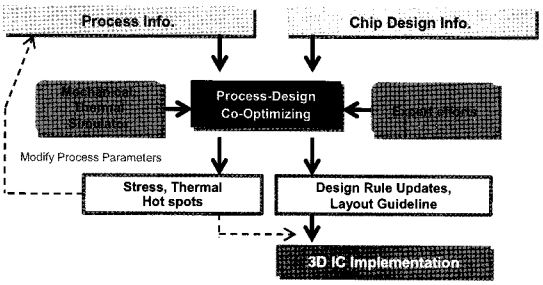
design co-optimizing을 적용하여면 이를 경감시킬 수 있다. 상기 두 infra system을 기반으로 실제 3D IC 구현 작업을 수행하면 design re-spin없이 성공적으로 product를 얻을 수 있는 가능성이 높다. 현재 주요 EDA 업계에서는 가장 핵심 요소인 3D IC implementation관련 tool 개발에 집중하고 있다. 하지만 prototyping은 소규모 vendor위주로 개발이 이루어져 성능의 검증이 되지 않은 상태이고 mechanical, thermal effect의 design고려는 simulator의 구현이 진행되고 있지만 이 결과를 design에 어떻게 반영할지는 추가적인 연구가 필요하다.

<그림 3>과 <그림 4>는 각각 위에 두 infra system에 대하여 구현해야 하는 내부 동작을 설명한 것이다. 3D IC prototyping의 경우, process spec. (최대 die수, aspect ratio, TSV design rule, electrical model…)과 system spec. (사용 가능 IP, Architecture, target 성능…)을 받아들여 what-if-analysis와 quick estimation engine을 사용하여 layout후 결과를 미리 예측하고 최적화한다. 최종 결과는 implementation tool의 입력으로 사용되는 RTL code와 floorplan file등이 된다. Process-design co-optimizing에서는 chip design 정보(die size, alignment, chip layout, PKG design…)와 process 정보 (materials, PKG, process parameters…)를 입력으로 stress, thermal hot spot map을 추출한다. 추출된 map을 근거로 design에 상기 effect를 경감시킬 수 있는 design guideline을 제공하며 너무 과도한 hot spot이 발생할 때에는 공정 parameter를 변경하여 경감을 시도한다.

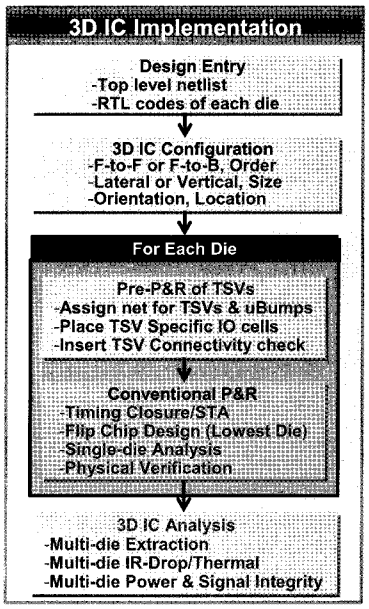
일단 system이 어떻게 나눠지고 어떤 식으로



〈그림 3〉 Early Level 3D IC Prototyping



〈그림 4〉 Mechanical & Thermal Advisor



〈그림 5〉 3D IC Implementation Flow

stacking할 지 정해지면 top level netlist와 각 die별 netlist의 partition이 가능하다. Stack되는 die를 동시에 구현하는 것이 이상적이나, 현실적으로는 die별로 layout이 진행되며 전 die의 micro bump위치는 다음 die의 constraint로 작용한다. 자세한 내부 flow는 <그림 5>에 나타나 있으며 그 중에서 중요 단위기술에 대한 구체적인 설명은 다음 장에서 다룬다.

III. 3D IC 구현 단위 기술 및 개발 방향

1. 3D IC Layout

각 die를 layout하기 전에 die별 design entry와 configuration을 정하는 작업은 die가 많을 경우 앞에서 기술한 prototyping tool의 도움을 받아야 한다. 하지만 Logic-Memory stacking과 같은 경우, 일반적으로 memory는 이미 완성되어 있는 경우가 대부분이므로 TSV를 고려한 layout을 수행해야 하는 것은 logic die로만 국한된다. 통상 wide IO memory를 지원하는 경우, 필요한 TSV의 수가 1000개가 넘기 때문에 layout시 수작업은 어려우며 다음과 같은 기능이 auto layout tool에 필요하다. 1) Tech file에 TSV와 back side metal layer의 정의 추가, 2) TSV와 micro bump의 자동 배치, 3) 배치된 TSV와 bump에 상응하는 net의 자동 assign, 4) TSV 전용 IO cell의 배치, power rail 연결. 5) Back side 배선 기능. 현재 이와 같은 기능을 제공하는 상용 tool은 개발 중이며 2010년 이후 초기 product가 나올 것으로 예상된다.

2. 3D Thermal/IR-Drop Analysis

가. Thermal Analysis

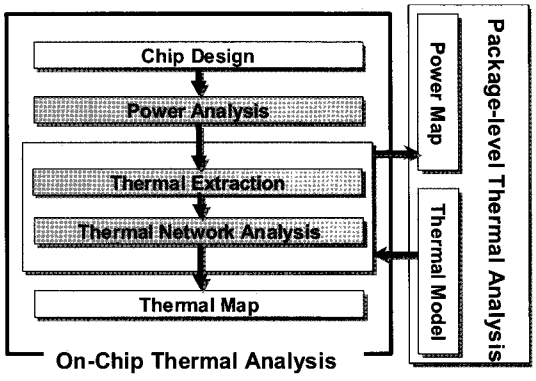
일반적인 single die에서의 thermal analysis는 package의 thermal design을 위해 수행되었다. 이때 해석은 package level 에서 수행되어 die의 내부는 coarse한 power map으로 heat source 정보를 가져오고, die 내부의 각 layer별 thermal conductivity 정보도 전체 die level에서 대표값을 취하여 해석에 사용되었다. 이는 single die의 경우 온도의 on-chip variation이 작아 상세한 해석의 필요성이 낮으며, 이와 관련된 sign-off 해석도 온도 차에 대한 margin으로 대응이 가능했기 때문이다.

그러나 3D IC에서는 근접한 거리에 여러 die에 수직으로 stacking 됨에 따라 대략 stack내의 die의 수 만큼 power density가 증가하여 기존 single die와는 달리 온도 측면에서의 on-chip variation이 크게 증가할 것으로 예측된다. 따라서 이렇게 증가된 on-chip variation을 기존과 같이 margin만으로 cover 해서는 지나친 pessimism으로 치우칠 수 있으므로 on-chip에서의 상세한 해석의 필요성이 높아진다. 또한 die 사이의 bonding layer에 thermal insulator라고 할 수 있는 oxide가 채워지며, 내부에 위치한 TSV와 micro bump가 주요한 열 전달 물질로 작용할 것이므로 이러한 미세한 열 전도 현상을 해석하기에는 기존의 package level 해석 툴은 부적합하다. 따라서 3D IC를 위한 on-chip thermal analysis tool의 개발이 필요하다.

Single die향 on-chip thermal analysis tool은 이미 개발되어 있다. 하지만 대부분의 tool들이 capacity 문제로 package환경은 1-D package model로서 간략화하고 power estimator의

instance별 power와 layer별 dimension 그리고 thermal conductivity를 이용하여 3-D extraction 을 수행한 후, FEM으로 thermal을 해석하는 형태로 구현되어 있다.<그림 6>

3D IC에 대한 on-chip해석에도 capacity와 runtime은 매우 중요한 요소이므로 앞에서 설명한 현재 tool의 기본 구조는 그대로 따르면서 TSV를 고려할 수 있도록 기능을 확장하는 형태가 바람직하다. TSV로 coupling 된 두 die사이를 해석하기 위해서는 다음과 같은 사항에 대한 고려가 요청된다. 1) 전체를 한번에 해석해야 하기 때문에 적절한 die-level modeling 방안 및 model order reduction 방법의 활용이 필요, 2) Bonding layer 및 높은 열 전도율을 가지는 TSV해석 정확도 향상 방안, 3) Package model 개선 필요. 현 package model은 die의 6면에 대한 1-D thermal resistance model이나, 이는 package substrate의 영향 혹은 package 내부 mold의 영향 등을 고려하기에는 부적합하다. 따라서 JEDEC DELPHI 모델 등과 같은 좀더 정확한 package model의 적용이 필요하며, 이 model을 각 die 별 해석에서 어떤 식으로 적용할지에 대한 연구도 필요하다.



〈그림 6〉 On-chip Thermal Analysis Flow

3D IC analysis자체에 대한 측면 외에도 증가한 on-chip temperature variation을 고려한 sign-off 환경과의 integration 역시 필요한 부분이다. 우선 thermal runaway를 확인하기 위해 온도에 민감하게 증가하는 leakage와의 연계해석(leakage-thermal feedback)이 기본적으로 요구되며, 온도에 따라 바뀌는 resistance 성질을 고려하여 parasitic extraction 및 IR-drop/EM 해석 역시 thermal analysis와의 연동이 필요하다. 그 외에도 timing sign-off시 기존의 온도에 따른 on-chip variation margin에 따른 pessimism을 없애고 instance 별 온도를 이용하여 timing closure하는 방법도 구축해야 한다. 그리고 이러한 대부분의 해석은 상호 영향으로 인해 서로 iteration을 거쳐야 하는 것이 대부분이므로 feedback loop에 대한 break방안 또는 convergence 방법론이 함께 연구되어야 한다.

나. IR-Drop Analysis

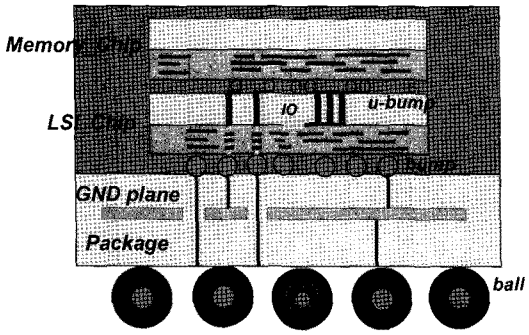
IR-Drop analysis도 3D IC에 맞추어 개선되어야 한다. 다행히 당분간 가장 많이 사용될 Logic-Memory stacking구조에서는 memroy가 logic과 별도로 power를 공급받는다. 즉, logic die의 특정 TSV는 memory power 전용의 feed -through로 쓰인다. 이 경우 IR-drop analysis는 각 die별로 진행하면 된다. 그러나 앞으로 여러개의 die가 stack될 경우 각각 독립적인 power를 공급하기 위한 feed-through TSV의 수가 급속도로 증가하기 때문에 voltage level이 같다면 하위 die의 power를 share할 수 있다. 특히 ground는 거의 share가 가능하다.

이 경우, stack의 위쪽에 위치한 die 일수록 power source가 긴 routing을 거쳐서 도달하게 되므로 이를 고려한 해석 방안의 개발이 필요하다. 만일 die간 sharing의 정도가 낮고, 동작의 연관성도 떨어진다면 오차를 margin으로 반영하여 개별 해석을 할 수 있으나 반대의 경우는 full-stack analysis가 요구되며 이때의 해석 복잡도를 낮출 수 있는 abstraction model의 개발도 필요하다.[3]

3. 3D IC Power and Signal Integrity

가. Power Integrity (PI)

TSV stack 구조의 설계 시, 중요한 고려사항 중 하나는 top에 위치한 die(<그림 7>에서는 memory)에 TSV를 통하여 공급되는 power의 integrity이다. TSV는 package에 비해 dimension이 작으므로 power가 충분히 공급될 수 있도록 설계되어야 하며 확인을 위한 해석 방법 역시 구축되어야 한다. 또한 통상적으로 power integrity를 위해 package ground는 plane으로 설계되며 system의 모든 ground는 이 plane에 연결되는데, 이 경우 상위 die의 동작에 따른 하위 die의 power integrity 영향 및 하위 die의 동작에 따른 상위 die의 power integrity 영향을 설계 과정에서 분석하여 그 결과를 반영하여야 한다. 이를 위해서는 양쪽 die의 설계 시에 긴밀한 협조가 필요하다. 이제까지의 일반적인 design은 상이한 chip의 경우 각자 설계하고 system 차원에서 assembly하면 되었으나 TSV를 사용한 system 설계 시에는 상호 해석 결과 및 필요한 data가 원활하게 제공되어야 최종적인 power integrity를 확보할 수 있다.



〈그림 7〉 3D IC power / signal scheme

나. Signal Integrity (SI)

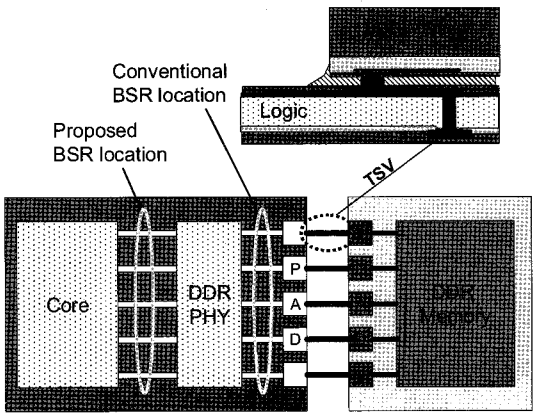
TSV를 채택하는 주된 이유는 dimension 감소로 인한 wide band IO를 채택할 수 있다는 것이다. 즉, TSV 구조에서는 수 천 개의 signal pin 연결이 가능하다. 전통적인 경우 chip 간 signal interface는 inductance가 가장 중요한 해석 요소였으나 TSV 구조의 경우는 package 구조에 비해 signal line의 길이가 상대적으로 매우 짧아질 수 있으므로 기존 적용 방식에 대한 변경이 필요하다. 즉, TSV 구조를 package의 변형된 형태로 본다면 기존처럼 RLC modeling이 필요하지만 TSV와 back side routing의 길이가 PCB routing의 길이와 비교하여 매우 짧기 때문에 inductance를 고려하지 않아도 될 경우 RC extraction으로 충분하다. 만일 inductance 해석이 필요한 경우, signal TSV 수가 수백개 이상이라면 이를 한번에 해석하기는 capacity 및 runtime측면에서 어렵다. 따라서 제한된 범위에서의 analysis가 가능하도록 block level shielding 방안도 역시 필요하다. Parasitic extraction tool측면에서 보면, 현재 IC용 tool들은 inductance 추출 값의 정확도가 매우 떨어

지고 package 설계 시 사용되는 FEA 기반 tool 들은 정확하지만 runtime이 매우 긴 것이 문제이다. 따라서 궁극적으로는 silicon에 포함되는 TSV와 package 구조를 동시에 고려하는 새로운 parasitic extraction tool과 이를 사용한 새로운 해석 환경이 준비되어야 한다.

4. TSV Interconnection Test

Logic-Memory stacking에서 TSV는 die간 via형태의 interconnection이 된다.<그림 8> 그런데 stacking후에는 이 연결이 top die로 덮여 probe할 수 없기 때문에 TSV와 micro bump의 제조 과정에서 발생하는 defect로 인해 이 연결에 결함이 있을 경우 이를 발견하기 매우 힘들다. Normal function mode에서 memory function pattern을 이용하면 interconnection이 간접적으로 test는 되지만, failure가 발생했을 때 fail 원인 분석이나 fail 위치 분석이 불가능하다. 따라서 TSV interconnection test solution을 구축하는 것이 필요하다.

현재 적용가능성 높은 방법은, 일반적으로 board level interconnection test에 널리 사용되는 JTAG (IEEE 1149.1)을 이용하는 것이다. 이러한 접근은 이론적으로 IEEE standard를 따르는 JTAG을 logic chip과 memory chip에 각각 구현함으로써 가능하나, 현실적으로 DDR (Double Data Rate) memory를 도입할 경우 DDR의 high- speed interface 특성으로 인해 JTAG을 적용하기가 어렵다. 가령DDR2를 사용하는 경우, clock 주파수를 높이지 않고 bandwidth를 크게 하는 장점이 있는 반면에, 설계 복잡도가 높은 memory controller와 physical interface (PHY)가 필요하다. Logic chip에 구현하는 PHY는 그 특성상 거의 모든 경우에 high-speed full-custom mixed signal design이기 때문에 특히 timing budget이 작고 physical layer에서도 PAD에 인접하도록 설계된다. 따라서, <그림 8>에 표시된 것처럼 PHY와 PAD 사이에 BSR (boundary scan register) cell을 삽입하는 일반적 JTAG 방식을 적용할 수 없다. 현재 이와 같은 제약을 극복하기 위해, 필요에 따라 IEEE standard에서는 벗어나지만 area와 performance overhead를 최소화하는 solution 마련하고 있다. 또한, 이러한 solution의 자동화를 위해 DFT 관련 EDA vendor와의 tool 개선 협력이 진행 중이다.[4]



〈그림 8〉 TSV interconnection의 예

5. TSV Device Modeling

3D IC 설계 시, TSV는 silicon을 관통한다는 측면에서 기존 다른 device와 매우 다르다. 따라서 device model 관점에서 TSV 자체의 특성 평가와 TSV process에 의한 기존 device model의 performance shift에 대한 평가가 필요하다. 또한 high speed로 동작하는 회로나 impedance

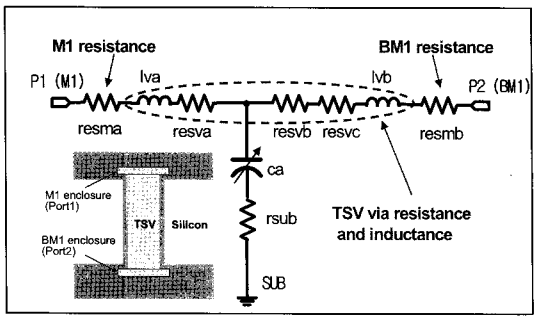
matching이 필요한 회로에 적용하기 위해서는 RF performance에 대한 평가와 특성 확보가 필요하다.[5]

가. TSV Device Model

TSV device의 vertical structure와 구조에 대한 기본적은 등가회로는 <그림 9>와 같다.

<그림 9>의 구조에 대한 device model 등가회로는 크게 두 가지 관점에서 분석하여 결정할 수 있다. 먼저 device model type 즉, T-type, Pi-type, 2Pi-type 등에 대하여 결정하고, 다음으로 device model parameter 즉, resistance, capacitance 및 inductance 등에 대하여 분석하여 결정한다. 현재 주로 사용되고 있는 TSV device model은 아래의 <표 2>와 같으며, 각 device model 별로 여러 가지 관점에서 장, 단점을 비교할 수 있다.

TSV 구조는 <그림 9>에서 보는 바와 같이 Metal-Oxide-Semiconductor type을 갖고 있기 때문에, TSV body의 전기적 특성으로 resistance, inductance 성분으로 구성되어 있으며, TSV와 semiconductor 사이는 MOS와 마찬가지로 유전체로 인한 bias dependent capacitance와 leakage 성분을 가지고 있다.



<그림 9> TSV 구조 및 등가회로

<표 2> TSV device model

방안	A	B	C
Port	2-port	3-port	3-port
Type		T-type	T-type
Parameter	R	R, C	R, C
Parasitic	(L)	(L), (G)	L, (G)

현재, 가장 범용으로 사용되고 있는 device model structure는 3-port device로서 series resistance, series inductance 및 parallel variable capacitance로 구성 되었다. <표 2>에서 언급된 2-port device의 경우에는 단순히 resistance만 고려하는 경우에 사용할 수 있는 model로, variable capacitance를 고려하지 못하고 parasitic inductance도 고려하지 못하기 때문에 circuit simulation의 정확도가 낮다. 3-port device의 경우는 2-port device의 경우보다 circuit simulation의 정확도를 높일 수 있기 때문에 많이 사용하고 있으나 parasitic inductance 등과 같은 매우 작은 값에 대하여 silicon을 이용하여 정확히 추출할 수 있는 방법을 개발하여야 한다.

나. Test Pattern을 사용한 특성 검증

TSV device에 대한 parameter는 매우 작은 resistance 및 parasitic inductance를 갖고 있기 때문에 silicon을 이용하여 추출 및 modeling 진행하려면 여러 가지 측정을 통하여 추출 및 검증할 수 있는 test pattern을 제작하여야 한다. <표 3>은 각 main parameter 및 parasitic parameter 추출을 위하여 사용되고 있는 test 방법 및 test pattern에 대하여 간략히 정리한

〈표 3〉 Parameter 추출용 Test Pattern

Pattern Item	측정	내용
Resistance	IV, RF	Series connection
Capacitance	CV, RF,	Parallel connection
Inductance	RF	Series connection
Validation	Timing	Ring oscillator

것이다.

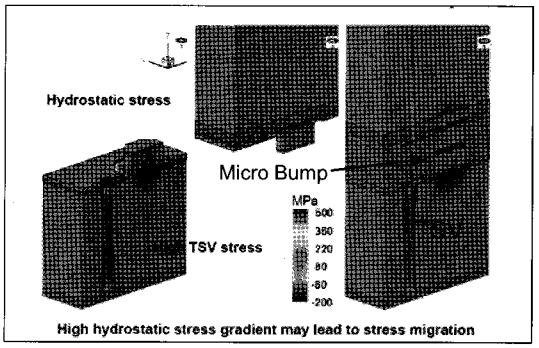
Device model에 대한 검증은 nominal device model과 비교하여 temperature 및 bias dependency를 고려하여 이루어져야 한다. 또한, massive 측정 결과를 이용하여 통계 model에 대한 검증도 진행하여야 한다.

6. TSV Mechanical Simulation

3D IC 공정에서 두 가지 요인으로 인해 기존 device의 performance shift가 있을 수 있는데 TSV thermal 및 mechanical stress 의한 device mobility variation과 die thinning에 의한 silicon surface stress가 이에 해당된다. 따라서 설계에 안전한 TSV design rule을 설정할 필요가 있다. 설정한 rule의 검증은 test pattern을 통해서도 silicon으로 검증할 수 있으나 시간이 오래 걸리고 다양한 case를 cover하기가 어렵기 때문에 mechanical simulation에 TSV process의 영향을 고려할 수 있는 기능 확장이 필요하다. 추가로 고려해야 하는 문제는 다음과 같다.

1) Silicon wafer의 stack manufacturability에 따른 physical effect에 대한 고려로서 기본적으로 process flow, temperature, under-fill material property, die size, thickness등의 조건들에 대한 검토. 2) Die간의 combination에 대한 제약 조건에 대한 검토. 3) Device의 performance와 variability에 대한 strain effect 고려로서 strain booster relaxation, thinning effect, TSV/Bump proximity등에 대한 고찰이 필요하다.[6,7]

아직까지 chip 전체에 대한 mechanical simulation은 tool의 capacity 문제로 어렵지만 test pattern과 같이 작은 area에 대한 TSV를 고려한 analysis tool은 사용이 가능하다. 이러한 tool은 hierarchical multi-scale solution을 제공할 수 있으며, chip의 구성 방식에 대한 이해를 도와줄 수 있다. 현재 개발된 tool은 기본적인 device mobility variation과 thinning에 의한 stress분석 뿐만 아니라 <그림 10>에서와 같이 metal layer 및 bump에 의한 mechanical stress를 분석 함으로서 reliability특성도 알 수 있다. 앞으로 본 분야의 목표는 우선적으로 TSV design rule의 검증과 같은 작업에 손쉽게 사용될 수 있도록 tool이 개발되어 T-CAD와 design 사이의 연결 고리 역할을 하는 것이지만



〈그림 10〉 Effect of Bump on Stress

최종 목적은 마치 현재의 DFM관련 tool과 같이 full chip data를 읽어서 stress hot spot map을 작성하고 이를 통하여 mechanical stress sign-off를 수행하는 것이다. 그러기 위해서는 정확성을 많이 희생시키지 않는 범위에서 tool의 capacity와 runtime이 획기적으로 개선되어야 한다.

Ⅳ. 결론 및 향후 전망

지금까지 3D IC의 구현 기술에 대하여 반도체 업계의 시각에서 기술하였다. 다양한 3D IC 구조 중에서 TSV를 사용한 die stacking이 현재 가장 현실적이며 Logic-Memory stacking 기술이 우선적으로 확보되어야 한다. IC 설계 flow의 layout, analysis단계에 TSV를 고려하는 기술이 포함 되어야 하며 특히 thermal, mechanical simulation은 stacking에 따른 신규 기술로 매우 중요하다. 향후 3D-SoC로 기술이 발전하면, die별로는 기존 방법론을 적용하고 die간 interface만을 별도로 고려하는 현재의 접근 방식은 한계가 있고 점차로 모든 die를 동시에 고려하는 방식으로 tool이 개선될 것으로 보인다. 장기적으로는 technology scaling이 한계에 부딪치면 true 3D IC 설계가 그 대안이 될 것인데, die간 clock과 power가 공유되고 더욱 많은 die 간 연결이 예상되므로 synthesis, auto P&R tool 등이 3D 관점에서 새롭게 개발되어야 할 것이다.

참고문헌

[1] Kerry Bernstein et al., "Interconnects in the Third Dimension: Design Challenges for 3D ICs", Proc. of Design Automation Conference 2007.

[2] Chun, C. et al., "Virtual design for technology exploration - a process design integration methodology for a fabless entity" in ICICDT, 2008, pp.125-130.

[3] Charles Chiang, "TSV-EDA Challenges & Solutions"Proc. of SEMICON Taiwan 2008.

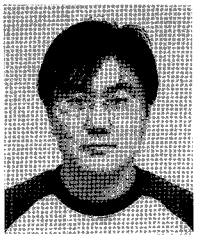
[4] IEEE Std 1149.1-2001, "IEEE Standard Test Access Port and Boundary-Scan Architecture", IEEE-SA Standards Board, 2008.

[5] C. Bermond, "High Frequency Characterization and Modeling of High Density TSV in 3D Integrated Circuits" in Signal Propagation on Interconnects, 2009.

[6] Cheryl S. Selvanayagam, John H. Lau, Xiaowu Zhang, S.K.W. Seah, Kripesh Vaidyanathan, and T. C. Chai, "Nonlinear Thermal Stress/Strain Analyses of Copper Filled TSV (Through Silicon Via) and Their Flip-Chip Microbumps" in Proc. IEEE Transactions on Advanced packaging 2009.

[7] Aditya P. Karmarkar, "Performance and Reliability Analysis of 3D-Integration Structures Employing Through Silicon Via (TSV)" in Proc. IEEE 47th Annual International Reliability Physics Symposium, 2009.

저자소개



장 명 수

1991년 2월 서강대 전자공학과 학사
1993년 2월 서강대 전자공학과 석사
1993년 2월~현재 삼성전자 수석 연구원

주관심 분야 : 고성능 설계 방법론, Flip Chip설계

저자소개

도 경 태

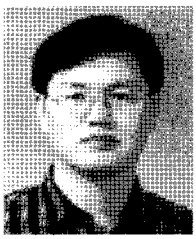
2001년 2월 포항공과대학교 학사
2007년 2월 포항공과대학교 박사
2007년 2월~현재 삼성전자 책임 연구원

주관심 분야 : Low Power 설계 방법론, Power/ Leakage Estimation기술

류 성 민

1998년 2월 인하대학교 전자공학과 학사
2008년 2월 성균관대학교 전자전기공학과 석사
1998년 2월~현재 삼성전자 책임 연구원

주관심 분야 : ASIC/SoC Physical Design, Flip Chip Design, 3D-IC Design



진 우 진

1998년 2월 한양대학교 학사
2000년 2월 한양대학교 석사
2003년 2월 한양대학교 박사
2003년 2월~현재 삼성전자 책임 연구원

주관심 분야 : on-chip 및 off-chip의 power and signal integrity 방법론

저자소개

정 근 영

1996년 2월 서울대학교 자원공학과 학사
1998년 2월 서울대학교 자원공학과 석사
2002년 5월 University of Southern California, Electrical Engineering, 석사
2008년 5월 University of Southern California, Electrical Engineering, 박사
2008년 6월~현재 삼성전자 책임 연구원

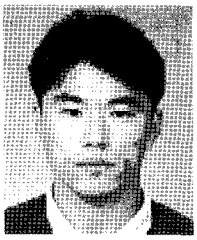
주관심 분야 : DFT, delay test, power-aware test, ATPG, JTAG

저자소개

전 종 성

1989년 2월 중앙대 물리학과 졸업
1993년 8월 중앙대학원 물리과 졸업
1994년 4월~1999년 7월 하이닉스 반도체
1999년 8월~2004년 4월 동부아남
2004년 5월~현재 삼성전자 수석 연구원

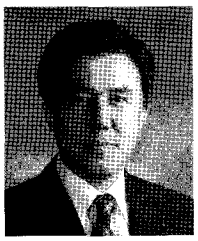
주관심 분야 : TCAD, Device Engineering



조 광 두

1995년 2월 서울시립대 학사
2006년 2월 충북대학교 석사
1994년 11월~2002년 6월 LG반도체 및 하이닉스 반도체
2003년 7월~현재 삼성전자 책임 연구원

주관심 분야 : Device Modeling (RF), Interconnection



최 규 명

1983년 2월 한양대 전자공학과 학사
1985년 2월 한양대 전자공학과 석사
1995년 10월 University of Pittsburgh, Electrical Engineering 박사
1985년 3월 삼성전자 근무 (현재 연구위원)

주관심 분야 : All aspects of Semiconductor Design Methodology