

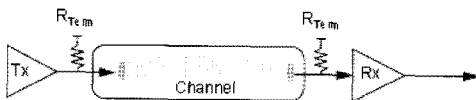
3D IC에서의 인터페이스 기술

김소영 (성균관대학교)

I. 서론

반도체 시스템을 구성하는 block들의 성능이 고속화됨에 따라, 예를 들면, CPU와 메모리, CPU와 CPU간에, 또는 카메라 모듈과 화상처리 장치간의 통신 등에서, 인터페이스(I/O)에서 데이터를 전송하는 대역폭이 성능을 제한하는 요소로 중요시되고 있다. 인터페이스의 성능은 block과 block을 연결하는 선(channel 또는 transmission medium)의 물리적 특성에 따라 제한되는데, 어떤 방식으로 신호를 전송해야 신호의 손실, 간섭, 전력소모를 줄이면서, 높은 대역폭을 얻을 수 있는가가 인터페이스 설계에서 고려해야 할 사항들이다. <그림 1>은 신호를 전송하는 인터페이스를 구성하는 요소들을 보여 준다^[1].

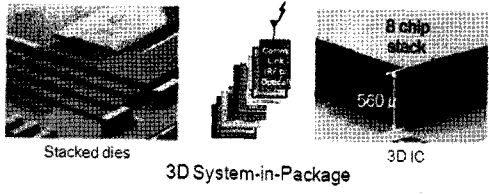
송신기(transmitter)는 디지털 정보를 신호파



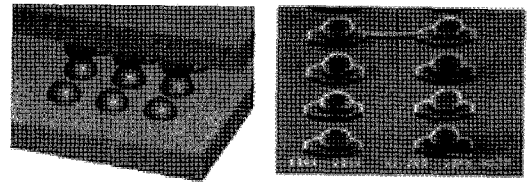
<그림 1> 신호전송 시스템의 송신기, channel, 수신기

형(signal waveform)으로 변환하는 부분이고, 수신기(receiver)는 channel을 통해 전송되어 오면서 변화된 파형으로부터 본래의 디지털 정보를 복구하는 곳이다. Channel은 기기간에는 동축케이블이나, 회로기판에서는 microstrip 또는 coplanar line, 반도체 내에서는 (on-chip) 여러 가지 wire configuration이 가능하다. 통신에서 일어나는 간섭등의 문제를 해결하기 위해 differential signaling 기법이 많이 이용되고 있다.

휴대용 전자제품의 사용이 증가하여, 가볍고 작은 칩의 수요가 늘면서, 더욱더 많은 기능을 하나의 칩에 넣게 되었다. 그럴 경우 기존 2차원적인 SoC (System-On-Chip) 구조를 사용하면 block과 block간의 통신거리, 즉 channel의 길이가 너무 길어질 수 있다. 통신이 많은 block들을 위 아래로 쌓아 3차원으로 집적하면, 신호가 전송되는 물리적 거리를 줄일 수 있고, 집적도를 높일 수 있다. <그림 2>는 여러 가지 IC들을 쌓아 3차원 직접구조(System-In-Package)를 만든 것을 보여준다^[2]. 3차원 집적구조의 또 하나의 장점은 각각 목적에 맞는 technology로 제작된, 균일하지 않은 (heterogeneous) IC들을



<그림 2> 3D IC



<그림 3> Micro-bump와 SEM 사진

하나의 구조로 적층할 수 있다는 것이다.

이와 같이 여러 가지 칩을 3차원으로 구성할 때 해결해야 할 문제점들 중에 하나는 3차원으로 쌓아놓은 칩들 간의 신호전송과, 전력 공급이다. 본 기고에서는 현재까지 진행된 3D IC에서 block들 간의 인터페이스 기술에 대해 설명하고자 한다. 물리적으로 연결된 channel로 micro-bump나 TSV (Through-Silicon Via) 을 이용하는 방법과, 물리적으로 연결하지 않고 capacitive-coupling이나 inductive-coupling을 사용하여, 무선으로 신호를 전송하는 방법이 있다^[3]. 각 인터페이스의 channel에 따라 대역폭이 높고, 전력소모가 적은 신호를 전송하기 위해, 신호전송 방식을 정하고, 송신기와 수신기를 설계한다. 물리적으로 연결된 channel을 이용할 경우, 인터페이스의 설계가 덜 복잡하고, 대역폭을 높이기 위해 병렬로 여러개를 연결하기가 수월하지만, 기생 저항에서 전력 소모가 일어나고, ESD (Electro-Static Discharge) 보호 회로들을 추가해야 하는데, 이는 설계를 복잡하게 하고, 전력 소모를 증가시키는 경우가 있다.

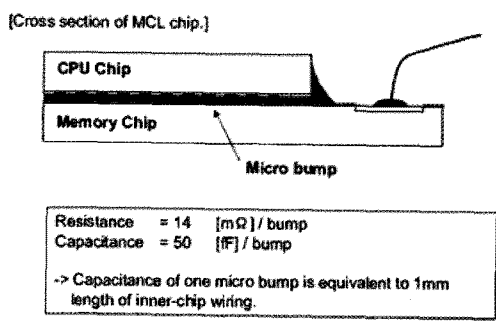
II. Micro-bump를 사용한 인터페이스

3차원 집적구조에서 micro-bump를 사용하여 추가 공정없이 IC간의 간단하게 신호를 전송

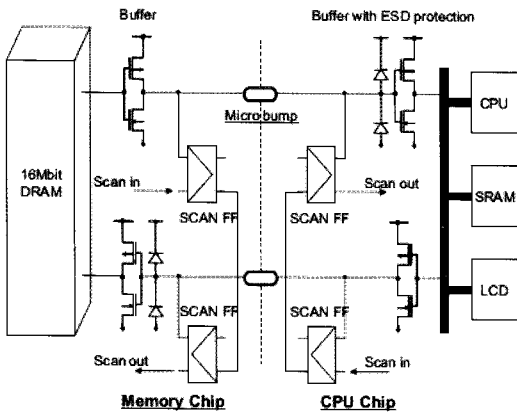
할 수 있다. Micro-bump는 반지름이 보통 50 μm 이하로, flip-chip에 사용되는 bump (~100 μm)보다 반지름이 작다. 2개의 IC를 micro-bump가 있는 면을 마주대어, 신호를 전송하게 된다. <그림 3>은 micro-bump의 구조를 보여준다^[3,5].

Micro-bump는 추가적인 공정을 필요로 하지 않아 비용면에서 효과적이거나, micro-bump가 있는 면을 마주 놓아야 하는 제약이 있고, 3개 이상의 IC를 연결할 때는 사용이 불가능하다.

<그림 4>에 보여진 시스템은 2004년 Sony에서 ISSCC에 발표한 것으로, CPU와 메모리 칩간의 데이터 전송을 위해 micro-bump를 사용한다^[4]. Micro-bump의 capacitance는 50fF/ bump로 칩내 (on-chip)의 1mm 길이의 interconnect



<그림 4> CPU와 메모리 칩이 micro-bump를 사용하여 신호를 전송하는 3D IC의 단면



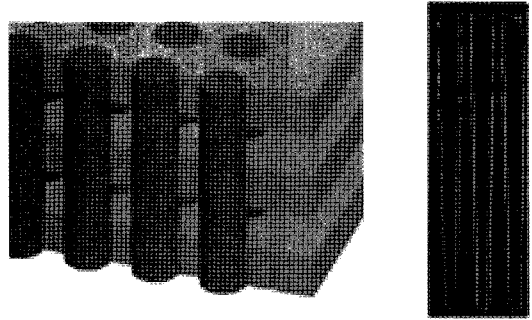
〈그림 5〉 Micro-bump를 사용한 인터페이스 회로의 관계도

에 대응되는데, 이는 비교적 큰 값이어서, 3D IC에서 근거리 신호전송의 장점을 최대한 활용하지 못하는 면이 있다.

〈그림 5〉는 테스트 회로를 포함한 인터페이스 회로의 관계도를 보여준다. Buffer에 ESD 보호 회로와 scan 테스트 회로가 추가되어 있다. 접합을 하기 전후로 테스트 회로를 사용하면, scan 테스트를 통하여 수율을 높이고 비용을 낮출 수 있다. 〈그림 4〉에 보여진 인터페이스는 1788개의 micro-bump를 사용하여 123MHz에서 동작하는 CPU와 64Mb 용량의 메모리 칩 간에 전송 속도 160Gb/s를 달성했다^[4].

III. TSV를 사용한 인터페이스

3차원 직접구조에서 가장 직관적인 통신 방법은 수직으로 구멍을 뚫고 칩과 칩을 연결하는 선을 삽입하는 방법이고, 이것을 Through-Silicon Via(TSV)라고 한다. 이는 보통 IC내에서 각각 다른 metal layer를 연결할 때 사용되는

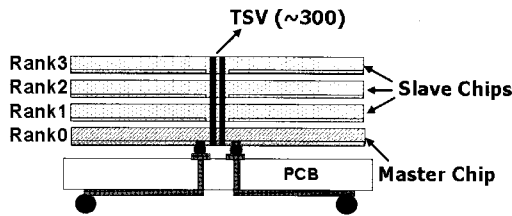


〈그림 6〉 TSV 와 SEM 사진

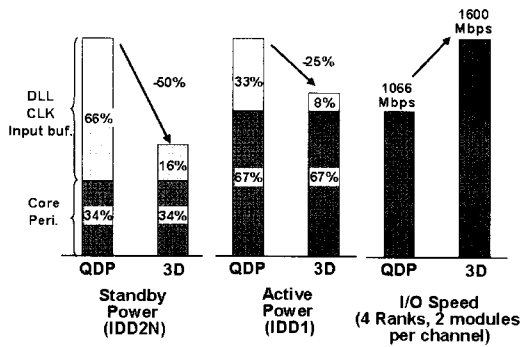
via의 개념을 3차원으로 집적된 IC간의 통신에 확장한 것이다. 3D IC 구조를 사용하여 신호 전송의 거리를 줄인다고 생각할 때 가장 효과적인 것이 TSV다. 그러나, TSV를 만들려면 각 layer에 해당하는 칩의 공정을 마치고, 추가적으로 etching, electroplating 등의 공정을 하여야 하므로 제작 비용이 매우 높다^[5]. 공정과정에서 정렬오차가 발생하면, TSV가 연결되지 않아 수율에 문제가 생길 수도 있다. 〈그림 6〉은 TSV 구조와 SEM 사진을 보여주고 있다^[3,5].

최근에 비용을 낮추어 제작하는 기술들이 개발되어 2009년 ISSCC에서는 TSV를 사용하여 신호 경로의 거리를 줄이고, 칩 구조의 효율성을 높인 3차원 직접구조의 장점을 살린 3D IC들이 소개 되었다^[6,7,9].

〈그림 7〉은 삼성에서 발표한 3차원 DRAM구조의 단면을 보여주고 있다^[6]. Master 칩에는 2Gb x 4 DDR3 DRAM에 multi-rank 제어회로가 있고, slave 칩에는 2Gb 메모리 코어에 테스트 회로가 있다. 칩들은 300개의 TSV로 연결되어 있고, 이와 같이 형성된 8Gb의 DRAM은 하나의 rank를 형성한다. Multi-rank 제어회로에는 buffer가 있어서 channel과 slave 칩을 분리시켜, 1600Mb/s의 인터페이스 속도를 달성할



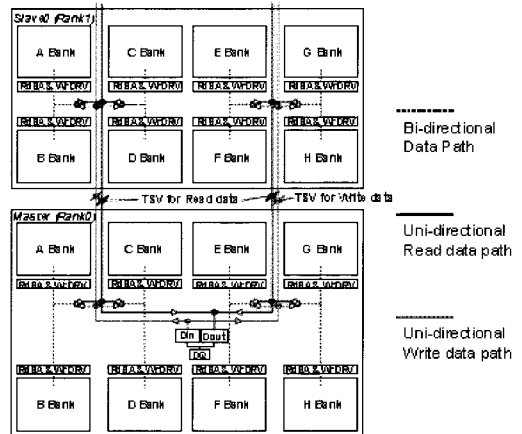
〈그림 7〉 3차원 집적 DRAM의 단면



〈그림 8〉 QDP구조와 3D DRAM의 성능 비교

수 있었다. 기존에는 Quad-Die Package (QDP) 구조를 사용했는데, 〈그림 8〉은 기존의 QDP와 비교한 3차원 DRAM의 성능이 얼마나 개선되었는지 보여주고 있다. 3차원 구조를 사용함으로써, slave 회로에서도 반복되어야 하는 DLL, input buffer, clock 회로 같은 것이 불필요해져서 실제 전력 소모와 대기 전력소모가 많이 줄었고, latency도 1/4정도로 줄일 수 있었다.

TSV를 사용할 경우 공정상에 정렬오차로 TSV가 연결되지 않아 칩 동작에 영향을 미치면 수율에 문제가 발생할 수 있다. 이를 해결하기 위해 삼성의 3D DRAM에서는 “TSV repair scheme”이 제안되어 사용되었다^[6]. 여러개의 TSV를 하나의 그룹으로 형성하고, 각 그룹마다 불필요한 TSV를 몇 개 더 추가하여, 성공할 확



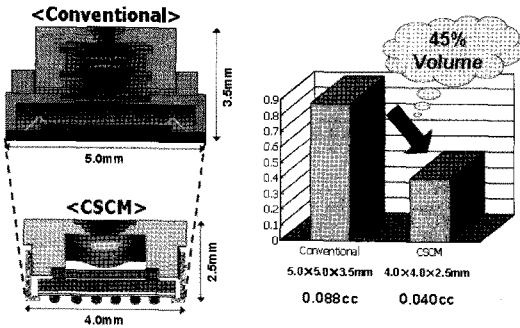
〈그림 9〉 Master-slave 칩의 datapath 구조

률을 높이는 방법이다.

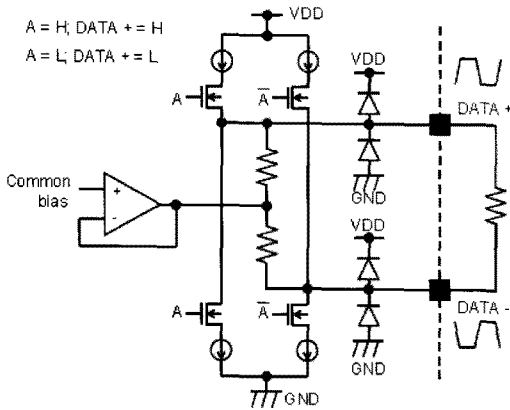
〈그림 9〉에서는 이 칩의 datapath 설계를 보여준다. PVT가 적은 local 인터페이스에서는 양방향 경로로 하고, global 인터페이스에서는 읽기/쓰기 경로를 따로 뚫으므로, 차지하는 면적은 넓어질 수 있지만, 신호가 전송되어야 하는 거리가 감소하고, PVT variation이 줄어드는 장점이 있다.

Toshiba에서는 TSV를 사용하여 3D IC로 제작한 Chip Scale Camera Module (CSCM)을 발표하였다^[7]. 〈그림 10〉은 CSCM의 단면과 기존의 CMOS image 센서 시스템과 비교해서 form factor가 얼마나 개선되었는가 보여주고 있다. CSCM에서는 CMOS image 센서로부터 압축되지 않은 비디오 데이터를 전송하므로, 고속 인터페이스의 성능이 매우 중요하다. 이 시스템에서 요구되는 인터페이스 성능은 130Mb/s ~ 650Mb/s 정도이다.

이 칩에서는 Low Voltage Swing Differential Signaling (LVDS)을 쓰고, 송신기의 회로도도 〈그림 11〉에 제시되어 있다. 신호를 전달하고 TSV를 구동하는 전단에는 back-to-back diode



〈그림 10〉 Toshiba에서 발표한 Chip Scale Camera Module (CSCM)



〈그림 11〉 LVDS driver의 회로도

를 삽입하여 ESD로부터 보호될 수 있도록 하였다.

여기서 TSV는 직렬 연결된 resistance, inductance와 병렬 연결된 capacitance로 모델링한다. TSV간의 간격은 $125\mu\text{m}$ 로 고정되어 변하지 않고, TSV구조 최적화는 지름과 웨이퍼의 두께, 또는 TSV 길이를 변화시켜 TSV에서 생기는 신호지연을 최소화 한다. TSV 지름이 증가하면 resistance는 감소하지만, 옆에 있는 TSV와의 거리가 가까워져서, capacitance가 증가한다. 웨이퍼의 두께가 얇을수록, resistance는 감소하지만, 공정상의 문제로 얇아질 수 있는

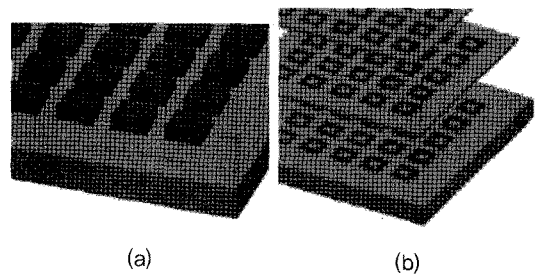
한계가 있다. 최적화를 통해, 웨이퍼의 두께는 $70\mu\text{m}$, capacitance를 결정하는 유전체 두께는 $3\mu\text{m}$, TSV 반지름은 $66\mu\text{m}$ 로 결정되었다.

IV. 무선 인터페이스

Micro-bump나 TSV가 물리적으로 연결된 신호 전송이라면, 물리적으로 접촉하지 않고 capacitive coupling이나 inductive coupling을 사용하여 무선으로 신호를 전송하는 것도 가능하다. 무선 인터페이스는 각 IC의 공정을 마치고, IC layer들을 접합한 후 추가적인 TSV 공정을 하는 것이 비용이 높은 경우, 회로를 이용하여 공정상의 문제를 해결한 것이라고 볼 수 있다.

〈그림 12〉 (a) 는 capacitive coupling을 사용한 I/O구조를 보여주고, 〈그림 12〉 (b) 는 inductive coupling을 사용한 I/O구조를 보여준다.

TSV의 제작 비용이 매우 높고 수율이 낮았던 2000년대 초반부터, Keio 대학을 중심으로, capacitive나 inductive coupling을 사용한 무선 인터페이스가 연구되어 왔다^[3,8~10]. 인터페이스가 물리적으로 접촉되어 있지 않을 경우, ESD 보호 회로가 필요하지 않아, 전력소모와 면적을

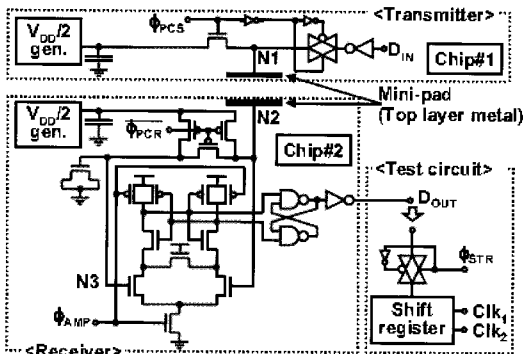


〈그림 12〉 (a) Capacitive coupling (b) Inductive coupling

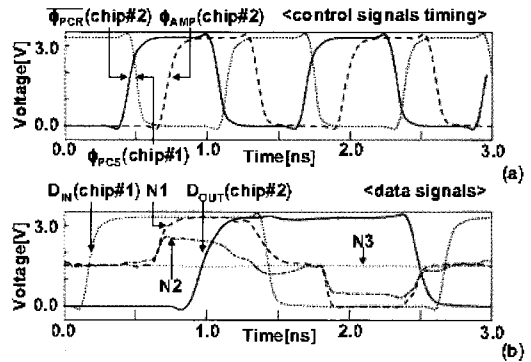
동시에 줄일 수 있다.

처음 시도된 시스템은 <그림 12> (a) 에 보여진 것과 같이 capacitive coupling을 이용한 것이다^[8]. Capacitive coupling을 사용해서 신호를 전송할 때는, voltage signaling을 사용해야 한다. 평행판 capacitor의 경우 fringing electric field가 적어 여러 개의 capacitor를 array로 만들어 쉽게 대역폭을 늘릴 수 있다. <그림 13>에서는 capacitive coupling 인터페이스에서 송신기와 수신기 회로를 보여주고, <그림 14>에서는 인터페이스 회로내의 데이터와 제어파형을 보여준다. 송수신기는 $v_{DD}/2$ 로 precharge되어 있고, activation timing은 ϕ_{PCS} 와 ϕ_{PCR} 를 통해 조절된다.

2003년 Keio 대학에서 ISSCC에서 발표한 capacitive coupling을 이용한 인터페이스에서 하나의 핀은 1.26Gb/s의 속도로 3mW를 소모한다^[8]. Capacitive coupling이 silicon substrate을 통과할 경우 손실이 크므로, 이 인터페이스는 윗면을 마주 대하고 있는 2개의 IC간에만 사용할 수 있다. Vdd가 낮아지면, voltage signaling을 사용하는 capacitance 인터페이스는 사용기



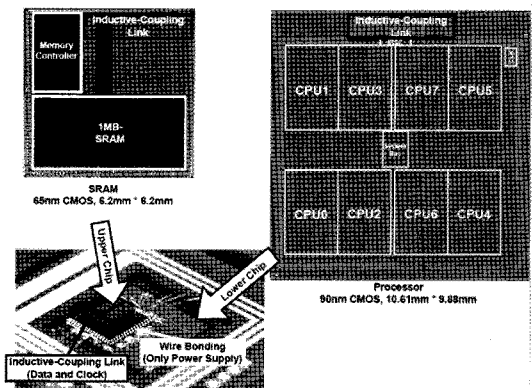
<그림 13> Capacitive coupling I/O에 사용되는 송수신기 회로



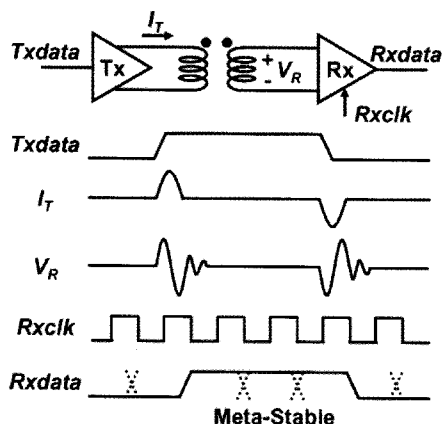
<그림 14> SPICE 시뮬레이션으로 구한 capacitive coupling I/O에 사용되는 송수신기 회로의 데이터와 제어신호 파형

어렵다. 이럴 경우에는 current signaling을 사용하는 <그림 12> (b)에 보인 것과 같은 inductive coupling을 이용하는 인터페이스를 사용할 수 있다.

<그림 15>는 2009년 ISSCC에 발표한 프로세서와 SRAM과의 데이터와 clock 통신을 위해 inductive coupling link를 사용한 시스템을 보여준다^[9]. Inductive coupling link를 사용하여 데이터와 clock을 전송하고, 전력은 wire bonding을 통하여 각 칩에 공급된다.



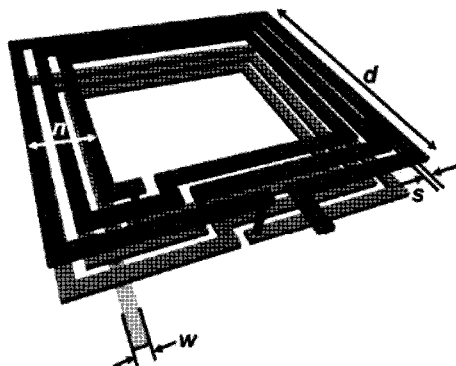
<그림 15> Inductive coupling을 사용하는 3D IC



〈그림 16〉 Inductive nonreturn-to-zero (NRZ) signaling

보통 무선통신에서는 신호대잡음비 (SNR)를 높이기 위하여 carrier modulation을 사용하지 만, 3D IC 간의 무선전송은 100 μm 이하의 근거리에서 이루어지므로, carrier modulation을 사용하지 않고, 〈그림 16〉에 보여진 것과 같은 nonreturn-to-zero (NRZ) signaling을 사용할 수 있다. 〈그림 16〉은 NRZ signaling의 파형과 송수신기의 구조를 보여준다^[10].

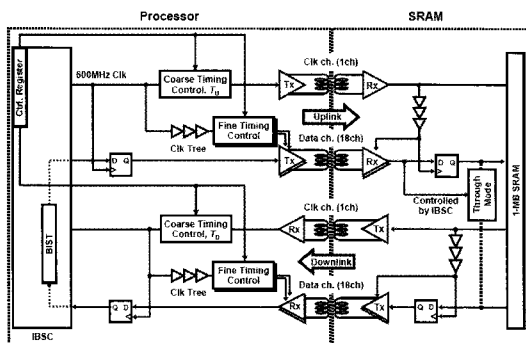
〈그림 17〉은 inductive coupling 인터페이스에서 channel로 사용되는 inductor의 layout의 예를 보여준다. 인터페이스에서 데이터를 전송해야 할 거리, 전력, 데이터량, 신호 대 잡음비 등이 주어졌을 때, 그림에 보인 d , s , n , w 를 최적화하여, 최소한의 면적을 차지하는 inductor를 디자인하여야 한다^[10]. inductor의 면적이 작을수록, 더 많은 inductor로 array를 구성할 수 있기 때문에, 더 높은 대역폭을 얻을 수 있다. 더 먼 거리를 전송하고 싶다면, inductor의 크기를 늘여 전송하는 전력을 높여야 하는데, 그럴 경우 전송할 수 있는 데이터량의 최대값이 줄어든다. 대역폭을 높이하고자 할 때 inductor array를 구성해야



〈그림 17〉 Metal inductor layout

하는데, 그럴 경우 신호 간섭을 고려해야 하고, 면적의 손실이 크다는 단점이 있다. Inductor를 디자인할 때는 자기공진주파수에 영향을 미치는 기생 capacitance도 고려한다.

〈그림 18〉은 2009년 Keio 대학에서 발표한 프로세서와 SRAM 사이에 inductive 인터페이스를 사용한 송수신기 관계도를 보여준다^[9]. Inductive coupling을 사용하는 인터페이스의 장점 중의 하나가, 송신기에 pulse shaping circuit을 넣어서 pulse width를 줄이면, 전력소모를 줄일 수 있다는 것이다. 그러나, pulse width를 줄이면 timing의 허용오차 또한 작아져



〈그림 18〉 Processor와 SRAM 사이의 Inductive I/O

서, timing을 조절하는 블록을 추가했다.

Inductive coupling link를 사용함으로써 1pJ/b의 전력소모로 기존의 DDR2 인터페이스의 1/30의 전력으로, 고속 인터페이스를 구현 할 수 있었다. 이 경우 ESD 보호회로가 필요하지 않아, 면적도 0.15mm²/Gbps로 기존의 DDR2 인터페이스의 1/3로 줄일 수 있었다.

V. 요약

본 기고에서는 반도체 3D IC에서 저전력, 고속 신호 전송을 가능하게 하는 다양한 인터페이스 기술에 대하여 알아보았다.

Micro-bump나 TSV와 같이 유선으로 신호를 전송하는 방법과, capacitance나 inductance coupling을 이용하여 무선으로 전송하는 기술을 살펴보았다. 최근 TSV 공정 기술이 많이 발전하여, 앞으로 TSV 인터페이스에 기반한 3D IC가 많이 나올 것으로 기대된다. 무선 인터페이스를 사용할 경우, 특히 inductive coupling을 이용한 경우, 낮은 vdd로도 신호전송이 가능하고, pulse width를 줄일 수 있으며, ESD 보호회로가 필요 없어, 저전력으로 신호를 전송할 수 있다.

참고문헌

- [1] M. Horowitz et al., "High-speed electrical signaling : overview and limitations," *IEEE Micro*, 1998.
- [2] S. M. Alam, "New Design Considerations and Computer-Aided Design Opportunities in Emerging 3D Integration Technology," *ISQED 2009 Tutorial*
- [3] T. Kuroda, "Wireless Proximity Communications for 3D System Integration," *RFIT 2007-IEEE International Workshop on Radio-Frequency Integration Technology*
- [4] T. Ezaki et al., "A 160Gb/s Interface Design Configuration for Multichip LSI," *ISSCC 2004*.
- [5] W.-C. Lo et al., "TSV and 3D Wafer Bonding Technologies for Advanced Stacking System and Applications at ITRI," *Symposium on VLSI Technology 2009*.
- [6] U. Kang et al., "8Gb 3D DDR3 DRAM Using Through-Silicon-Via Technology," *ISSCC 2009*.
- [7] H. Yoshikawa, "Chip Scale Camera Module (CSCM) Using Through-Silicon-Via (TSV)," *ISSCC 2009*.
- [8] K. Kanda et al., "1.27Gb/s/pin 3mW/pin Wireless Superconnect (WSC) Interface Scheme," *ISSCC 2003*.
- [9] K. Niitsu et al., "An Inductive-Coupling Link for 3D Integration of a 90nm CMOS Processor and a 65nm CMOS SRAM," *ISSCC 2009*.
- [10] N. Miura et al., "Analysis and Design of Inductive Coupling and Transceiver Circuit for Inductive Inter-Chip Wireless Superconnect," *IEEE Journal of Solid-State Circuits*, Vol. 40, No. 4, April, 2005.

저자소개



김 소 영

1997년 2월 서울대학교 전기공학부 학사
1999년 6월 Stanford University, EE Dept., 석사
2004년 9월 Stanford University, EE Dept., 박사
2004년 7월~2007년 12월 Intel Corporation
2008년 1월~2009년 2월 Cadence Design Systems
2009년 3월~현재 성균관대학교 정보통신공학부 반도체
시스템전공 조교수

주관심 분야 : Interconnect Design and Analysis,
Power/Thermal Analysis in ICs,
Signal/Power Integrity