

차세대 SiP를 위한 3D TSV IC 기술

박준서 (KAIST)

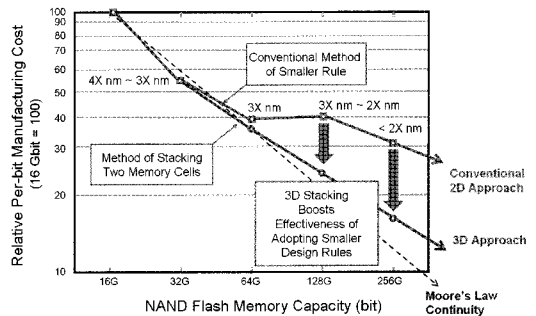
I. 서론

반도체 기술이 발전해 온 과거로부터 현재까지 살펴보면 칩 내 트랜지스터의 집적도를 높여 오는 기술과 더불어 칩을 외부 시스템과 연결 해 주는 패키지 기술이 양대 견인차였음을 알 수 있다. 칩 내 트랜지스터의 집적도 향상은 약 40년 전 인텔의 Gordon Moore가 발표한 무어의 법칙에 따라 18개월마다 단위 면적당 2배의 트랜지스터 개수를 증가시키며 칩 생산비 절감 및 성능 개선을 이끌어 왔다. 하지만 최근 30 나노급 공정에 근접하면서 무어의 법칙에 따라가는 트랜지스터의 집적도 향상은 기술적 어려움 및 경제성 한계로 인해 어려워지고 있음을 여러 발표를 통해 알 수 있다. 또한 패키지 기술은 칩 성능의 비약적 향상을 시스템 성능 향상으로 가져가는데 많은 도움을 주지 못하고 있는 현실이다. 이는 제조 기술의 한계뿐만 아니라 다양한 전기적 한계 및 간섭에 의한 것으로 이에 대한 많은 연구가 이루어지고 있다. 이와 같은 여러 노력 중에 차세대 SiP (System in Package)를 위한 3D IC (3 Dimensional Integrated Circuit) 연구가 최근에 많은 관심을 받으며 산업체와 학계에서

이루어지고 있다. 3D IC는 지금까지 2차원적 접근으로 인한 단일 칩이 가지는 한계를 3차원적인 칩 배치를 통해 해결하고자 하는 것으로 패키지 집적도 및 성능 향상, 아날로그 및 디지털을 포함한 시스템 융합, 그리고 생산비 절감 등의 다각적인 효과를 극대화 하려는 패키지 방식이다. <그림 1>

현재 진행 중인 3D IC 연구는 기존의 칩 제작 기술과 패키지 기술의 융합으로 접근하고 있으며, 특히 새로운 패키지 기술인 TSV (Through Silicon Via)를 중심으로 활발히 진행되고 있다.

TSV 기술은 크게 제작 기술과 응용 설계 기술로 나누어 볼 수 있는데, 3D TSV IC가 주목받기



<그림 1> 무어의 법칙과 3D IC 역할^[1]

시작할 때부터 최근까지는 제작 기술 주도로 시장 및 연구가 진행되고 있으나, 제작 기술이 빠르게 안정화 되고 있는 현재에는 응용 및 설계 기술에 대한 욕구가 매우 커지고 있다.

그래서, 본고에서는 차세대 SiP를 위한 3D TSV IC 기술에 대한 필요성, 기술 동향, 시장 현황 및 예측을 통해 현재 3D TSV IC 기술에 대한 위치를 파악하고, 가장 핵심기술인 TSV에 대한 소개 및 전기적 설계 이슈 등에 대해서 알아보면서 미래 3D TSV IC에 대해 준비하는 기회를 갖고자 한다.

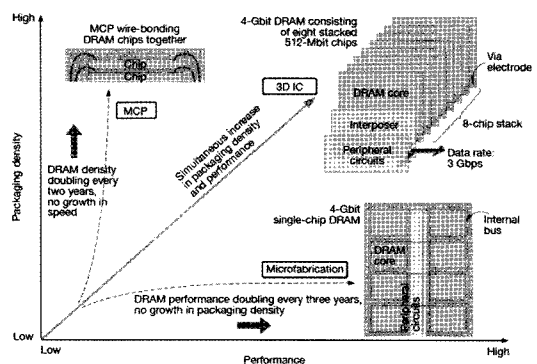
II. 3D TSV IC

3D TSV IC란 기존의 2D Planar 형태의 칩을 수직으로 설계 적층하고 TSV를 이용하여 전기적 연결을 하여 단일 면적당 트랜지스터의 수를 극대화 시키고 개발 비용 및 시간을 최소화하고자 하는 칩 형태의 패키지이다. 또한 이를 통하여 다양한 기능의 칩들을 단일 패키지에 적층하여 고집적 다기능의 패키지도 구현 할 수 있게 된다. 현재 많이 사용되고 있는 MCP (Multi-Chip Package)에 적용되는 기술과 흡사하지만 성능향상의 큰 제약인 Bond Wire를 이용하고 있지 않다는 점에서 많은 장점을 지니게 된다.

1. 3D TSV IC 필요성

3D TSV IC가 반도체 기술 발전의 큰 원동력이 될 것으로 보는 이유는 크게 세 가지 관점으로 나누어 볼 수 있다. <그림 2> 첫째는 성능 향상이다. 단일 칩으로 시스템 기능을 모두 구현하는데 어려움이 많기 때문에 다양한 기능의 칩들

을 단일 패키지나 인쇄보드로서 전기적으로 연결하여 사용하고 있는데 길이가 긴 Bond Wire나 단일 칩만을 위한 Flip Chip 기술은 고성능, 고집적 목적을 이루는데 한계를 가지게 된다. 그러나 칩 두께와 동일한 길이를 가지는 TSV의 전기적 특성 및 집적도의 우수성(본고 III장)은 기존 패키지 기술을 이용한 3D IC 기술의 한계를 극복 할 수 있는 유일한 방법이라고 할 수 있다. 특히, Off-chip driver에 대한 Loading을 줄여서 얻어지는 칩 소비전력의 감소는 큰 매력으로 대두되고 있다. 둘째는 제조비용 감소이다. 3D TSV IC는 기본적으로 기존에 검증받은 공정을 이용하여 제작된 칩을 사용하기 때문에 Deep - nano - scale 과 같은 이윤창출이 어려운 새로운 공정개발 및 장비투자를 피할 수 있으면서도 단위 면적당 트랜지스터의 개수를 극대화 할 수 있기 때문이다. 일례로 삼성전자는 2006년 IEDM (International electron Devices Meeting) 에서 64Gbit 용량 이상의 Flash Memory 구현은 기술적 문제보다는 이윤창출의 어려움 때문이며, 이는 3D TSV IC를 이용해 극복할 것이라고 발표했다. <그림 2> 셋째는 패키지의 소형화이다. 2차원적으로 배치되던 칩들을 3차원 적

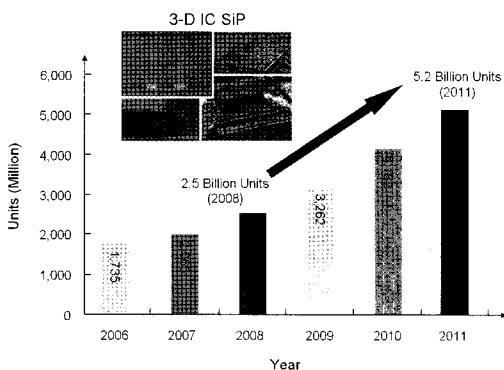


<그림 2> DRAM 패키지 집적도와 성능^[1]

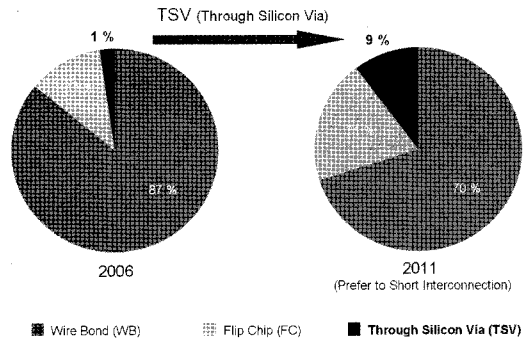
층을 하게 되면 시스템 보드의 크기를 줄일 수 있다.

2. 3D TSV IC 시장과 기술 동향

3D TSV IC의 시장은 3D IC SiP 시장의 동향과 밀접한 관계가 있다. <그림 3> Mobile 전자 제품의 소형화 요구는 단일 패키지에 작은 비용으로 많은 기능을 가져올 수 있는 3D IC SiP의 수요로 이어져 왔고 앞 절에서 언급한 세 가지 이유에 의해 급속한 시장의 확대가 지속적으로 이루어질 것으로 예상하고 있다. 3D IC SiP는 대표적으로 칩들을 연결하는 형태에 따라 Bond Wire 형, Flip Chip 형, TSV 형으로 나누어 볼 수 있다. <그림 4> 물론 Bond Wire 형과 Flip Chip 형과 같이 안정된 공정과 저렴한 제작이 가능한 형태가 많은 부분을 차지하고 있으나 3D TSV IC SiP에 의해 창출되는 고부가가치, 고성능, 고집적이라는 과급효과를 볼 때 9%의 시장 점유율은 많은 산업체 및 학계의 주목을 끌기에 충분하다고 할 수 있다. 특히, TSV 기술 개발은 궁극에 Analog, Digital, Sensor, RF 기능이 포함된 진정한 System in Package (SiP) 구현을



<그림 3> 3D IC SiP 시장 동향 및 예측^[2]



<그림 4> 3D IC 적층 방법에 따른 시장 동향^[2]

가능하게 하여, 의료기기 및 군사장비 등과 같은 고성능 고집적 저전력을 요구하는 제품에서 각광 받을 것으로 예상된다. 이에 따라 현재 많은 TSV 연구 및 TSV 적용 제품이 전 세계적으로 발표되고 있다. 2006년 4월에는 삼성전자에서 WSP (Wafer-level processed Stack Package)를 적용한 8단 적층 낸드플래시 복합칩을 발표하였는데, 이는 2Gbit 낸드 플래시를 8개나 적층하였음에도 전체두께가 560 um에 불과 했으며, 기존 MCP 제품에 비해 실장면적도 15 %로 감소할 정도로 고집적 소형화를 이루었다. 2007월 4월에는 4단 적층 DRAM 제품 및 모듈을 발표하였다. 미국 IMB에서는 TSV를 마이크로 프로세서와 Power amplifier에 적용할 것이라고 발표하였다. 두 제품은 대표적 고전력 칩으로 전력라인을 TSV로 대체함으로써 각각 20 %, 40 %의 소비전력 감소를 예측하고 있다. 또한 여러 마이크로 프로세서 제조회사에서는 메모리를 3D TSV IC 기술로 적층하여 프로세서에 최단 근접 시킴으로서 시스템 성능향상을 도모하고 있다. KAIST에서도 TSV 제작 공정 개발 및 전기적 해석을 통하여 3D TSV IC 설계기술에 대한 연구를 진행하고 있으며, 가장 기본이 되는 연구 결과를 본고 후반부에서 간단히 소개 하고자 한다.

III. TSV (Through Silicon Via)

앞서 3D TSV IC에 대해 소개하였다면, 이번 장에서는 TSV에 대해 좀 더 자세히 살펴보고 미래 3D TSV IC의 연구 방향에 대해 같이 고민해보고자 한다.

1. TSV 개념 및 장점

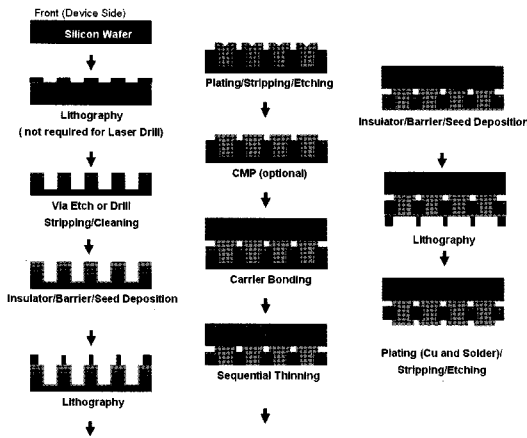
TSV는 Through Silicon Via의 약자로 연구 초반에는 TWV (Through Wafer Via)로 불리었으나 칩 대부분이 Silicon Wafer를 지향하고 있는 현실에서 TSV를 가장 선호해서 사용하고 있다. TSV는 명칭에서도 알 수 있듯이 칩 위쪽에 형성된 트랜지스터나 연결선들을 칩 아래 쪽 면으로 연결해주는 구조로 인쇄보드에서 관통비아 같은 역할을 한다고 생각하면 된다. 영문 표현을 인용하면, "Route the electrical signal through all die in the stack, rather than wire bonding around lower die to the substrate below" 과 같다.^[2] 칩 외부로 돌아가는 방법이 아닌 Wafer 내부를 통해 수직적으로 내려가는 방법을 이용하기 때문에 칩에서부터 다른 칩이나 인쇄보드로 내려가는 최단 거리가 형성됨을 알 수 있다. 최단 거리의 장점은 신호 손실 감소를 가져와 칩간 고속 저전력 통신이 가능하게 되어 고성능 3D IC SiP 구현이 가능하게 되며 전력선에 사용될 경우 Off-chip driver의 저전력 설계가 가능하게 되어 Mobile 전자제품 사용시간 증가를 통해 높은 상품성을 확보 할 수 있다. 특히 몸속에 장착되는 의료기기의 경우 저전력 설계가 전원 교체를 위한 수술 횟수 감소에 의한 환자의 고통 경감을 얻을 수 있기 때문에 고부가가치 의료기기 분야에서는 매우 중요시 하는 부

분이다. TSV의 설계 장점으로는 Bond Wire 같이 위치 및 개수의 제한이 없어 I/O (Input/Output) 개수의 제한 없이 자유롭게 설계가 가능하다는 것이다. 이를 통해 칩 성능 위주의 설계가 가능하게 된다. 또한 이종 칩 간에 발생할 수 있는 TSV Pad Mismatch를 해결을 위한 Interposer 설계도 매우 간략하게 할 수 있어 제작비용 및 시간을 획기적으로 줄일 수 있다.

2. 일반적 TSV 공정 과정

TSV는 칩이라는 작은 공간에 형성해야 하기 때문에 보통 보드나 패키지의 Through hole via를 형성하는 Mechanical Drill을 이용할 수 없다. 그래서 Laser Drill 이나 Chemical Etching을 이용하여 Wafer에 구멍을 뚫은 후 구멍을 도금방식을 이용하여 매우는 방법을 이용하고 있다. Laser Drill의 경우 Alignment의 어려움과 많은 부산물 처리 문제로 인해 Chemical Etching 방법을 많이 선호하고 있으며, 이 절에서는 대표적인 DRIE (Deep Reactive Ion Etching)을 이용한 방법을 간략히 소개 하겠다.

DRIE는 반도체 공정에서 사용하는 물질과 장비를 이용하게 되는데, SiF₆ Plasma를 이용하여 Silicon Wafer를 파내는 과정과 C₄F₈ Plasma를 이용하여 파내어진 Silicon 외벽에 Over-etching 방지용 Coating하는 과정을 반복적으로 수행하여 Silicon Wafer에 수직 방향으로 구멍을 뚫게 된다. Laser Drill에 비해 TSV 크기 조절이 용이하며 제작 중 부산물에 의한 불량률 및 Alignment 어려움이 없다. 그런 후 금속으로 구멍을 채우게 되는데 구리 (Copper)가 가장 많이 이용되고 있다. 우선 구리 도금을 위해 구멍 내부에 3층으로 이루어진 Seed Layer를 형성한다.



〈그림 5〉 일반적 TSV 공정 과정^[3]

Seed Layer는 Dielectric Layer, Adhesion/Diffusion Layer, Copper Seed Layer의 순서로 구멍 내벽에 형성된다. Dielectric Layer는 반도체인 Silicon과 구리사이의 절연을 위해 형성되며, Adhesion/Diffusion Layer는 Silicon에 매우 치명적인 구리가 확산되지 않게 하면서 Dielectric 물질에 잘 접촉시키기 위해서 형성된다. Cooper Seed Layer는 구리 도금을 위해 사용된다. 이와 같은 기본적인 공정들 이외에 Photo Mask 공정, Wafer를 얇게 하기 위한 공정인 Thinning 공정, 평탄화 공정인 CMP (Chemical Mechanical Polishing) 공정, 얇게 형성된 Wafer를 이동시키기 위한 Wafer Bonding /De-bonding 공정 등이 추가 된다. 전체적인

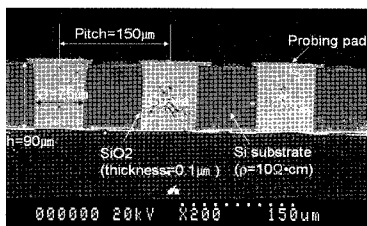
TSV 제작 공정은 <그림 5>에 정리해 놓았다.

3. 3D TSV IC 설계를 위한 TSV 전기적 특성

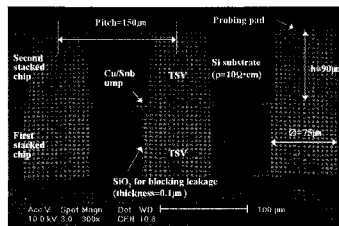
TSV는 칩 내부 회로간의 연결을 위한 것이 아니라 칩 외부와 연결 되는 전기적 신호 및 전력의 통로 (칩의 I/O)가 되고 칩 내부 구조에 비해 상당히 큰 구조를 가지기 때문에 칩 성능의 최적화를 위해서 TSV의 신호 손실도, 전력 전달도 같은 전기적 특성 해석이 우선 되어야 한다. 신호 손실도와 전력 전달도는 보통 SI (Signal Integrity) 해석과 PI (Power Integrity) 해석이라 지칭하며, 측정과 시뮬레이션을 통해 S-parameter, TDR/TDT (Time Domain Reflection / Time Domain Transmission) 파형, Z-parameter 등의 데이터를 얻고 분석함으로써 진행 된다.

가. 제작된 TSV 샘플

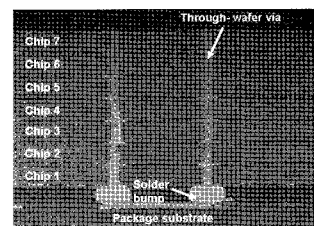
대표적 TSV 전기적 특성을 알기 위해 현재 제작되어 있는 TSV 샘플을 이용하였다. TSV는 $10 \Omega \cdot \text{cm}$ 저항계수를 갖는 Silicon Wafer에 $75 \mu\text{m}$ 지름과 $90 \mu\text{m}$ 높이(길이)로 구리를 이용하여 제작 되었다. Dielectric Layer는 $0.1 \mu\text{m}$ 두께의 SiO_2 가 사용되었다. <그림 6> (가),



(가)



(나)



(다)

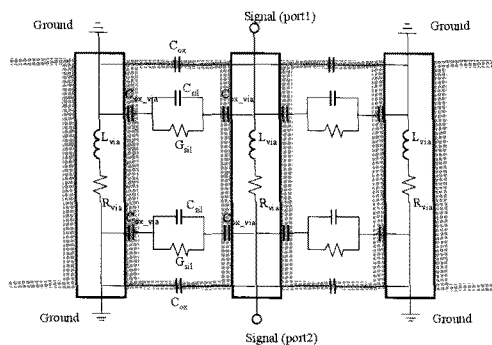
〈그림 6〉 KAIST(CEPM)에서 제작된 TSV 샘플

(나), (다)는 각각 TSV Wafer가 1층, 2층, 7층으로 쌓여 있는 사진이며, Wafer는 Solder Bump를 이용하여 연결되어 있다.

나. TSV 모델링

칩 설계는 Spice Tool에서 제공하는 트랜지스터나 On-chip 연결선 모델을 이용하여 성능을 미리 확인하는 과정부터 시작된다. 또한 Off-chip driver 설계에는 외부에 연결되는 Bond Wire나 패키지의 모델이 사용된다. 이와 같이 칩 설계를 위해서는 모든 신호 및 전력 통로에 대한 모델이 우선적으로 정의가 되어 있어야 한다. 그래서 TSV 모델링 과정은 3D TSV IC 설계에 가장 우선적으로 선행되어야 하는 부분이다.

<그림 7>은 <그림 6> (가)의 측정된 S-parameter를 통해 얻은 TSV 모델을 보여주고 있다. L_{via0} 와 R_{via0} 는 각각 17 pH, 48 mΩ 이다. TSV 모델은 구조에 기초하여 물리적으로 의미가 있는 RLCG (저항/인덕턴스/컨덕턴스/캐패시



Notation	Value	Notation	Value	Notation	Value
L_{via}	$L_{via0} \left(1 + \log \left(\frac{f}{10^8} \right) \right)^{0.26}$	C_{ox_via}	880fF	C_{ox}	3fF
R_{via}	$R_{via0} \sqrt{1 + \frac{f}{10^8}}$	C_{sil}	9fF	G_{sil}	1.75m /Ω

<그림 7> TSV 모델^[4]

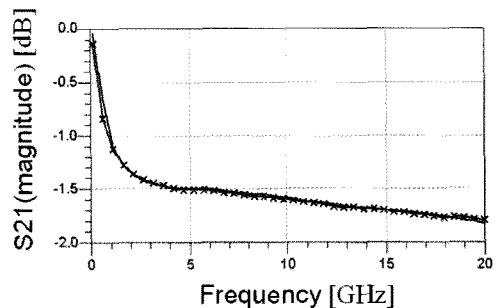
턴스)로 회로를 구성하고 측정된 S-parameter에 일치하는 특성을 보이도록 회로 값들을 추출함으로써 얻어지게 된다.

다. TSV SI (Signal Integrity) 해석

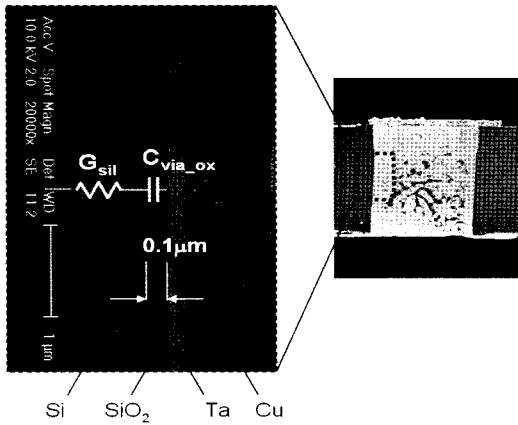
<그림 8>은 S-parameter 중에서 신호 전달 특성을 가장 잘 보여주는 S21-parameter이다. x 점들은 측정결과이고 실선은 <그림 7>에서 제시한 모델과 회로 값을 통해 얻어진 결과이다.

TSV는 1GHz 주파수까지 매우 급격히 증가하는 신호 손실을 가져 오다가 2GHz 주파수 이상 대역에서는 신호 손실의 증가가 둔화 되는 전달 특성을 보여준다. 이는 TSV 캐패시턴스(<그림 7>의 C_{ox_via})에 의한 손실이다. TSV 모델에 의하면 TSV는 전체적으로 1.8 pF 캐패시턴스를 가지게 되는데 이는 일반적 칩패드의 입력 캐패시턴스가 3 pF 정도라고 했을 때 TSV 캐패시턴스가 상대적으로 매우 큰 값을 가지고 있다는 것을 알 수 있다. 이는 고속 동작에 매우 불리한 환경으로 이에 대한 개선이 필요하다.

TSV 캐패시턴스는 <그림 9>에서 보이는 것과 같이 Dielectric Layer에 의한 것이다. Dielectric Layer는 반도체인 Silicon Wafer와



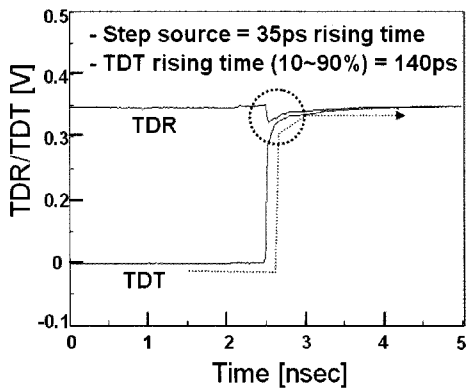
<그림 8> TSV S-parameter^[4]



<그림 9> Dielectric Layer와 전기 특성

Adhesion/Difussion Layer 사이에 들어가 캐패시턴스를 만들어 내는 것으로 현재 대부분 TSV 제작에서는 Dielectric Layer에 의한 캐패시턴스를 줄이기 위해서 노력하고 있다. 기본적으로 Dielectric Layer의 두께를 두껍게 하거나, TSV 지름과 Silicon Wafer 두께를 작게 하여 전체적 Dielectric Layer의 면적을 줄임으로써 캐패시턴스를 줄이고 있다.

TSV의 캐패시턴스는 TDR/TDT 파형 <그림 10>을 통해서도 알 수 있다. 캐패시턴스는 TDR



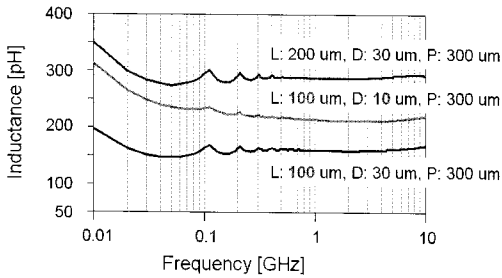
<그림 10> TSV TDR/TDT 파형

파형에서 Glitch가 발생하고 TDT 파형에서 Rising Time을 증가시키기 때문에 고속 신호선에서는 반드시 피해야할 요소이다.

라. TSV PI (Power Integrity) 해석

고성능 칩을 안정적으로 구동시키기 위해서는 외부 전력을 공급하기 위한 전력선도 매우 중요한데, 특히 3D TSV IC에서는 아래쪽 칩이 TSV를 통해 위쪽 칩의 전력을 공급하는 형태로 설계가 되기 때문에 더욱 중요하다고 할 수 있다. 전력선에서는 저항에 의한 DC Voltage Drop과 인덕턴스에 의한 고속 방해가 가장 큰 문제인데, TSV의 짧은 길이는 다른 어떤 Off-chip 연결선보다 작은 저항과 인덕턴스를 가지게 하므로 가장 좋은 전력 전달도를 보여주게 된다. <그림 10>의 TDT 파형을 보면 DC 감소가 거의 보이지 않음을 알 수 있고 인덕턴스도 17 pH <그림 8>로 매우 작게 나타나고 있다. 그러나 3D TSV IC에서 사용된 모든 칩을 단일 칩(SoC; System on Chip)으로 구현한다면 TSV에 의해 형성된 적층 전력선에 비해 더 작은 인덕턴스로 구현이 가능하게 되어 전력선 구조에 대해서는 TSV 설계가 매우 중요하게 된다. 이러한 관점에서 보았을 때 3D TSV IC에서 TSV를 통한 전력공급 방식은 SoC 설계에서 보다 매우 고민 되는 부분이다. 왜냐하면 인덕턴스를 낮추기 위해 전력용 TSV 개수를 증가시키면 상대적으로 큰 크기의 TSV로 인해 칩 면적이 상당히 커지기 때문이다. 그래서 TSV의 소형화는 신호측면과 전력측면의 성능향상에 매우 필요한 요소라 할 수 있다.

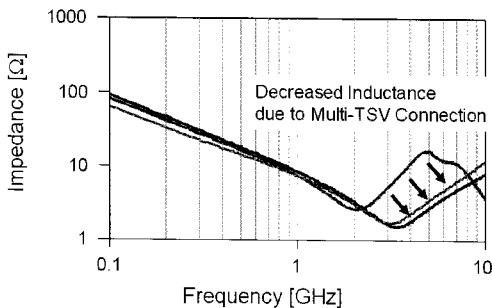
<그림 11>은 TSV 구조 (L:길이, D:지름, P:피치)에 따른 인덕턴스를 보여주고 있다. 세 경우는 상용제품에 적용될 가능성이 높은 TSV 구



〈그림 11〉 TSV 구조에 따른 인덕턴스

조를 가정하여 측정 샘플에 비해 길이는 길고 지름은 작아져 인덕턴스가 상당히 커져 150 ~ 350 pH 범위에서 나타나고 있다. 이와 같이 TSV 구조설계에 따라 전력선의 성능에 차이를 가져오게 된다.

〈그림 12〉는 4 mm² 면적 단일 On-chip 전력선 임피던스 (화살표 아래 짙은선), 1 mm² 면적 4개On-chip 전력선들을 1쌍의 TSV를 이용하여 모두 연결한 경우의 전력선 임피던스 (화살표 위쪽선)와 1 mm² 면적 4개On-chip 전력선들을 4쌍의 TSV를 이용하여 연결한 경우의 전력선 임피던스 (화살표 아래 얇은선)를 보여주고 있다. 세 경우 On-chip 전력선 넓이는 4 mm²로 동일하여 2 GHz 까지는 거의 동일한 임피던스를 보이지만, 그 주파수 이후로는 TSV 인



〈그림 12〉 3D TSV IC의 전력선 임피던스

덕턴스에 의한 임피던스가 커지게 되어 큰 임피던스 변화(화살표 위쪽선)를 보이게 된다. 5 GHz 이후의 임피던스 감소는 4개 On-Chip 전력선과 TSV 인덕턴스 상호간의 공진에 의한 것이다. 이러한 TSV 인덕턴스 효과는 TSV 개수를 증가시키면 충분히 줄일 수 있다. 하지만 TSV 인덕턴스가 커질수록 더 많은 수의 TSV가 필요하게 되어 칩 면적의 증가를 가져오게 된다는 점을 고려해야 한다.

IV. 맺음말

3D TSV IC는 고성능, 고집적, 저전력 제품이라는 시대 요구에 맞는 차세대 SiP를 위한 핵심 기술이다. 3D TSV IC는 기존의 패키지 기술의 한계에 의해 제한되었던 시스템 성능 향상을 가능하게 하며 고비용 공정개발이 없이 무어의 법칙에 근접한 트랜지스터 집적도를 가능하게 하고 시스템 소형화에 매우 유리한 패키지가 가능하게 한다. 이에 따라 많은 산업체와 학계에서 TSV 기술을 위한 수많은 노력을 하고 있으나 TSV 제조 기술의 안정화 이후에 이루어져야 할 설계 기술은 아직 미미한 단계이다. 3D TSV IC 설계 기술 확보는 미래 3D IC 시장의 중요한 요소가 될 것이며 대한민국 전자 산업의 중요한 견인차가 될 것이다.

참고문헌

- [1] “3DIC & TSV Report,” Yole Development, Nov., 2007.
- [2] “Advanced IC Packaging,” Electronic

Trend Publications, Inc., 2007 Edition.

- [3] EMC (Semiconductor 3-D Equipment and Materials Consortium) - 3D TSV Technology Symposium, April, 2007.
- [4] C. Ryu, J. Lee, H. Lee, K. Lee, T. Oh, J. Kim, "High Frequency Electrical Model of Through Wafer Via for 3-D Stacked Chip Packaging," 2006 ESTC, Germany, 2006.
- [5] J. S. Pak, J. Kim, J. Lee, H. Lee, K. Park, J. Kim, "Sharing Power Distribution Networks for Enhanced Power Integrity by using Through Silicon Via," 2008 EDAPS, Korea, 2008.

저자소개



박 준 서

1998년 2월 한양대학교 공과대학 전자통신공학과 학사
 2000년 8월 KAIST 전자전산학과 전기 및 전자공학 전공 석사
 2005년 2월 KAIST 전자전산학과 전기 및 전자공학 전공 박사
 2005년 4월~2007년 3월 일본 쓰쿠바 AIST (National Institute of Advanced Industrial Science and Technology, 産業技術 総合研究所), JSPS (Japan Society for the Promotion of Science) 특별 연구원
 2007년 4월~현재 KAIST 전기 및 전자공학 BK21 초빙 교수

주관심 분야 : 3D IC를 위한 Through-Silicon-Via (TSV) Package 설계 기법 연구 및 전기적 해석, 모델링