

논문 2009-46SD-9-9

CMOS RF 집적회로 검증을 위한 직렬 주변 인터페이스 회로의 풀커스텀 설계

(Full-Custom Design of a Serial Peripheral Interface Circuit for CMOS RFIC Testing)

엄준환*, 이언봉**, 신재욱*, 신현철***

(Junwhon Uhm, Unbong Lee, Jaewook Shin, and Hyunchol Shin)

요약

본 논문은 CMOS RF 집적 회로 측정 시 측정 회로의 디지털 실시간 제어를 위한 직렬 주변 인터페이스 회로의 풀커스텀(Full Custom) 방식 CMOS 집적 회로 구현과 이의 구동 소프트웨어의 개발에 관하여 기술하였다. 개발된 SPI는 제어하고자 하는 회로의 복잡도에 따라 필요한 어드레스(Address)의 크기를 쉽게 확장 또는 축소 할 수 있는 구조로 설계 되었고 이의 구동 소프트웨어도 이에 따라 쉽게 재구성할 수 있도록 설계되었다. 따라서, 본 SPI는 다양한 종류의 CMOS RF 집적회로 설계 시 요구되는 복잡도에 따라 최적의 구조로 효과적으로 변경할 수 있도록 구성되었으며 검증대상 RF회로를 효율적으로 검증할 수 있는 장점이 있다. 설계된 재구성형 SPI는 0.13 μ m CMOS 공정으로 제작되었으며 동일 칩에 제작된 2.7GHz CMOS RF 분수형 주파수 합성기를 통하여 성공적 검증되었다.

Abstract

This paper presents an easily modifiable structure of a serial peripheral interface (SPI) that is suitable for efficient testing of CMOS RF integrated circuits. The proposed SPI is designed so that the address size and the accompanying software can be easily adjusted and modified according to the requirements and complexity of RF IC's under development. The hardware architecture and software algorithm to achieve the flexibility are described. The proposed SPI is fabricated in 0.13 μ m CMOS and successfully verified experimentally with a 2.7GHz fractional-N delta-sigma frequency synthesizer as a device under test.

Keywords : Serial Peripheral Interface, SPI, RFIC, Testing, CMOS

I. 서론

최근의 CMOS RF 집적회로는 최적의 동작 상태를

확보하기 위해 다수의 디지털 제어 신호를 이용한 조절 기능을 포함하여 설계된다. 예를 들어, LNA에서 이득이나 중심주파수의 조절을 위해 저항이나 커패시터의 값을 다수의 스위치를 이용하여 조정하는 것, VCO의 동작주파수 조절을 위해 LC Tank에서 커패시터 부분을 Switched Capacitor Bank를 사용하여 조정하는 것, PLL의 디지털 분주기의 분주비 조절을 위해 수십 비트의 이진신호를 필요로 하는 것 등은 모두 RFIC에서 디지털 제어 신호가 필요로 하는 경우이다. 이러한 제어 신호를 외부 제어 컴퓨터로부터 칩으로 전달해 주기 위해 적절한 통신 프로토콜이 필요하다. 이를 위해 가장 많이 사용되는 방식으로 모토로라에서 처음 제안된 SPI

* 학생회원, *** 평생회원, 광운대학교 전파공학과
(Dept. of Wireless Communications Engineering,
Kwangwoon University, Seoul, Korea)

** 학생회원, KAIST 전기 및 전자공학과.
(Dept. of Electrical Engineering, Korea Advanced
Institute of Science and Technology,
Taejon, Korea)

※ 본 연구는 지식경제부 산업원천기술개발사업
(2009-F-010-01) 및 한국과학재단 특정기초사업
(R01-2008-000-20042-0)의 지원으로 수행되었음.

접수일자: 2008년11월27일, 수정완료일: 2009년8월26일

(Serial Peripheral Interface)와 필립스에서 개발된 I2C (Inter-Integrated Circuit Bus)가 De Facto Standard로 사용되고 있다^[1~2]. 그런데, 이러한 SPI 또는 I2C는 대개 그 회로와 소프트웨어가 개발되면 추후 RFIC 설계자가 변경하기 어려운 경우가 대부분이다. 그래서 매우 간단한 회로 검증에 비해 복잡한 SPI 또는 I2C를 사용함으로써 회로상의 높은 Overhead를 피할 수 없는 경우가 대부분이다.

본 연구에서는 이러한 문제를 해결하기 위해 측정하고자 하는 회로에 맞게 자유롭게 확장 또는 축소가 가능한 재구성형 SPI 구조를 고안하고 회로를 설계 하였으며 이에 맞는 구동 소프트웨어를 개발하였다. 이러한 SPI는 풀커스텀 방식으로 설계되었기 때문에, RF/아날로그 회로 설계자가 언제나 편리하게 자신의 목적에 맞게 수정 변경하여 사용할 수 있는 장점을 갖는다. 결과적으로 RFIC 설계자를 위한 최적의 측정 환경을 제공한다.

II. 재구성형 SPI 설계

그림1은 SPI의 일반적인 구조이다. 일반적으로 SPI는 마스터 (Master) 소자와 슬레이브 (Slave) 소자 사이의 Full Duplex 직렬 데이터 통신 체계이다. SPI 소자 구성은 대개 한 개의 마스터 소자와 복수의 슬레이브 소자로 구성된다. 이때 다수의 슬레이브 소자들은 개별적인 Slave Select Line으로 선택된다. 보통 SPI는 4개의 신호를 통하여 통신을 하기 때문에 Four-Wire Serial Bus라고 불리기도 한다. 사용되는 신호는 Data, CLK (Clock), RST (Reset), 그리고 LE (Load Enable)이다. 원래의 SPI의 데이터 흐름은 전이중 방식 (Full duplex mode) 인데, 본 연구에서는 RFIC의 검증 목적을 만족하기 위해 마스터에서 슬레이브로 향하는 단방향 통신만을 구현하였다.

보통의 RFIC 측정시스템에서 마스터 소자는 제어 컴퓨터에 해당되고 슬레이브 소자는 RFIC 내부회로에 해

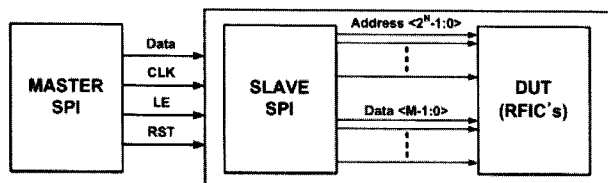
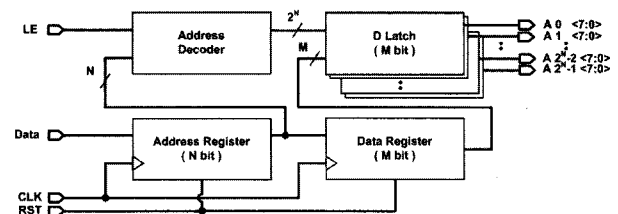
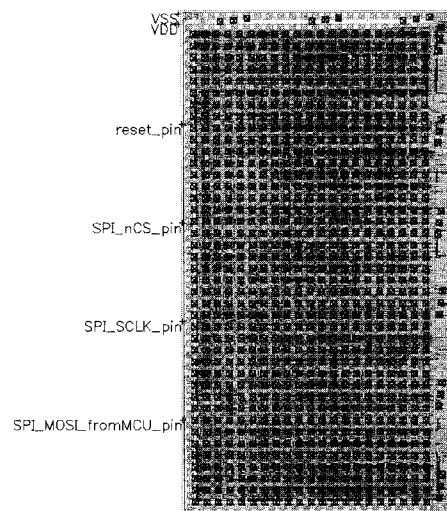


그림 1. 측정할 RFIC와 직렬 주변 인터페이스 구성
Fig. 1. Serial peripheral interface with RFIC under test.

당된다. 슬레이브 SPI는 그림 2 (a)와 같이 구성된다. 우선 데이터 와 어드레스를 받아들이는 레지스터 (Register), 어드레스 디코더 (Decoder), 그리고 최종적으로 디지털 제어신호를 원하는 방향으로 전달하는 래치로 구성된다. 어드레스와 데이터가 각각 N-비트 와 M-비트라면 이 SPI는 총 2^N 개의 주소에 M-비트의 데이터를 저장할 수 있기 때문에 총 가용 용량은 $M \times 2^N$ 비트가 된다. 이러한 기존의 SPI는 N과 M이 처음 설계시의 값에 고정되어 있다. 또한, 기존 SPI 회로 설계는 Verilog 등을 이용한 설계 및 디지털 회로 합성방식으로 설계된다. 그림 2 (b)는 이와 같은 방식으로 합성된 SPI 회로의 레이아웃을 보여 주고 있다. 이렇게 합성된 SPI는 추후 RFIC 설계자가 원하는 방식으로 수정이 거의 불가능하여 간단한 회로 변형만을 원한다 하더라도 모든 회로 설계 과정을 다시 거쳐야 하는 단점이 있다. 이를 해결하려면 트랜지스터 수준으로부터 논리회로까지 모두 설계자가 직접 회로도 와 레이아웃을 설계하는 풀커스텀 방식으로 SPI를 개발해야 한다.



(a)



(b)

그림 2. (a) 기존의 SPI 블록도 (b) 디지털합성 방식을 통해 만들어진 SPI 레이아웃
Fig. 2. (a) Block diagram of the conventional SPI (b) Layout of the conventional SPI.

본 연구에서는 풀커스텀 방식으로 SPI를 설계하였다. 우선 그림 3 (a)와 같이 사용자의 필요에 따라 어드레스 개수를 확장 또는 축소가 가능하도록 SPI 구조를 설계하였다. 그림에서와 같이 초기 어드레스 레지스터는 N-비트이고 이에 해당하는 N-비트 어드레스 디코더가 있다. 만약 이를 필요에 따라 K-비트 만큼 확장하고자 하면 기존의 어드레스 레지스터 앞에 K개의 D플립플롭을 삽입하여 어드레스 레지스터 크기를 확

장하고, 동시에 확장크기어드레스에 해당하는 디코더 로직 회로를 추가하여 (N+K)-비트의 어드레스 디코더 회로로 확장한다. 마지막으로 확장크기어드레스 개수 만큼의 데이터 래치를 추가하면 된드레스 레지스터하여 우리가 필요로 하는 용량에 맞지스적절레스어드레스 비트수여 (N할 수 있다. 그림 3 (b)의 레스를 보면 6 비트의 어드레스 레지스터와 8비트의 데이터 레지스터를 갖는 SPI를 8비트의 어드레스 레지스터로 확장하고자 하면 각중스화살표 방향으로 2개의 D플립플롭과 2 비트 만큼의 디코더 로직회로와 데이터 래치를 추가하여 확장시켜 줄 수 있다. 이는 풀커스텀 방식으로 이루어지기 때문에 회로도에서 쉽게 변경이 가능하다. 그림 3 (c)는 이렇게 풀커스텀으로 설계되어진 SPI의 레이아웃을 보여주고 있다. 그림 2 (b)와 비교해서 단위 회로에 대한 면적이 비교적 넓으나, 이 또한 풀커스텀 설계이므로 필요에 따라 쉽게 레이아웃을 변경할 수 있는 장점을 갖는다.

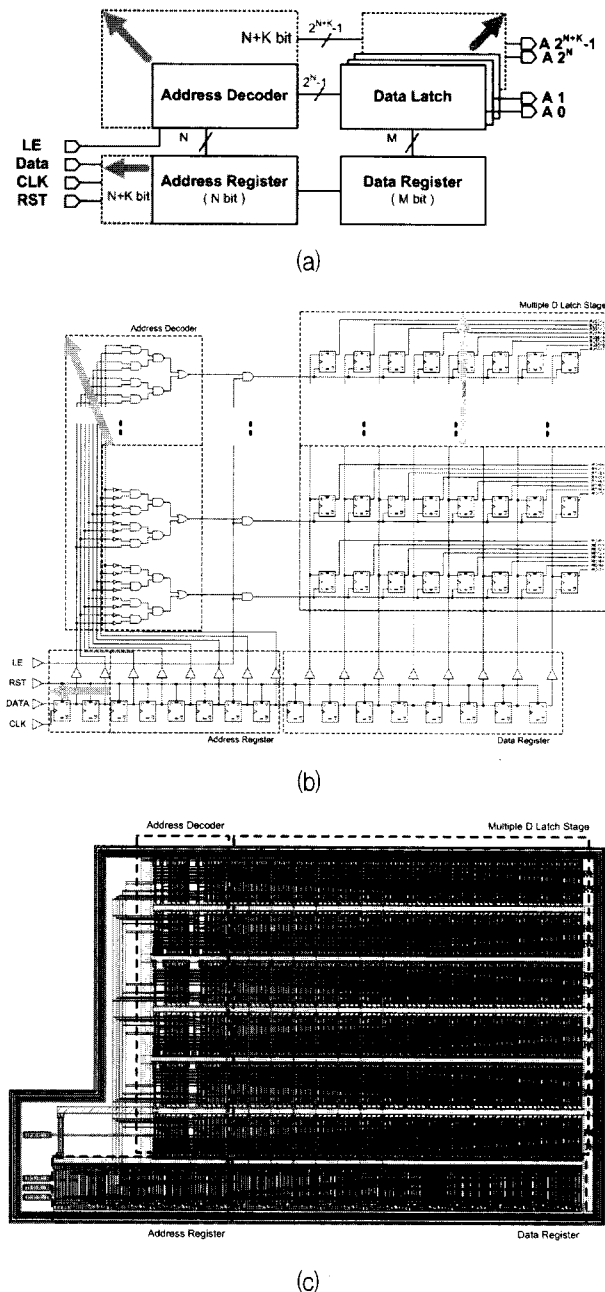


그림 3. 재구성 가능한 풀커스텀 SPI 회로.
 (a) 구조, (b) 회로도 (c) 레이아웃
 Fig. 3. Reconfigurable full-custom designed SPI.
 (a) Architecture. (b) Circuit schematic. (c) Layout

그림 4는 SPI의 Timing Diagram이다. 마스터 소자는 클럭의 네거티브 에지 (Negative Edge)에서 데이터를 동기 시키고, 슬레이브 소자는 포지티브 에지 (Positive Edge)에서 데이터를 동기 시킴으로써, 데이터 전달의 타이밍 마진 (Timing Margin)을 충분히 확보 하였다.

제안된 구조에 따라 0.13 μ m CMOS 공정 변수를 이용하여 SPI 회로를 Transistor Level로 설계 하였다. 사용된 D플립플롭, D-래치, NOR/NAND 게이트 등의 구성 요소 회로는 전력소모와 동작속도를 고려하여 최적으로 설계되었다^[3~4]. 그림 5는 어드레스가 4비트이고 데이터가 8비트인 경우 8번과 9번 어드레스에 각각 "10011000"과 "01010101"의 데이터를 전송하는 경우를 SPICE 시뮬레이션 한 결과이다. 이때 클럭의 주파수는 2GHz 로 설정하였다. 실제 SPI는 수 MHz이내의 클럭

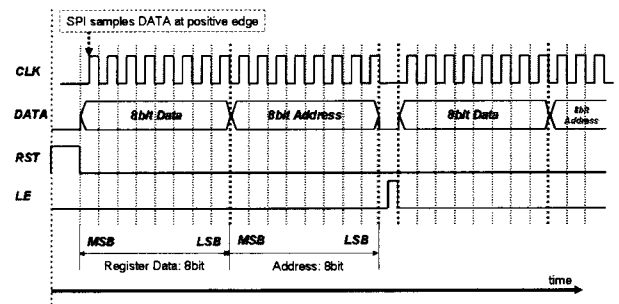


그림 4. SPI 타이밍도
 Fig. 4. Timing diagram of SPI.

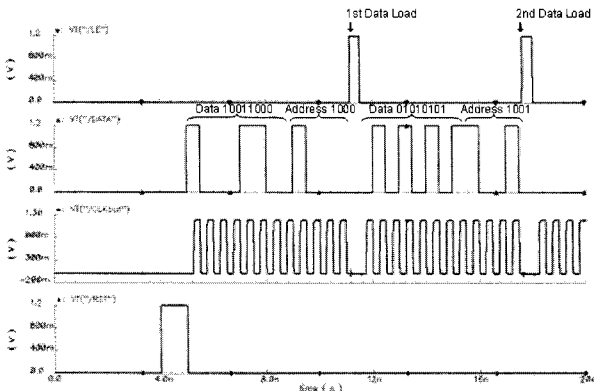


그림 5. 재구성형 SPI의 SPICE 시뮬레이션 결과
Fig. 5. Transient simulation result of the reconfigurable SPI.

으로 동작하지만 이렇게 2GHz 클럭으로 시뮬레이션 상에서 동작을 확인함으로써, 설계된 SPI가 실제 칩 제작 후에도 충분히 동작할 수 있음을 보여 준다. 본 연구에서는 실제로 PC에서 Visual-C++를 사용하여 설계된 SPI 프로그램을 실행하여 측정하면 PC의 주파수인 200kHz가 클럭으로 사용된다. 그림 위에서부터 SPI의 LE, Data, Clock, Reset 신호를 보인다. Data 프레임은 LE 신호가 1이 되었을 때 Slave 쪽으로 이동을 시작한다. 그림에서 보면 어드레스 1000(A8)에 데이터 "10011000"이 저장되고 어드레스 1001(A9)에 데이터 "01010101"이 저장됨을 알 수 있다.

그림 3과 같이 SPI 크기가 변화할 수 있기 때문에 이의 구동 소프트웨어도 그에 맞게 적절히 설계되어야 한다. 그림6은 구동 프로그램의 순서도이다. 구동 프로그램은 Visual-C++ 를 이용하여 개발되었다. 프로그램을 실행하면 GUI (Graphic User Interface) 화면이 디스플레이 된다. 디스플레이 된 화면에서 해당 주소와 데이터, 리셋을 체크 한 뒤 Transfer Start를 클릭하여 리셋이 high이면 클럭의 반주기 만큼 High 신호를 리셋에 내보내고 그 뒤로 Low 신호가 지속된다. 그 후 각 주소를 스캔하게 되는데 주소가 체크되어 있으면 해당 주소에서 각 주소와 데이터 값을 출력하고 Load enable을 출력한다. 이 과정을 마지막 주소까지 반복하고 끝나면 프로그램은 처음의 디스플레이 되어있는 상태로 돌아간다.

그림 7은 개발된 Graphic User Interface (GUI) 화면을 보여주고 있다. 한 화면에 32개 주소를 보여 주도록 하고 이를 2페이지에 표시함으로써 최대 64개의 주소를 표시할 수 있도록 하였다. 각 주소의 8비트 데이터는

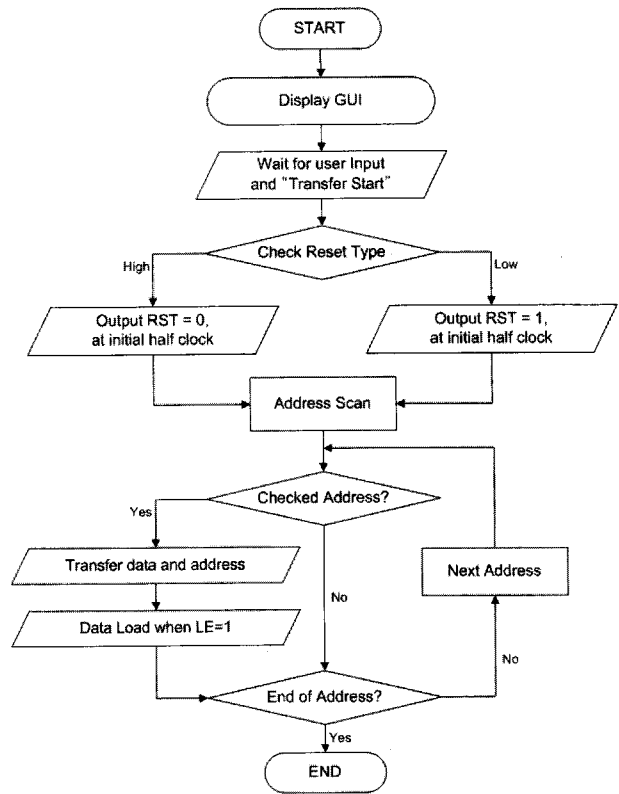


그림 6. SPI 동작 순서도
Fig. 6. Flowchart of the SIP program.

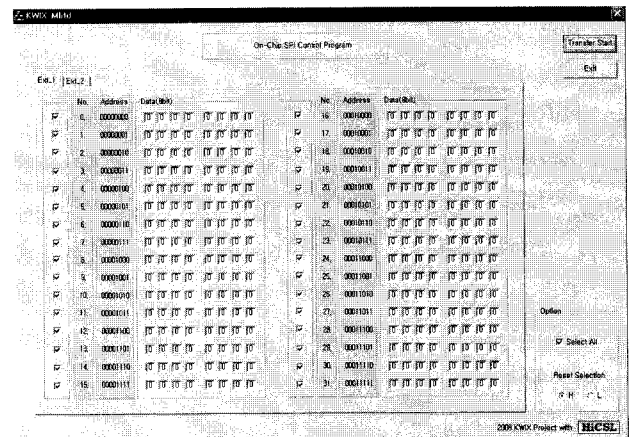


그림 7. 구동 소프트웨어의 GUI
Fig. 7. Graphic user interface of the application software.

해당 박스를 클릭하여 "1" 또는 "0"을 입력할 수 있다. 구동 소프트웨어와 GUI의 경우에는 사용되는 어드레스 수에 따라 확장이나 축소하기 쉽게 개발하였다.

III. 실험 결과

설계된 SPI회로는 Test 회로인 Fractional-N PLL과

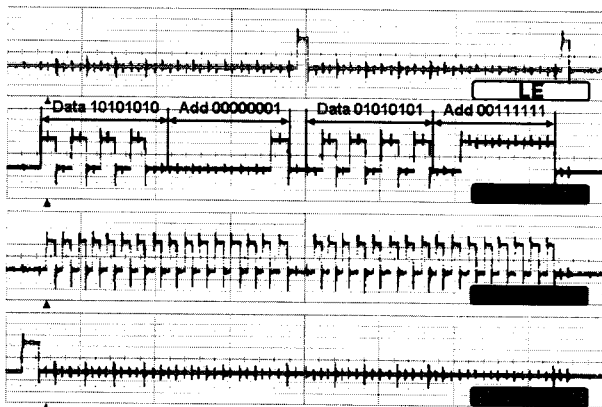


그림 8. SPI의 시간영역 측정 결과
Fig. 8. Time domain measurement result of the SPI operation.

같이 0.13 μ m CMOS 공정으로 제작되었다. 우선 SPI의 동작을 오실로스코프를 이용하여 측정하여 그림 8에 결과를 보였다. 주소 “00000001”과 “00111111”에 대해 각각 데이터 “10101010”과 “01010101”을 넣어줄 때 LE, Data, CLK, RST의 4가지 신호의 시간영역 파형이다. 그림을 보면 네거티브 에지에서 데이터가 전송되어서 포지티브 에지에서 정확한 데이터를 받을 수 있음을 알 수 있다. 데이터가 지정된 주소에 전달된 후 LE 신호가 발생해서 저장되고, 그 다음 데이터가 다음 주소에 들어가는 동작을 확인 할 수 있다.

그림 9는 풀커스텀 설계된 SPI를 포함한 Fractional-N PLL 회로의 구성도이다. 본 PLL은 19.2MHz의 기준주파수를 이용하여 2.8GHz RF 신호를 발생한다. VCO로는 NMOS와 PMOS를 교차결합하는 형태의 LC-tuned VCO가 사용되었다. LC-tuned VCO에는 6비트 Capacitor Bank Array를 사용하여 64개의 Sub-band tuning curve를 발생하게 되는데, PLL이 Locking을 시작하기 전 목표주파수와 가장 근접한 Sub-band tuning curve를 찾아내야 한다. 이를 AFC (Automatic Frequency Controller)가 수행하게 된다. 델타-시그마 모듈레이터로는 Single-Loop 형태보다 안정도가 우수한 20비트 MASH-111형태가 사용되었다. PLL의 좀 더 자세한 회로 설계는 저자의 다른 논문에 발표되었다^[5]. 본 PLL을 위한 디지털 제어신호가 표1에 정리되었다. 우선 PLL의 AFC에 필요한 제어신호가 32비트 사용되고, VCO의 Capacitor Bank 및 바이어스 전류 조정 제어신호에 8비트, 주파수 분주기 제어신호에 8비트, 델타시그마 변조기 입력신호에 24비트, PFD와 차지펌프 제어신호에 8비트, 마지막으로 기준주파수

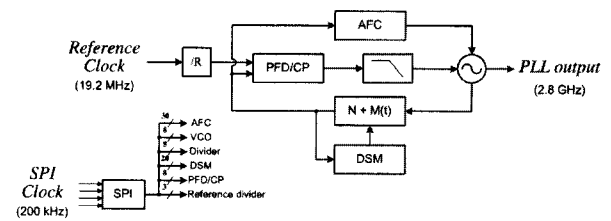


그림 9. 개발한 SPI를 적용한 PLL 측정회로
Fig. 9. SPI and PLL block diagram under test.

표 1. 레지스터 표
Table 1. Register map description.

Register Address	Data Description
0x00	AFC_0 <7:0>
0x01	AFC_1 <7:0>
0x02	AFC_2 <7:0>
0x03	AFC_3 <7:0>
0x04	VCO <7:0>
0x05	Divider <7:0>
0x06	DSM_0 <7:0>
0x07	DSM_1 <7:0>
0x08	DSM2 <7:0>
0x09	PFD/CP Gain <7:0>
0x0A	Reference Divider <7:0>

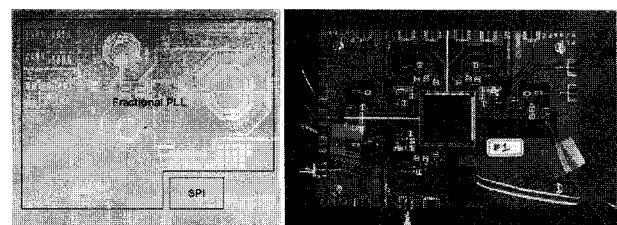


그림 10. (a) 칩 사진 (b) 측정용 보드
Fig. 10. (a) Chip micrograph (b) Evaluation board

용 분주비 조정신호에 8비트를 사용하였다. 그림 10 (a)는 제작된 칩의 현미경 사진이다. 그림에 SPI부분과 PLL부분이 구분되어 표시 되었다. 전체 칩 크기는 1440 x 1080 μ m²이고 이중 SPI가 차지하는 면적은 150 x 200 μ m²이다. 그림 10 (b)는 패키지 된 칩을 이용하여 회로의 동작을 검증하기 위해 제작된 인쇄회로 기판이다.

제작된 SPI가 Fractional-N PLL을 적절히 구동하는 지 검증하였다. SPI 제어 신호를 통해 디바이더의 분주비, 차지 펌프의 전류, 기준 디바이더 분주비 값을 적절히 조정하였고, 크리스탈 기준 주파수는 19.2MHz로 하였다. SPI 제어신호 입력 후 Fractional-N PLL이 원하는 주파수에서 안정적으로 Locking 함을 확인하였다. 그림 11은 Agilent PSA E4440를 이용하여 PLL의 출력

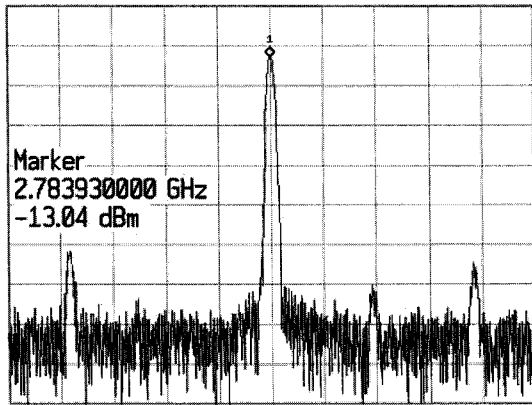


그림 11. PLL 스펙트럼 측정결과
Fig. 11. Measured PLL output spectrum.

주파수를 측정할 것이다. 2.78GHz에서 안정적으로 Locking된 파형이 출력됨을 알 수 있다. 그림에서 Reference Spur가 약 -50dB임을 알 수 있다. 이외에도 AFC의 동작 등 PLL의 여러 가지 동작이 본 연구의 풀 커스텀 방식으로 설계된 SPI를 이용하여 모두 성공적으로 수행됨을 확인하였다.

IV. 결 론

본 논문에서 CMOS RF 집적회로 설계자가 자신의 회로 복잡도에 맞게 쉽게 확장 또는 축소 가능한 SPI의 구조를 제안하였고 이를 풀커스텀 CMOS 집적회로로 구현하였다. 또한, 이를 구동하는 구동 프로그램도 개발하였다. 제안된 SPI는 0.13 μ m CMOS 공정으로 제작되어 검증 회로인 Fractional-N PLL 측정에 성공적으로 적용할 수 있음을 검증하였다.

참 고 문 헌

- [1] "Serial Peripheral Interface Bus" at <http://www.wikipedia.org/>
- [2] "Parallel Port" at <http://www.wikipedia.org/>
- [3] M. Morris Mano, Charles R. Kime, Logic And Computer Design Fundamentals 2nd Ed., New Jersey, Prentic Hall, 2001
- [4] M. Morris Mano, Computer System architecture 3rd Ed., New Jersey, Prentic Hall, 1999.
- [5] J. Shin, J. Kim, J. Shin, J. Kim, S. Kim, J. Choi, N. Kim, Y.-S. Eo, and H. Shin, "A Wideband Fractional-N Frequency Synthesizer with Linearized Coarse-Tuned VCO for UHF/VHF Mobile Broadcasting Tuners," in Proc. IEEE

Asian Solid-State Circuits Conference, Jeju, Korea, Nov. 2007, pp. 440-443

저 자 소 개



엄 준 현(학생회원)
2009년 광운대학교 전파공학과 학사 졸업.
2009년~현재 광운대학교 전파공학과 석사과정.
<주관심분야 : CMOS ADC, RFIC>



이 언 봉(학생회원)
2009년 광운대학교 전파공학과 학사 졸업.
2009년~현재 KAIST 전기 및 전자공학과 석사과정.
<주관심분야 : RF/Analog IC>



신 재 옥(학생회원)
2005년 광운대학교 전파공학과 학사 졸업.
2007년 광운대학교 전파공학과 석사 졸업.
2007년~현재 광운대학교 전파공학과 박사과정.
<주관심분야 : RF PLL Frequency Synthesizers>



신 현 철(평생회원)
1991년 KAIST 전기 및 전자공학과 학사 졸업.
1993년 KAIST 전기 및 전자공학과 석사 졸업.
1998년 KAIST 전기 및 전자공학과 박사 졸업.
1997년~1997년 독일 DaimlerBenz Research Center 연구원
1998년~2000년 삼성전자 System LSI 선임연구원
2000년~2002년 미국 UCLA 박사후 연구원
2002년~2003년 미국 Qualcomm RF/Analog IC Design 선임연구원
2003년~현재 광운대학교 전파공학과 부교수
<주관심분야> CMOS RFIC