

논문 2009-46SD-9-7

에너지 소모 최소화를 위한 다중 전압 스케줄링 기법

(Multiple Supply Voltage Scheduling Techniques for Minimal Energy Consumption)

정 우 성*, 신 현 철**

(Woosung Jeong and Hyunchul Shin)

요 약

본 연구에서는 상위 수준 합성에서 시간 제약과 하드웨어 제약을 동시에 고려하여 에너지 소모를 최소로 줄이는 다중 전압 스케줄링 방법을 개발하였다. 기존의 다중 전압 스케줄링에서는 임계 경로에 있는 연산에 대해 높은 전압을 할당하고, 임계 경로에 있지 않은 연산에 대해서는 낮은 전압을 할당하는 방법을 주로 사용하였다. 우리는 다중 전압 리스트 스케줄링을 기반으로 simulated annealing 기법을 적용하여 임계 경로상의 연산인지와 관계없이 자유롭게 여러 전압을 할당하여 최적화함으로써 저전력 스케줄링 결과를 얻을 수 있었다. 계산 시간 제한에 여유가 있을 때에는 전반적으로 낮은 전압을 사용하여 에너지 소모를 더욱 낮출 수 있다. 그리고 후처리 과정을 통해 추가의 에너지 감소를 얻을 수 있었다. 경우에 따라, 전압 level shifter 수를 줄일 필요가 있으므로 비용 함수에 가중치를 줄 수 있도록 하였다. 예를 들어, level shifter 에너지 소모에 6배의 가중치를 주면, 전압 level shifter 수는 약 24%, shifter 에너지 소모는 약 20% 정도 감소한다. 이를 이용하여 전체 에너지 소모와 level shifter 사용횟수의 tradeoff가 가능하다.

Abstract

In this paper, we propose a multiple voltage scheduling method which reduces energy consumption considering both timing constraints and resource constraints. In the other multiple voltage scheduling techniques, high voltage is assigned to operations in the longest path and low voltage is assigned to operations that are not on the longest path. However, in those methods, voltages are assigned to specific operations restrictively. We use a simulated annealing technique, in which several voltages are assigned to specific operations flexibly regardless of whether they are on the longest path. In this paper, a post processing algorithm is proposed to further reduce the energy consumption. In some cases, designers may want to reduce the level shifters. To make tradeoff between the total energy and the number (or energy) of level shifters weighted term can be added to the cost function. When the level shifter energy is weighted six times, for example, the number of level shifters is reduced by about 24% and their energy consumption is reduced by about 20%.

Keywords : 다중 전압, Voltage level shifter, 상위수준 합성, 스케줄링.

I. 서 론

* 학생회원, ** 평생회원, 한양대학교 전기전자제어계측 공학과
(Electric Engineering and Computer Science, Hanyang University)

※ 본 논문은 지식경제부가 지원하는 국가 반도체 연구 사업인 시스템 집적 반도체 기반 기술 사업 (System IC 2010) 및 정보 통신 산업진흥원의 대학 IT 연구센터지원사업의 연구결과로 수행되었음 (NIPA-2009-C1090-0902-0024)

접수일자: 2009년3월9일, 수정완료일: 2009년7월21일

최근에 저전력 회로 설계는 주요 이슈가 되고 있다. 휴대용 노트북, PMP, MP3 등과 같은 개인용 휴대기기의 수요가 증가됨에 따라 에너지 소모는 VLSI 설계에서 중요한 고려사항이 되었다. 에너지 소모를 줄이기 위한 방법은 크게 두 가지 방법이 있다. 하나는 곱셈기 또는 덧셈기 같은 하드웨어 입력에서의 스위칭 횟수를 줄이는 방법이 있고^[9] 다른 하나는 각 하드웨어가 동작

하는 전압의 레벨을 낮추어 낮은 전압에서 동작하는 하드웨어를 사용하는 것이다^[1-8]. 후자의 방법이 에너지 소모를 줄이는 효율적인 방법이지만 낮은 전압의 하드웨어를 사용함으로써 수행 시간이 길어진다는 단점이 있다. 하지만 큰 에너지 소모를 줄일 수 있다는 장점 때문에 전압을 줄이는 방법에 대해 주로 연구가 이루어졌다. 상위 수준 합성에서 다중 전압에서 동작하는 하드웨어를 이용해 스케줄링 할 때, 임계 경로에 있는 operation (OP)에 높은 전압을 할당하고 임계 경로에 있지 않은 OP에 낮은 전압을 할당함으로써, 저전력 스케줄링 결과를 주로 얻었다. 이러한 방법을 이용해 여러 가지 스케줄링 알고리즘이 연구되었다. 대표적인 방법으로, 시간 제약의 다중 전압 스케줄링^[1, 7], 하드웨어 제약의 다중 전압 스케줄링^[6], 시간과 하드웨어 제약의 다중 전압 스케줄링^[8] 등이 있다. 이에 반해 임계 경로에 관계없이 각 OP에 전압을 다양하게 할당함에 따라 저전력의 스케줄링 결과를 얻는 simulated annealing 방법이 제안되었다^[1].

Level shifter의 에너지 소모를 분석하여보면, up level shifter가 down level shifter에 비해 에너지 소모가 상대적으로 크고, 회로의 안정적인 동작을 위해서 voltage level shifter의 사용횟수를 최소화하는 것이 필요하다. 우리는 그림 1을 통해 그 이유를 설명한다. 그림 1은 5V, 3.3V에서 동작하는 곱셈기(M1, M2)와 덧셈기(A1, A2)가 각각 하나씩 있을 때의 하드웨어 구조를 나타낸 그림이다. 그림 1처럼 실제 칩에 하드웨어를 배치하고 배선을 하게 될 때, 같은 전압에서 동작하는 하드웨어들끼리 클러스터를 형성하면서 칩에 배치하게 된다. 그래서 서로 다른 전압에서 동작하는 하드웨어들의 연결선은 같은 전압에서 동작하는 하드웨어들의 연결선에 비해 상대적으로 길게 된다. 그러므로 서로 다른 전압에서 동작하는 하드웨어들의 연결선은 level

shifter에서의 수행시간을 포함해서 delay가 길어지기 때문에 성능에 많은 영향을 미치게 된다.

우리는 에너지 소모를 줄이면서 voltage level shifter 사용 횟수가 줄어드는 다중 전압 스케줄링 방법을 개발하였다. 시간 제약만을 고려한 기존 연구^[1]와 달리 우리는 시간제약과 하드웨어 제약을 동시에 고려한다. 다중 전압 리스트 스케줄링 알고리즘을 기반으로 simulated annealing을 적용한 스케줄링을 통해 저전력 스케줄링 결과를 얻는다. 그리고 후처리를 통해 전체 에너지 소모를 줄이는 Greedy 알고리즘을 수행한다. 우리는 에너지 비용 계산 시에 가중치계수(α)를 통해 level shifter 에너지가 포함되는 비중을 다르게 적용하였다. 결과적으로 가중치 계수를 통해 전체 에너지와 level shifter 에너지 간에 tradeoff 관계를 확인 하면서, 우리가 원하는 전체 에너지 및 voltage level shifter 사용횟수를 얻을 수 있도록 하였다. 표 1은 OP 스케줄링에 사용되는 하드웨어들의 에너지 소모와 수행시간의 예를 나타낸 것이다^[7]. 에너지(E)의 단위는 pJ이고 수행시간(D)은 20ns 사이클로 정규화 된 값이다. 각 하드웨어 모듈에서의 switch activity는 0.5로 가정하여 얻은 결과이다. 표 1을 보면 알 수 있듯이 5V 덧셈기 또는 뺄셈기에 비해 5V 곱셈기의 에너지 소모가 매우 크므로, 낮은 전압에서 수행되는 곱셈기를 많이 사용할수록 저전력을 달성 할 수 있다. 그러나 낮은 전압에서 동작하는 곱셈기는 덧셈기 또는 뺄셈기에 비해 더 큰 수행시간의 증가가 요구되기 때문에 전체적인 성능에 중요한 영향을 미치게 된다.

표 2는 16 bit voltage level shifter의 에너지 소모를 나타낸 표이다^[7]. 표 2에서 (x, y)는 x 전압에서 동작하는 하드웨어 모듈의 출력이 y 전압에서 동작하는 하드웨어 모듈의 입력으로 들어갈 때의 에너지 소모를 나타낸 것이다. 전반적으로 up level shifter가 down level shifter보다 에너지 소모가 큰 것을 알 수 있고, 이러한

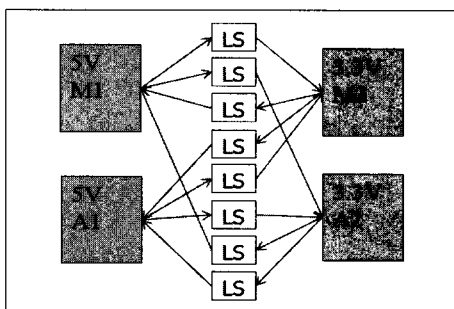


그림 1. 하드웨어 구조
Fig. 1. Hardware structure.

표 1. 하드웨어 모듈의 에너지(pJ) 및 수행시간^[7]
Table 1. Energy(pJ) and Delay for the hardware modules.^[7]

Module	5.0V		3.3V		2.4V		1.5V	
	D	E	D	E	D	E	D	E
mult16	5	2504	9	1090.7	15	576.9	36	225.3
add16	1	118	2	51.4	3	27.2	8	10.6
sub16	1	118	2	51.4	3	27.2	8	10.6

표 2. 전압 level shifter의 에너지 소모(pJ)^[7]
 Table 2. Voltage level shifter energy consumption(pJ).^[7]

x / y	1.5	2.4	3.3	5
1.5	0	38.4	58.4	88.0
2.4	28.0	0	64.0	128.0
3.3	36.0	49.6	0	142.4
5	73.6	88.0	104.0	0

에너지 소모 차를 고려하면 우리는 좀 더 저전력 결과를 얻을 수 있다. 예를 들어 3.3V to 5.5V로의 level shifter에 비하여 5V to 3.3V로의 level shifter는 약 38.4pJ의 에너지를 적게 소모한다. 따라서 전반부에 고전압을 사용하고 후반부에 저전압을 사용하면, 반대로 한 경우보다 유리하다. 또한 전체 voltage level shifter 사용 횟수를 줄여서 추가적인 에너지 감소를 얻을 수 있다.

II. 다중 전압 스케줄링

1. 스케줄링 흐름도

상위 수준 합성에서 다중 전압 스케줄링의 전체 흐름도를 그림 2에 보였다. 주요 입력으로는 Data Flow Graph (DFG), 다중 전압 하드웨어 library 파일, 하드웨어 제약 파일이 주어진다. 또한 simulated annealing 파라미터, 시간 제약 인수(TCF)를 통해 합성하고자 하는 회로의 사양을 사용자가 결정하게 된다. TE는 전체 소모 에너지, TD는 전체 수행시간이다.

출력으로는 최종적으로 각 OP가 수행되어질 하드웨어

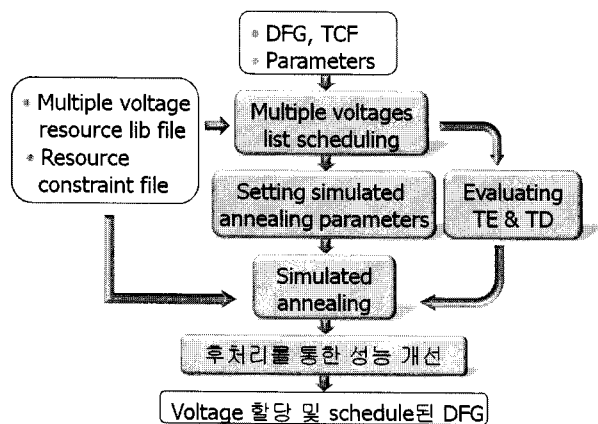


그림 2. 스케줄링 흐름도
 Fig. 2. Scheduling flow.

어의 전압이 할당되고, 해당 OP가 수행을 시작하게 될 control step (cstep)이 결정된다. 주요 단계로는 다중 전압 리스트 스케줄링을 통한 초기 스케줄링, simulated annealing을 통한 저전력 스케줄링, 그리고 후처리에서의 성능 개선으로 3단계로 나뉜다. 3단계로 나눈 이유는 다음과 같다. 우리는 simulated annealing의 파라미터를 설정하기 위해 초기에 다중 전압 리스트 스케줄링을 수행한다. 그리고 simulated annealing을 수행하면서 level shifter의 에너지 소모도 같이 고려하였다. 또한 후처리 과정을 통해 추가적인 에너지 소모를 줄이는 Greedy 알고리즘을 구현하였다. 후처리 최적화를 이용하여 simulated annealing만 수행한 경우에 비해 더 큰 에너지 감소를 얻을 수 있다. 또한 비용함수에 level shifter부분을 가중치를 곱하여 더해줌으로써 level shifter를 감소시킬 수 있다. 이제 스케줄링 흐름도에 대해 간단히 알아보자. 초기 다중 전압 리스트 스케줄링을 통해 주어진 하드웨어 제약을 만족하면서 최소 수행 시간을 가지는 스케줄링 결과를 얻는다. 초기 전체 에너지(TE)와 총 수행시간(TD)이 계산되고, 다음 단계인 simulated annealing을 수행하기 위해 파라미터가 설정된다. 시간 제약은 최단 수행시간을 위한 리스트 스케줄링 결과의 수행시간보다 크거나 같아야 solution의 존재가 보장된다. Simulated annealing은 앞서 결정된 시간 제약을 만족하면서 전체 에너지가 가장 작은 스케줄링 결과를 얻게 된다. 마지막 단계인 후처리를 통해 추가적인 에너지 소모를 줄이는 Greedy 알고리즘을 수행한다.

2. 다중 전압 리스트 스케줄링

본 논문에서 사용한 다중 전압 리스트 스케줄링은 [5]의 방법을 이용하였다. 리스트 스케줄링은 비록 최적 값을 보장하지는 못하지만 ILP에 비해 빠른 속도로 최적에 가까운 값을 찾기 때문에 널리 사용되고 있다. 다중 전압 리스트 스케줄링 시 수행 시간을 최소화하기 위해 현재 사용할 수 있는 하드웨어 중에 실제 스케줄링에 사용할 하드웨어 종류를 선택해야 한다. 우리는 간단한 예제를 통해 방법을 설명한다.

가. 다중 전압 리스트 스케줄링 예제

현재 cstep1에서 스케줄링 가능한 곱셈 OP가 3개가 있고, 하드웨어 제약으로 2.4V, 3.3V, 5V의 각각의 전압에서 동작하는 곱셈기가 하나씩 주어졌다고 가정하

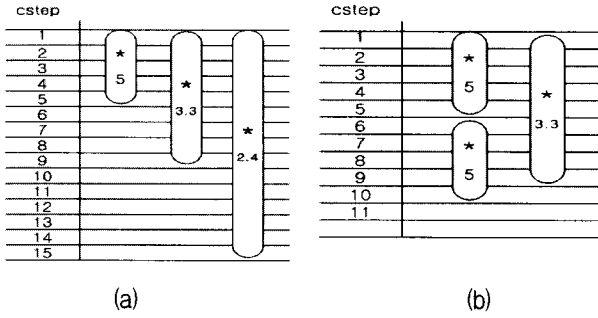


그림 3. 다중 전압 리스트 스케줄링에 관한 고려사항
 Fig. 3. Consideration on multiple voltage list scheduling.

자. 그림 3는 다중 전압 리스트 스케줄링에 사용되는 하드웨어 종류에 따라 다른 수행 시간을 보여준다. 그림 3의(a)는 현재 cstep에서 사용이 가능한 모든 하드웨어를 사용한 경우이고, (b)는 특정 종류의 하드웨어를 선택하여 사용한 경우이다. 이 때 리스트 스케줄링은 제한된 하드웨어를 가지고 성능을 최대화하는 것이 목표이기 때문에, 그림 3의 (a)보다는 (b)와 같이 스케줄링 하는 것이 바람직하다. 그림 3의 (a)는 총 cstep이 15사이클 걸리는 반면 (b)는 10사이클 수행시간이 걸리기 때문이다. 따라서 다음과 같은 스케줄링 방법이 요구된다.

$N_j(i)$ 는 i 번째 cstep에 있는 타입 j 의 ready OP의 수이고, $D_{j,V}$ 는 V 전압에서 동작하는 타입 j 의 하드웨어의 수행시간이라 하자. 그리고 $C_j(i)$ 는 i 번째 cstep에 있는 ready OP들 중 타입 j 의 모든 노드들을 스케줄하기 위해 필요한 최소 cstep 수라고 하자, 우리는 특정 cstep에 있는 특정 타입의 모든 OP를 최소한의 사이클에 모두 수행하기위해 수식 (1)과 같은 관계를 가진다.

$$N_M(i) \leq \left\lfloor \frac{C_M(i)}{D_{M,5}} \right\rfloor + \left\lfloor \frac{C_M(i)}{D_{M,3.3}} \right\rfloor + \left\lfloor \frac{C_M(i)}{D_{M,2.4}} \right\rfloor \quad (1)$$

위 예제에서 $N_M(0)=3$ 이고, $D_{M,5}=5$, $D_{M,3.3}=9$, $D_{M,2.4}=15$ 이므로 위 식은 다음과 같이 쓸 수 있다.

$$3 \leq \left\lfloor \frac{C_M(1)}{5} \right\rfloor + \left\lfloor \frac{C_M(1)}{9} \right\rfloor + \left\lfloor \frac{C_M(1)}{15} \right\rfloor \quad (2)$$

수식 (2)에서 우리는 cstep1에서 수식(2)를 만족하는 최소의 $CM(1)$ 를 찾게 된다. 따라서 위 조건을 만족하는 $CM(1)=10$ 사이클이 되고 이것은 cstep1에 있는 3개의 곱셈 OP는 cstep1에서 cstep10 사이에서 모두 수행될 수 있다는 것을 의미한다. 추가로 $N_{j,v}(i)$ 는 사이클 i 에

서 사이클 $i + C_j(i)-1$ 동안 v 전압에서 동작하는 타입 j 하드웨어에 스케줄 될 수 있는 타입 j 의 OP수로 정의하고, $R_j, V(i)$ 는 cstep i 에서 이용할 수 있는 V 전압에서 동작하는 타입 j 의 하드웨어 수로 정의한다. 또한 $A_{j,v}(i)$ 는 cstep i 에서 V 전압에서 동작하는 하드웨어에 스케줄 될 타입 j 의 ready OP의 수라고 정의하자. 위 조건을 통해 얻은 $CM(1)=10$ 을 이용해 $N_{M,5}(1)=2$, $N_{M,3.3}(1)=1$, $N_{M,2.4}(1)=0$ 가 됨을 알 수 있다. 예제에서 각각의 전압에서 동작하는 곱셈기가 한 개씩 존재하기 때문에 $RM_{,5}(1)=1$, $RM_{,3.3}(1)=1$, $RM_{,2.4}(1)=1$ 이 된다. 그리고 cstep i 에서 V 전압에서 동작하는 하드웨어에 스케줄 될 타입 j 의 ready OP의 수($A_{j,v}(i)$)는 $\min[N_{j,v}(i), R_{j,V}(i)]$ 값에 의해 결정된다. 이것은 cstep i 에 있는 특정 타입의 ready OP 중 실제로 cstep i 에서 스케줄 될 OP를 결정하는 것이다. 따라서 $AM_{,5}(1)=\min[2,1]=1$, $AM_{,3.3}(1)=\min[1,1]=1$, $AM_{,2.4}(1)=\min[0,1]=0$ 이 되고, 이는 cstep1에서 곱셈 OP 3개 중 2개가 5V 곱셈기를 통해 수행되고 나머지 하나가 3.3V 곱셈기를 통해 수행된다는 것을 알 수 있다.

3. Simulated annealing을 이용한 스케줄링

우리는 simulated annealing 방법을 이용해 시간 제약과 하드웨어 제약을 동시에 만족하면서 level shifter 에너지 소모를 고려하여 전체 에너지 소모가 최소가 되는 저전력 스케줄링 결과를 얻는다. 에너지 비용함수는 식 (3)과

$$\text{에너지 Cost} = HE + \alpha LE \quad (3)$$

같다. 식 (3)에서 HE 는 덧셈기 및 곱셈기와 같은 하드웨어에서 소모되는 에너지를 말하고 LE 는 level shifter 에너지를 의미한다. LE 는 level shifter 에너지 대신에 개수를 사용할 수도 있다. 우리는 가중치계수 (α)를 이용해 level shifter의 에너지를 고려하는 비중을 조절한다. Simulated annealing 방법을 이용해 특정 OP가 임계 경로에 있는 것과 관계없이 다양한 전압 할당을 통해 저전력 스케줄링 결과를 얻을 수 있었다. 또한 현재 온도에서 반복 수행횟수를 고정하지 않고, 이전보다 더 큰 에너지 감소를 얻었을 경우 현재 온도에서의 루프 수행횟수를 증가시킴으로써, 더 큰 에너지 감소를 얻었다. 그림 4는 simulated annealing 알고리즘을 적용한 스케줄링 과정을 보인다. 초기에 step1에서 각종 파라미터와 시간 제약 등의 입력을 결정 한다.

```

1. Input : 시간 제약, 시작 온도(Ts),
           끝나는 온도(Tf), 냉각상수(C) ,
           MV_resource_library, 각 온도에서의 반복횟수(n)
2. while (Temper >= Tf) do
3.   for (각 온도에서 반복횟수(n)에 대해)
4.     accept_flag를 0으로 설정
5.     p1_val=random[0, 1]
6.     p2_val=random[0, 1]
7.     이전까지의 스케줄링 정보를 저장
8.     if (p1_val < 0.5)
9.       전체 OP중 랜덤으로 전압을 재할당할
10.      OP(reassign OP)하나 선택
11.      전압을 재 할당할 OP의 전압을 한 단계 낮춤
12.    else
13.      전체 OP중 랜덤으로 전압을 서로 교환할
14.      서로 다른 전압을 가진 swap OP1과
15.      swap OP2를 선택하여 전압을 서로 바꿈
16.    end if
17.    MV_list_scheduling( )
18.    전체 에너지와 총 수행시간을 계산
19.    에너지 Cost = HE + αLE
20.    if (시간 제약을 만족하지 않을 경우)
21.      현재 루프의 스케줄링 결과를 받아들이지 않음
22.    else if (시간 제약을 만족하지만 에너지 Cost는
23.      증가할 경우)
24.      if(p2_val이 exp(-ΔCost/Temper)보다 클 경우)
25.        현재 루프의 스케줄링 결과를 받아들이지
26.        않음
27.      else
28.        현재 루프의 스케줄링 결과를 받아들임
29.      end if
30.    end if
31.    accept_flag를 1로 설정
32.  end if
33. else
34.   현재 루프의 스케줄링 결과를 받아들임
35.   accept_flag를 1로 설정
36. end if
37. end for
38. if (accept_flag가 1이면)
39.   step3의 for 루프의 인덱스를 0으로 설정
40. end if
41. end while
42. Temper=Temper*C
43. end while

```

그림 4. Simulated annealing을 적용한 스케줄링 알고리즘

Fig. 4. Scheduling algorithm by using simulated annealing.

step2에서 전체 루프는 현재 온도(Temper)가 끝나는 온도(Tf)보다 클 동안 연속적으로 수행한다. step3의 루프는 현재 온도에서 반복횟수(n)만큼 스케줄링을 수행한다. 우리는 반복횟수를 10회로 설정하였다. step5-12은 0에서 1사이에서 랜덤으로 선택된 p1_val을 통해 50%의 확률로 전압 재 할당 또는 전압 교환을 수행한다. 우리는 여러 가지 확률 값을 기준으로 전압 재 할당 및 전압 교환을 수행하여 스케줄링 결과를 비교해본 결과 큰 에너지 소모 차이가 없었다. 그래서 전압 재 할당 및 전압 교환을 50%의 확률로 수행하였다. step6은 현재 루프에서 스케줄링 후, step17, 20에서 각종 제약조건을 만족하지 않을 경우 이전 스케줄 정보를 불러오기 위해 사용된다. step13, 14에서 다중 전압 리스트 스케줄링 후 전체 에너지와 총 수행시간을 계산한다. step15에서 에너지 Cost를 계산하고, step16-23는 스케줄링 한 결과를 받아들일지 결정하는 단계이다. 스케줄링 결과가 시간 제약을 만족하고 에너지 Cost가 감소하는 경우에 스케줄링 결과를 받아들인다. 또한 시간 제약을 만족하고 에너지 Cost가 증가하는 경우에 p2_val의 랜덤 값에 따라 스케줄링 결과를 받아들이게 된다. step19에서 ΔCost는 스케줄링 이전의 에너지 Cost와 스케줄링 후의 에너지 Cost와의 차이이다. step22, 24, 25에서는 스케줄링 결과가 받아들여지면 step3의 루프 인덱스를 0으로 만들면서 현재 온도에서의 루프 수행횟수를 증가시키게 된다. step26에서 냉각상수에 의해 현재 온도가 내려가게 된다. 냉각상수의 값은 현재 구현에서는 0.98로 설정하였다.

4. 후처리(Post processing)에서의 성능 개선

우리는 level shifter 에너지 소모를 고려한 simulated annealing 후에 후처리 과정을 통해 추가적으로 에너지

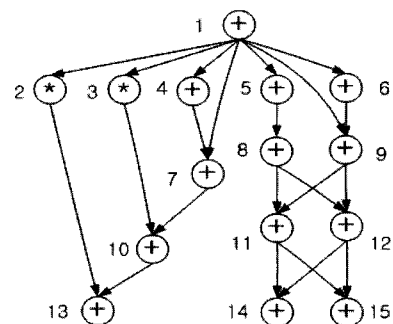


그림 5. DFG 예제

Fig. 5. DFG example.

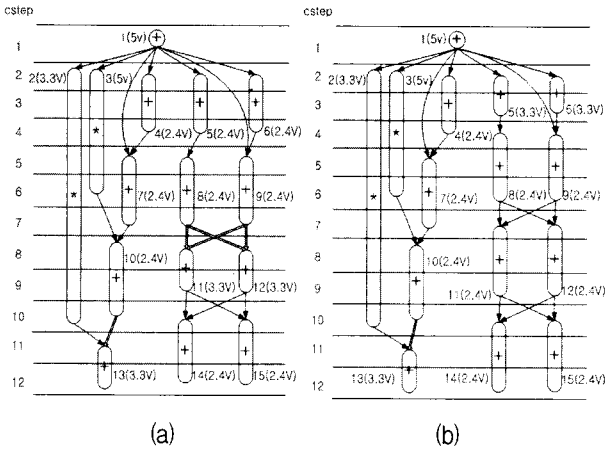


그림 6 저전력 스케줄링 결과
Fig. 6. low power scheduling result.

소모를 줄이기 위한 노력을 하였다. 문제가 복잡하고 해 공간(solution space)이 convex하지 않을 때 global optimum에 가까운 해를 구하기 위하여 simulated annealing을 사용한다. 그러나 simulated annealing이 최적 해를 보장하지는 않으므로, 후처리 과정에서 greedy 알고리즘으로 local optimum을 얻도록 최적화하여 흔히 개선된 결과를 얻을 수 있다. 그림 5와 그림 6를 통해 voltage level shifter 사용 횟수를 줄여서 전체 에너지가 줄어드는 결과를 살펴보자. 아래 그림 5와 같은 곱셈 OP 2개와 덧셈 OP 13개의 DFG 예제를 고려하자. 하드웨어 제약으로 덧셈기는 5V, 3.3V, 2.4V에 동작하는 하드웨어가 각각 3개씩, 곱셈기는 각각 1개씩 있다고 가정하자. 그림 6은 시간 제약이 12로 주어졌을 경우 저전력 스케줄링 결과이다. 그림 6은 각각 voltage

표 3. 스케줄링 결과 (μJ)
Table 3. Scheduling Results. (μJ)

	(a) Voltage level shifter 사용횟수를 줄이지 않은 경우	(b) Voltage level shifter 사용횟수를 줄인 경우
다중 전압 하드웨어에 할당된 OP수	5v multiplier(1) 3.3v multiplier(1) 5v adder(1) 3.3v adder(3) 2.4v adder(3)	5v multiplier(1) 3.3v multiplier(1) 5v adder(1) 3.3v adder(3) 2.4v adder(3)
up level shifter 사용횟수	2.4v → 3.3v : 5회	2.4v → 3.3v : 1회
down level shifter 사용횟수	5v → 3.3v : 1회 5v → 2.4v : 6회 3.3 → 2.4v : 4회	5v → 3.3v : 3회 5v → 2.4v : 4회 3.3v → 2.4v : 2회
전체 에너지	5261.4μJ	4938.2μJ

level shifter 사용횟수를 줄이기 전(a)과 후(b)를 나타낸다. 표 3은 그림 6의 스케줄링 결과를 표로 나타내었다. 표 3의 (a)와 (b)를 비교해 보면 모든 OP에 대해 특정 전압에서 동작하는 하드웨어를 사용하는 횟수가 같다는 것을 알 수 있다. 그러나 voltage level shifter 사용횟수를 줄인 경우는 줄이지 않은 경우에 비해 전체 에너지 소모가 323.2μJ만큼 감소한다.

그러므로 그림 6의 (b)처럼 voltage level shifter의 사용횟수를 줄이는 동시에 전체 에너지 소모를 줄이는 저전력 스케줄링이 요구 된다.

그리고 우리는 up level shifter가 하나도 사용하지

```

1. Input : 시간 제약, 전체 에너지, 총 수행시간,
           MV_resource_library
2. while(1)
   accept_flag를 0로 설정
3. for (DFG에 있는 전체 OP들에 대해)
4.   for (모든 voltage 종류에 대해)
5.     이전까지의 스케줄링 정보를 저장
6.     특정 OP에 전압을 새로 할당
7.     MV_list_scheduling( )
8.     level shifter에서의 에너지 소모 계산
9.     총 에너지 소모 계산
10.    Cost = HE + αLE
11.    If (시간 제약 만족하지 않으면)
       현재 루프의 스케줄 결과를 받아들이지 않음
    else
12.     if (현재 루프의 Cost가 이전까지의
           Cost보다 클 경우)
       현재 루프의 스케줄 결과를 받아들이지 않음
    else
       현재 루프의 스케줄 결과를 받아들임
13.    accept_flag를 1로 설정
       end if
       end for
       end for
14. if (accept_flag가 0이면)
15.   while 루프를 탈출한다.
       end if
       end while

```

그림 7. 후처리에서의 성능 개선을 위한 알고리즘
Fig. 7. Post processing algorithm to improve performance.

않았을 때의 에너지 소모도 고려해보았다. 그림 6의 (b)에서 3.3V가 할당된 OP13으로 인해 최소 1번의 up level shifter가 사용된다. 이 때 OP13에 연결된 모든 이전 OP들에 할당된 전압을 OP13에 할당된 전압보다 크거나 같게 함으로서, 그림 6의 (b)에서 OP10에서 OP13으로의 up level shifter가 없어지고, 스케줄링 결과는 down level shifter만 사용한 결과를 얻게 된다. 에너지 소모 관점에서 두 결과를 비교해보면 up level shifter가 하나도 없는 경우에 에너지 소모는 5098.8pJ가 되고, 그림 6의 (b)보다 160.6pJ만큼 에너지 소모가 더 크다. 따라서 일반적으로 up level shifter를 완전히 사용하지 않는 것보다 적절한 up level shifter를 사용하는 것이 전체적인 에너지 소모에서의 더 큰 감소를 가져 올 수 있다.

그림 7은 후처리 과정에서 추가적인 에너지 소모를 줄이는 알고리즘이다. 우리는 모든 OP에 여러 전압을 반복적으로 할당하면서 에너지 소모를 줄이는 Greedy 알고리즘을 구현하였다. 에너지 Cost로는 simulated annealing에서 사용했던 에너지 Cost와 같다. 우리는 계수 값을 조절하면서 전체 에너지와 level shifter 에너지 간의 tradeoff 관계를 확인할 수 있다. 그림 7의 step2, 14, 15는 에너지 감소가 더 이상 개선이 되지 않을 때까지 수행한다. step3은 현재 DFG에 있는 모든 OP가 한번 씩 고려되어진다는 것을 의미하고 step4는 특정 OP가 모든 전압에 대해 각각 한번 씩 고려되어

진다는 것을 의미한다. step5에서 이전 루프까지의 스케줄링 결과를 저장한다. step6에서 특정 OP에 전압을 새로 할당한 후에 step7에서 새로 할당된 전압을 가지고 다중 전압 리스트 스케줄링을 수행한다. step8-10에서 스케줄링 된 결과를 가지고 전체 에너지 및 에너지 Cost가 계산된다. step11-13에서 시간 제약을 만족하고 스케줄링 후의 에너지 Cost가 스케줄링 이전 에너지 Cost 보다 작다면 스케줄링 결과를 받아들이고 그렇지 않으면 다시 이전 스케줄링 결과를 불러오게 된다. 스케줄 결과를 받아들일 때 전체 에너지와 총 수행시간, 에너지 Cost값을 같이 업데이트 한다.

III. 실험 결과

제안한 다중 전압 스케줄링 알고리즘은 CPU 2.4Ghz에서 C 언어로 구현하여 실험하였다. CPU time은 평균적으로 약 4.5초가 소요 되었다. 표 4는 OP 48개의 DCT 예제를 가지고 시간 제약을 늘려가면서 실험한 결과이다. 표 4에서 TC는 시간 제약, LE는 전체 level shifter 에너지 소모를 말하고, TE는 전체 에너지를 의미한다. 또한 UP은 up level shifter의 사용 횟수, DOWN은 down level shifter의 사용횟수를 나타낸다. 초기에 다중 전압 리스트 스케줄링을 하였을 때 전체 에너지는 35226.2pJ이었다. 표 4는 첫 번째 column에서 5가지의 시간 제약이 주어졌을 때 level shifter 에너지

표 4. Simulated annealing의 스케줄링 결과. [pJ]
Table 4. Scheduling results of simulated annealing. [pJ]

TC	DCT(Discrete Cosine Transform)											
	Simulated annealing											
	$\alpha = 1$		$\alpha = 2$		$\alpha = 4$		$\alpha = 6$		$\alpha = 8$		$\alpha = 10$	
TE (LE)	UP /DOWN	TE (LE)	UP /DOWN	TE (LE)	UP /DOWN	TE (LE)	UP /DOWN	TE (LE)	UP /DOWN	TE (LE)	UP /DOWN	
48	28970 (2890)	17 / 21	30023 (2596)	17 / 16	28687 (2117)	10 / 16	31024 (1642)	15 / 7	32441 (1629)	12 / 5	32441 (1628)	12 / 5
62	24691 (2090)	15 / 15	24829 (2227)	14 / 19	26351 (1756)	9 / 20	25201 (1831)	11 / 15	26945 (1375)	11 / 8	28493 (1238)	9 / 8
67	22987 (1955)	15 / 16	23077 (2046)	12 / 19	22804 (1815)	13 / 16	22919 (1477)	13 / 11	24620 (1399)	8 / 13	29299 (1075)	9 / 9
81	16963 (1626)	16 / 17	16923 (1544)	11 / 17	16739 (1288)	9 / 16	16562 (1226)	12 / 13	16566 (1206)	11 / 13	28925 (665)	7 / 6
96	14375 (1072)	10 / 12	14394 (1091)	11 / 12	14464 (1161)	12 / 13	14279 (951)	7 / 14	14274 (898)	6 / 14	28954 (654)	7 / 5
SUM	107986 (8823)	73 / 81	109246 (9504)	65 / 83	109045 (8137)	53 / 81	110003 (7127)	58 / 60	114846 (6507)	48 / 53	148112 (5260)	44 / 33

표 5. Post processing의 결과 [μ J]Table 5. Results of post processing. [μ J]

TC	DCT(Discrete Cosine Transform)											
	Post processing											
	$\alpha = 1$		$\alpha = 2$		$\alpha = 4$		$\alpha = 6$		$\alpha = 8$		$\alpha = 10$	
	TE (LE)	UP /DOWN	TE (LE)	UP /DOWN	TE (LE)	UP /DOWN	TE (LE)	UP /DOWN	TE (LE)	UP /DOWN	TE (LE)	UP /DOWN
48	28659 (2331)	15 / 17	28338 (1549)	9 / 11	28605 (1853)	10 / 13	30984 (1519)	13 / 2	32431 (1595)	12 / 4	32431 (1595)	12 / 4
62	24691 (2090)	15 / 15	24646 (1857)	14 / 15	26351 (1355)	7 / 13	25066 (1698)	10 / 14	28075 (1034)	9 / 5	28465 (1151)	9 / 5
67	22843 (1624)	12 / 13	22977 (1897)	12 / 16	22807 (1727)	13 / 15	22816 (1284)	11 / 8	24592 (1338)	7 / 12	29175 (787)	7 / 2
81	16747 (1248)	14 / 9	16444 (1002)	10 / 9	16739 (1288)	9 / 16	16423 (948)	9 / 9	16534 (1125)	9 / 13	28847 (554)	7 / 6
96	14321 (994)	8 / 13	14307 (898)	11 / 7	14377 (951)	9 / 16	14229 (837)	5 / 14	14245 (682)	6 / 8	30638 (361)	4 / 4
SUM	107261 (8287)	64 / 67	106712 (7203)	56 / 58	108879 (7174)	48 / 73	109518 (6286)	48 / 47	115877 (5774)	43 / 42	149556 (4448)	39 / 21

소모를 고려한 simulated annealing을 수행한 결과이다. 그리고 표 5는 simulated annealing 후에 후처리를 통한 성능 개선이 수행되었을 때의 결과를 나타낸다. TC가 48일 때는 α 계수가 6일 때, TC가 67일 때는 α 계수가 4일 때, TC가 81일 때는 α 계수가 6일 때 전체 에너지 소모가 최소가 된다. 일반적으로 α 가 증가하면 level shifter 에너지는 감소하고 전체 에너지는 증가하는 것이 합리적이다. $\alpha > 1$ 인 값에서 전체 에너지가 최소가 되는 것은 초기에 level shifter의 사용을 억제하는 것이 최적화에 도움이 된 것으로 생각된다. 우리는 여러 가지 α 계수에 따른 실험을 통해 전체 에너지와 level shifter 에너지간의 tradeoff 관계를 확인 할 수 있다. α 계수를 통해 원하는 voltage level shifter 사용횟수 및 전체 에너지 값을 선택할 수 있다. α 계수가 1일 때와 비교하여, α 계수가 6일 때는 전체 에너지가 다소 증가하지만 전체 level shifter 에너지(LE)는 평균적으로 20%이상 감소가 이루어 졌고 voltage level shifter 사용횟수도 평균 24%이상 감소한 것을 볼 수 있다.

IV. 결 론

본 연구에서는 상위 수준 합성에서 주어진 시간 제약 및 하드웨어 제약을 동시에 고려하는 다중 전압 스케줄링 방법을 개발하였다. Simulated annealing을 적용하여 저전력 스케줄링 결과를 얻고, 후처리 과정을 통해 추가적인 에너지 소모를 줄이기 위해 Greedy 최

적화 알고리즘을 수행한다. 또한 에너지 비용 계산 시에 가중치계수를 이용하여 level shifter 에너지가 포함되는 비중을 다르게 적용하였다. 가중치계수를 통해 전체 에너지와 level shifter 에너지간의 tradeoff 관계를 확인할 수 있다. 이러한 tradeoff 관계를 이용하여 우리가 원하는 회로의 사양을 만족시키는 우수 설계를 얻을 수 있다.

참 고 문 헌

- [1] K. L. Tsai, S. J. Ruan, F. Lai "Low Power Scheduling Method using Multiple Supply Voltages," IEEE Proc. ISCAS, pp. 5295-5298, Sep. 2006.
- [2] K. L. Tsai, S. W. Chang, F. Lai, and S. J. Ruan, "A Low Power Scheduling Method using Dual Vdd and Dual Vth," IEEE Proc. ISCAS, pp. 684-687, May. 2005.
- [3] L. R. Dung, H. C. Yang, "On Multiple-voltage High-level Synthesis Using Algorithmic Transformations", IEICE Trans. on Fundamentals, vol. E87-A, no. 12, Dec. 2004.
- [4] A. Kumar, M. Bayoumi, and M. Elgamel, "A Methodology for Low Power Scheduling with Resources Operating at Multiple Voltages" INTEGRATION, the VLSI journal 37, pp. 29-62, Sep. 2003.
- [5] A. Manzak, C. Chakrabarti "A Low Power Scheduling Scheme with Resources Operating at

Multiple Voltage,” IEEE Trans. on VLSI system, Vol. 2, issue 1, pp. 6-14, Feb. 2002.

[6] W. T. Shiue, C. Chakrabarti, “Low Power Scheduling with Resources Operating at Multiple Voltages”, IEEE Trans. Circuits Sys. II, vol. 47, pp. 536-543, June. 2000.

[7] J. M. Chang and M. Pedram, “Energy Minimization Using Multiple Supply Voltages”, IEEE Trans. on VLSI system, vol. 5, no. 4, pp. 436-443, Dec. 1997.

[8] M. C. Johnson and K. Roy, “Datapath Scheduling with Multiple Supply Voltages and Level Converters”, ACM Trans. Design Automation Electronic Syst., pp.227-248, July. 1997.

[9] E. Musoll, J. Cortadella, “High-level Synthesis Technique for Reducing the Activity of Functional Units”, in Proc. Int. Symp. Low Power Design, pp. 99-104, 1995.

저 자 소 개



정 우 성(학생회원)
 2007년 충북대학교 전자전기
 컴퓨터 공학부 학사 졸업
 2007년~2009년 한양대학교 전기
 전자제어계측 공학과
 석사과정

<주관심분야 : CAD&VLSI, 반도체 설계, SoC 설계 방법론>



신 현 철(평생회원)
 1978년 서울대학교 전자공학과
 학사 졸업.
 1980년 한국과학기술원 전기 및
 전자공학과 석사 졸업
 1983년~1987년 U.C. Berkeley
 박사 졸업.

1983년~1987년 Fulbright scholarship
 1987년~1989년 MTS, AT&T Bell Lab's,
 Murray Hill N.J., USA
 1997년~2008 IDEC 한양대학교 지역센터 센터장
 1989년~현재 한양대학교 전자컴퓨터공학부 교수
 2008년~현재 ITRC Multi-core Design
 methodology 연구센터 소장.

<주관심분야 : CAD&VLSI, 통신용 반도체 설계, 저전력 설계>