

논문 2009-46SD-9-3

SOP Image SRAM Buffer용 다양한 데이터 패턴 병렬 테스트 회로

(Parallel Testing Circuits with Versatile Data Patterns for SOP Image SRAM Buffer)

정규호*, 유재희**

(Kyuho Jeong and Jaehee You)

요약

System on panel 프레임 버퍼를 위한 메모리 셀 어레이와 주변회로가 설계되었다. 또한, system on panel 공정의 낮은 yield를 극복하기 위해, 블록 단위의 parallel test 방안이 제안되었다. 기존의 메모리 테스트 보다 빠르게 fault detection이 가능하며, 다양한 embedded memory나 일반 SRAM 테스트 분야에도 적용 가능하다. 또한 기존의 다양한 test vector pattern이 그대로 적용될 수 있어 fault coverage가 높고, 최근의 추세인 hierarchical bit line과 divided word line 구조에도 적용될 수 있다.

Abstract

Memory cell array and peripheral circuits are designed for system on panel style frame buffer. Moreover, a parallel test methodology to test multiple blocks of memory cells is proposed to overcome low yield of system on panel processing technologies. It is capable of faster fault detection compared to conventional memory tests and also applicable to the tests of various embedded memories and conventional SRAMs. The various patterns of conventional test vectors can be used to enhance fault coverage. The proposed testing method is also applicable to hierarchical bit line and divided word line, one of design trends of recent memory architectures.

Keywords : System on Panel, Frame buffer, Embedded memory, Parallel test, Redundancy

I. 서론

다양한 모바일 기기에 사용되는 display panel은 고 해상도와 큰 color depth 표현이 필요하게 되어 큰 용량의 이미지 메모리를 필요로 할 뿐만 아니라 소형 및 경

량화 추세에도 부합하여야 한다. 하지만 기존의 COG(Chip on Glass)로는 소량화 및 경량화하는데 한계가 있고, 방대한 화상 데이터 전송에 의한 전력 소모 및 delay는 mobile display system에 해결되어야 할 중요한 문제이다^[1]. 이에 따라 SOP(System on Panel)를 통해 이러한 문제를 극복하려는 노력이 진행되고 있으며, display panel 구동에 필요한 회로가 panel내에 집적되는 추세이다. Audio 회로, CPU, graphic controller를 비롯하여 Z80을 집적한 사례가 있으며^[2-5], flexible display의 경우 16kb SRAM과 8비트 비동기식 마이크로 콘트롤러를 집적한 사례^[6]가 있다.

Line buffer의 전 단계에 해당하는 프레임 버퍼는 물리적으로 panel에 근접하고 있을 뿐 아니라, frame단위의 화상 처리시 잦은 access가 필요하므로 SOP 구현의

* 정회원, 삼성전자 DS

(Samsung Electronics, Device Solution)

** 정회원, 홍익대학교 전자전기공학부

(School of Electronic & Electrical Eng.,
Hongik University)

※ 이 연구(논문)는 지식경제부의 지식경제 프론티어 기술 개발 사업인 차세대 정보 디스플레이 기술 개발 사업단의 연구비(F0004061-2009-32) 및 서울시 산학연 협력사업(10555) 또는 Seoul R&BD Program(10555) 지원으로 수행되었습니다.

접수일자: 2008년10월17일, 수정완료일: 2009년8월7일

필요성이 크다. 하지만 이를 위한 LTPS (Low Temperature Poly-silicon) 공정은 yield가 낮다는 단점이 있다. 이러한 low yield의 극복을 위해 효율적인 테스트를 통한 효과적인 redundancy replacement가 필요하다. 화상 처리에 필요한 메모리는 데이터의 양이 방대하여 대용량화 할수록 테스트에 많은 시간이 소모되고, 또는 이를 감소시키기 위하여서는 많은 회로가 필요하여, 적은 부가 회로를 이용하여, 테스트 시간을 감소시키는 방안이 필요하다. 기존의 디스플레이 패널용 embedded memory 테스트^[7]는 I/O를 통해 write/read의 과정을 이용하여 전체 메모리 셀에 순차적으로 access하여 이루어져 왔다. Fault coverage를 결정하는 테스트 알고리즘에 따라, 테스트에 소모되는 시간은, 메모리의 bit 용량을 n이라고 할 때, march, checker test pattern일 경우 $O(n)$ 이며, 보다 fault coverage가 높은, exhaustive, GALPAT 같은 경우, $O(n \times \log_2 n)$ 또는 $O(n^2)$ 로 알려져 있다^[8]. 따라서 BIST나 DFT (design for testability)를 전혀 고려하지 않고 설계한다면 테스트 시간이 많이 걸리게 된다^[9]. 메모리 테스트는 Burn in 테스트^[10]를 포함하여 여러 가지의 테스트를 수반하게 되므로, 많은 생산 효율상 부담이 생기게 된다. 이에 더하여, System on Panel 반도체 공정은 이미 서술된 바와 같이 낮은 수율을 가지고 있어, 조밀한 배치를 필요로 하는 Embedded image memory의 효율적인 BIST 방법^[11]의 중요성은 보다 증대 되었다. Embedded memory는 향후 전체 메모리의 상당 부분을 차지할 것으로 확실시 되어^[11], 이와 같은 테스트 방법에 대한 응용 범위는 매우 넓다. 기존 embedded memory의 병렬 메모리 테스트^[12] 및 repair 방법^[13]은 64-128 워드 정도의 메모리 블록 별 BIST와의 인터페이스를 위한 상당한 양의 wrapper^[14] 구현을 통하여, 병렬 처리를 수행하여 많은 하드웨어 오버헤드 또는 테스트 시간이 필요한 문제가 있다.

본 논문에서는 화상 처리용 메모리에 적용 가능한 고속 병렬 테스트 및 다양한 fault를 감지할 수 있는 precharge/predischarge 테스트 회로가 제안되었다. 또한 제안된 테스트는 다양한 test pattern을 사용하여, neighborhood sensitive fault등도 감지 가능할 뿐만 아니라 테스트 회로를 블록 단위로 설계함으로써 hierarchical bit line과 divided word line 메모리 구조에도 적용될 수 있다. 또한 제안된 parallel test는 LTPS 공정뿐만 아니라 일반 CMOS 공정에서도 적용될 수 있

다. II장에서는 LTPS SRAM 어레이 아키텍처와 control 회로에 대하여, III장에서는 parallel test 회로 설계에 대하여 기술하였으며, IV장에서는 성능이 비교되었고, V장에서는 HSPICE를 통한 simulation결과를 나타내었다.

II. SOP 메모리 아키텍처

SOP에 적합하며 I/O bandwidth가 높은, 영상처리 frame 메모리를 위한 셀 어레이 및 주변 회로가 소개된다. 기존의 CMOS 프레임 버퍼^[15, 16]의 경우, wide I/O에 적합하도록 최대 396 I/O와 262K color를 위해 18b 단위의 메모리 블록으로 설계되었다. 본 논문에서 설계된 메모리도 이 경우에 맞추어 18 bit단위로 64 word line을 사용하여 25,344bit (18x22x4x4x4) 용량과 396 I/O (782개의 write driver와 396개의 sense amp를 포함)를 목표로 설계되었으며, Fig. 1에 나타난 바와 같이 후에 기술될 본 논문에서 제안된 parallel test 회로와 함께 precharge/predischarge/bit line conditioning 회로 등으로 구성 되었다.

디코딩 지연시간을 줄이기 위해 row decoder는 Fig. 1과 같이 셀 어레이의 중앙에 위치하도록 하였으며, access로 인한 delay를 줄이기 위해 sense amps와 write driver는 I/O 라인의 중심에 위치하게 설계하였

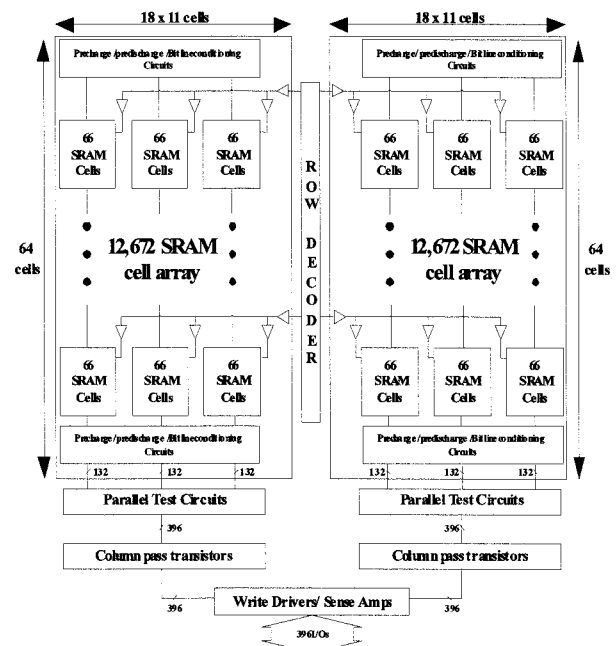


그림 1. 상위 아키텍처
Fig. 1. High level architecture.

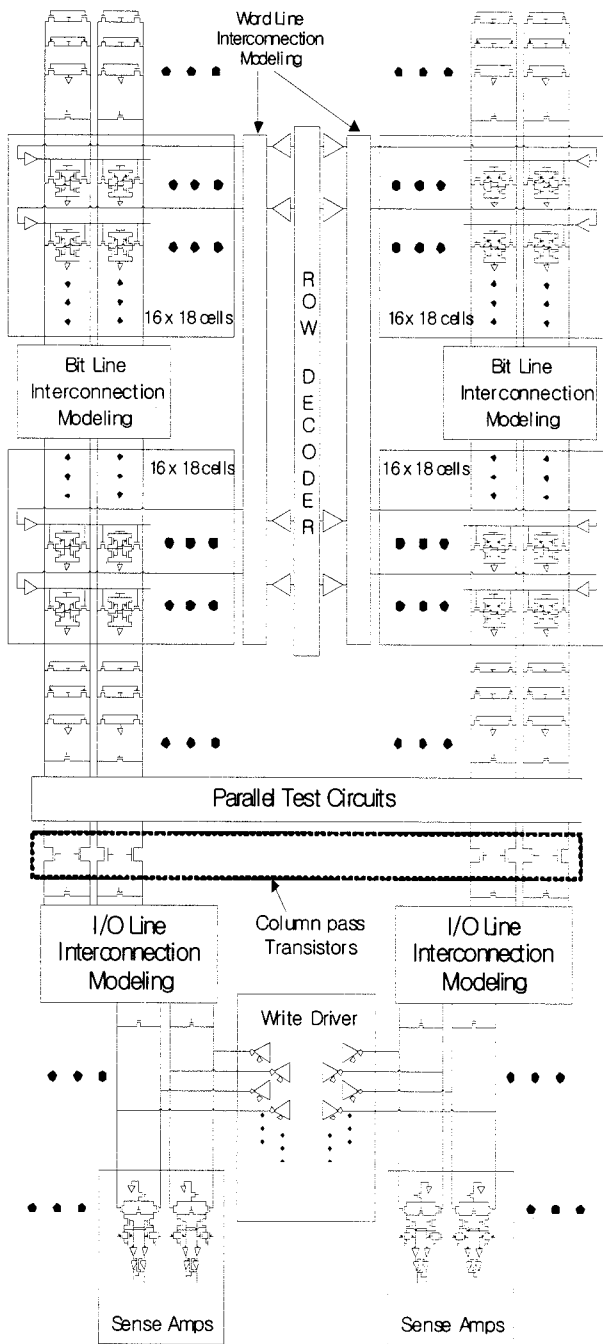


그림 2. SRAM 코어 및 인터커넥션 모델링
Fig. 2. SRAM core and interconnection modeling.

다. Word line driver는 global 및 local word line driver로 단계적으로 구성하였다. 또한 read를 최적화할 수 있도록 bit line equalization 및 conditioning 회로가 설계되었으며, LTPS 공정의 큰 RC delay를 극복하기 위해 면적을 크게 증가시키지 않는 범위 내에서 셀 어레이를 충분히 구동 가능한 크기로 설계 하였다.

제안된 내장되는 parallel test 회로는 서론에서 설명된 바와 같이, 다수의 메모리 셀로 구성되어 있는 블록

단위로 병렬로 테스트한다. 자세한 회로 구성방안에 대하여서는 후술한다. 하나의 메모리 블록에 해당하는 12,672 (18×11×64)개의 셀마다 한 쌍의 테스트 회로와 테스트 과정에서 필요한 precharge/predischage 회로가 구성되었다. 테스트 회로는 load를 줄이기 위해, 다른 메모리 블록 및 I/O line과 column pass transistor로 분리될 수 있도록 설계하였다.

Fig. 2와 같이, 회로 시뮬레이션의 부담을 덜기 위해 전체 셀 어레이의 상, 하, 좌, 우 코너를 제외한 모든 어레이는 등가의 RC model로 대체하였다. 즉, 전체 25,344의 셀 중 worst case에 해당하는 1,152 (18×16×4)개의 셀은 6 transistors SRAM 셀 모델로 simulation이 수행되고, 나머지는 간단한 3 segment T interconnection모델로 대체 되었으며 이에 따라 write drivers와 sense amps도 각각 72개, 36개가 사용되었다. 모델링에 사용된 metal line의 sheet resistance(R_s)는 $1.05 \Omega/\square$ 이며 capacitance는 2.53fF이다. Layout은 28um(가로) × 46.4um (세로)가 SRAM 셀 크기^[17]를 기초로 산출되었다. 향후 LTPS 공정의 발달에 따라, 보다 적은 셀 크기를 얻을 것으로 예측된다. Word line width는 4um를 사용하였으며, 계산된 SRAM면적을 바탕으로 Fig. 3에 나타낸 바와 같이 하나의 word line interconnection의 total resistance는 1450.5Ω, total capacitance는 56.1pF이다. Bit line과 I/O line도 같은 방법을 사용하여 모델링 하였다.

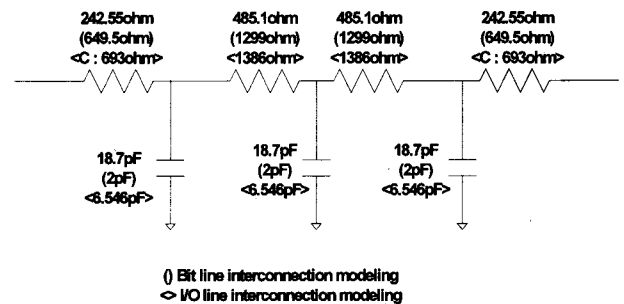


그림 3. 인터커넥션 모델링
Fig. 3. Interconnection modeling.

III. Parallel Fault Detection 회로

1. 6T SRAM 셀 Fault 모델링

Fig. 4(a)에 나타낸 바와 같이 SRAM은 6개의 트랜지스터로 구성되며, 따라서 트랜지스터의 고장이나 약

화(1 - 6) 및 interconnection의 장애(7 - 9)로 다양한 fault가 발생될 수 있다. 트랜지스터의 약화는 pull up 및 pull down능력의 저하로 나타난다. 따라서 발생 가능한 fault가 SPICE내에서 동일한 전기적인 효과를 갖도록 하기 위해 Fig. 4(b)와 같이 8개의 저항을 6T SRAM에 더하여 모델링 하였다. Pull up과 pull down fault를 바탕으로 발생 가능한 모든 상황을 반영하기 위하여, interconnection의 단절의 경우 저항 값을 무한대로 하고, 트랜지스터가 약화될 경우, 저항 값을 증가시켜 모델링하였다. 또한, access transistor fault와 같은 것은 pull up/down 능력이 모두 떨어지게 되므로, 양쪽 fault 모두에 의하여 모델링 되었다. 구체적으로, pull down fault의 경우 pull down transistor와 Vss사이 저항, R_{pd_l} 이나 R_{pd_r} 로, pull up fault는 R_{pu_l} 이나 R_{pu_r} 로, cross coupling interconnection fault는 R_{cc_u}

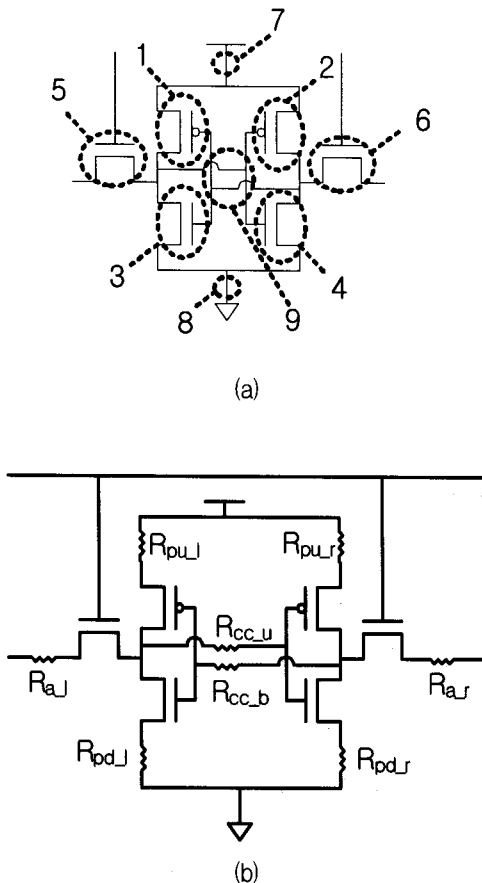


그림 4. 6T SRAM에서 발생 가능한 고장 모델
(a) 발생 가능한 고장 (b) 고장 모델

Fig. 4. A model for possible faults in 6T SRAM cell.
(a) Possible fault locations (b) Fault model

나 R_{cc_b} 로, access transistor fault는 R_{a_l} 이나 R_{a_r} 로 각각 모델링 하였다.

2. Parallel test 방안

기존의 메모리 테스트는 I/O를 통해 write/read의 과정을 거쳐 전체 메모리 셀에 순차적으로 access 하여 이루어져왔다.

기존의 메모리 외부 I/O bit width는 일반적으로 8 - 32개이지만 메모리 용량은 최대 수 GB에 이르게 되며, I/O에 비해 메모리의 용량이 크기 때문에 많은 테스트 시간이 필요하다. 이러한 문제를 해결하기 위해 내부의 I/O line을 사용하는 parallel test방법을 제안하였다. 이 방안은 제한된 수의 외부 I/O가 아닌 다수의 내부 I/O line을 병렬적으로 사용하여, 낮은 overhead의 테스트 회로만 사용하면서, 테스트 시간을 감소시키는 장점이 있다.

본 논문에서는, Fig. 5와 같이 메모리의 local block (1152 cells) 마다 parallel test 회로가 내장되어 동시에

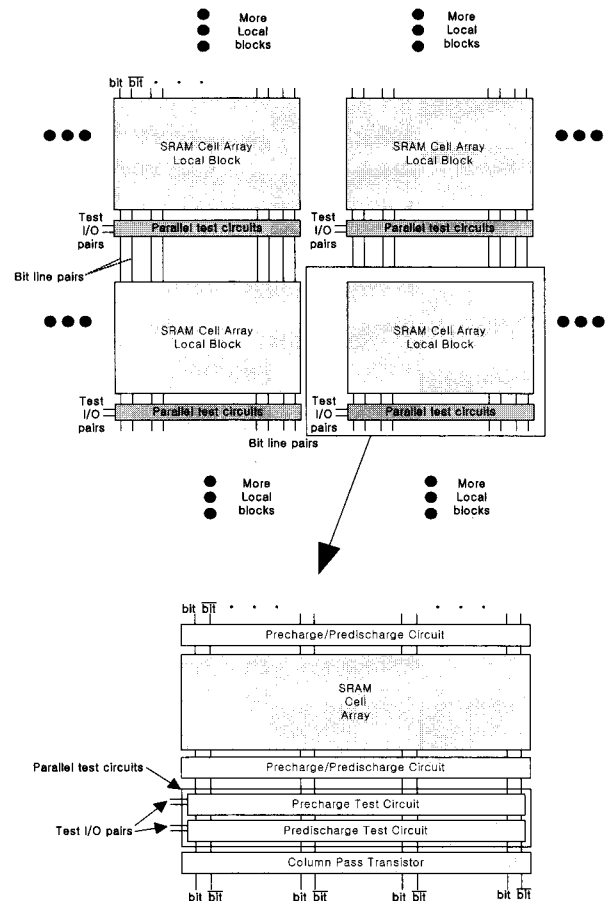


그림 5. 병렬 테스트

Fig. 5. Parallel test.

parallel test를 먼저 수행한 후, individual 메모리 셀 테스트함으로써 다수의 모든 메모리 셀을 순차적으로 테스트하는데 소요되는 시간을 감소시키도록 하였다. Parallel test 회로는 precharge test 회로와 predischarge test 회로로 구성되며 각각은 pull up, pull down fault를 감지한다. Precharge/predischarge 회로는 bit line을 precharge/predischarge하는 역할을 수행하고, 테스트 circuit과 함께 bit line에 연결되어 있다. Precharge/predischarge time 및 test time을 줄이기 위해 column pass transistor를 통해 local block과 global I/O는 분리되도록 하였다. 또한 Fig. 5처럼 메모리의 local block마다 parallel test 회로를 가지는 방식 외에도, 이웃하는 local block끼리 parallel test 회로를 공유하는 방식으로 설계하여 test circuit overhead를 감소시킬 수도 있다. Parallel test 회로의 자세한 구조는 다음 장에 기술된다.

3. Precharge/predischarge parallel test 회로

제안된 parallel test에는 precharge/predischarge test를 모두 수행할 수 있도록 설계되었으며, SRAM이 complementary한 데이터를 바탕으로 데이터가 저장되고, read시 bit line pair와 I/O line pair를 구동한다는 특징을 이용하여, faulty 셀을 감지한다. 예를 들어 bit line을 precharge한 후, access transistor를 구동하고 특정 시간 동안 충분히 pull down하는지를 측정하면, pull down fault가 측정 가능하다. 이와 마찬가지로 bit line을 predischarge하면 pull up fault가 측정 가능하다.

Fig. 4에 나타낸 바와 같이 발생 가능한 fault의 각 경우와 그에 해당하는 등가저항 모델, precharge/predischarge test중 어떤 테스트에 의하여 감지 가능한가에 대하여 Table 1에 요약 기술되어 있다. Precharge/predischarge test는 Fig 4(a)에서 제시된 모

표 1. 등가 저항 모델

Table 1. Equivalent resistor model.

	등가 저항 model	Precharge test	Predischarge test
1, 2, 7	R_{puL}, R_{puR}	×	○
3, 4, 8	R_{pdL}, R_{pdR}	○	×
5, 6	R_{aL}, R_{aR}	○	○
9	$R_{cc,u}, R_{cc,b}$	○	○

든 fault를 감지할 수 있다. 예를 들면 Fig. 4의 3, 4, 8과 같은 6T SRAM의 pull down 기능을 하는 구성 요소들의 능력이 떨어지는 경우 precharge test를 실행하고, 1, 2, 7의 문제가 있을 경우 predischarge test를 수행한다.

Fig. 6의 parallel test 회로는 precharge/predischarge 회로와 differential pair로 구성 되어 있다. M1 - M5 differential pair의 driver는 각각의 bit line에 연결된다.

Precharge test 회로는 Fig. 7(a)와 같으며 테스트 대상이 되는 test memory cell group (TMCG)에 모두 같은 데이터를 입력한 후, bit line과 bit bar line을 VDD로 precharge하고 word line을 구동 시킨다. 셀에 같은 데이터가 저장되어 있으므로, Fig 7(a)와 같이 bit line pair는 서로 complementary한 데이터를 출력한다. 즉,

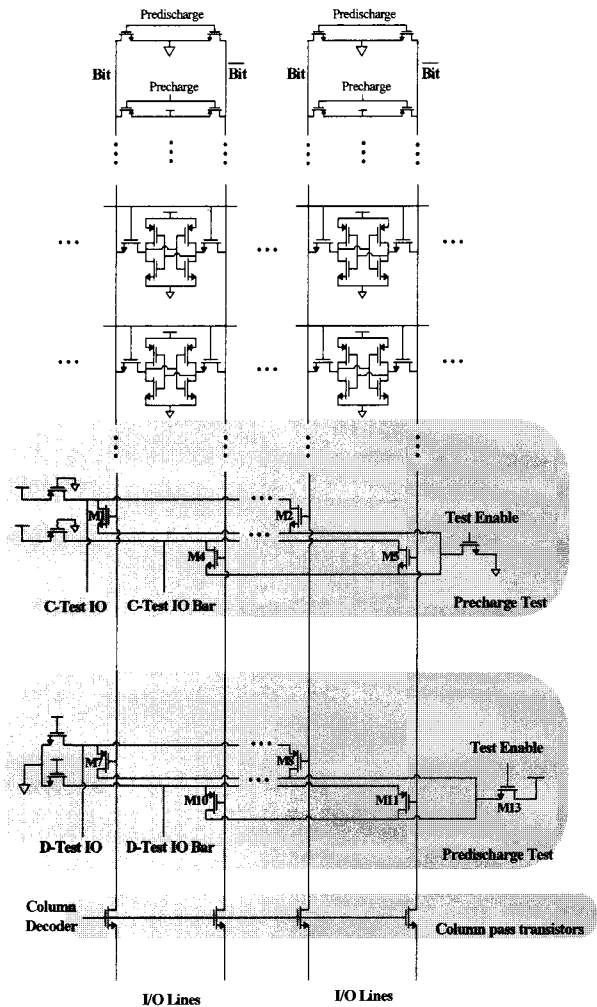
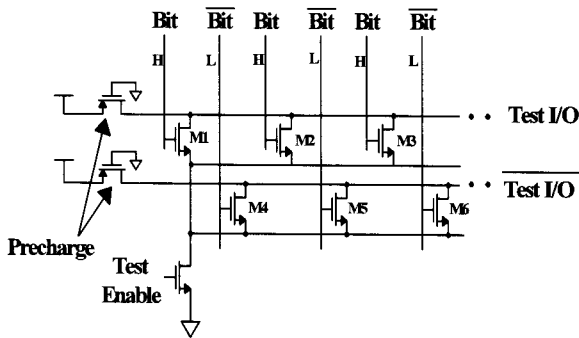
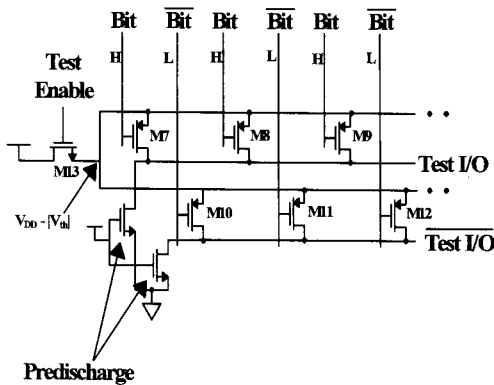


그림 6. Bit line precharge와 predischarge 테스트
Fig. 6. Bit line precharge and predischarge test.



(a)



(b)

그림 7. 비트라인 테스트

(a) Precharge 테스트 (b) Predischarge 테스트

Fig. 7. Bit line test.

(a) Precharge test (b) Predischarge test

TMCG가 모두 정상일 경우 parallel test 회로의 M1 - M3과 M4 - M6중 한 그룹은 모두 on이 되고 다른 group은 모두 off가 되어 test I/O가 서로 complementary한 출력을 가지게 된다. 하지만 pull down fault가 있는 경우 bit line중 하나가 high 또는 weak low가 발생하게 되어 bit line을 V_{th} 이하로 pull down 하지 못하게 되어, test I/O pair가 서로 complementary 하지 않은 출력을 가지게 된다.

Predischarge test 회로는 Fig. 7(b)와 같으며 precharge test와 같은 원리로 pull up fault를 감지한다. 다만 SRAM의 access transistor에 의해 bit line은 최대 $V_{DD} - |V_{th}|$ 까지 pull up 되기 때문에, predischarge test circuit driver의 threshold voltage가 $V_{DD} - 2|V_{th}|$ 가 되도록 하여야 한다. 따라서 Fig. 7(b)의 pull-up current switch(M13)를 NMOS로 사용하여 M7 - M12의 source에 $V_{DD} - V_{th}$ 가 되도록 하였다. 이러

한 precharge/predischarge test에 의하여, 미세한 전압 값의 변화가 감지 가능하며, Fig. 4의 5, 6과 같이 bit과 bit bar line을 모두 floating 상태로 만드는 access fault의 경우 precharge/predischarge test 모두에 의하여 감지할 수 있다.

4. Versatile test data patterns

Parallel test 회로는 stuck at fault, neighborhood pattern sensitive fault, data retention, pre-charge failure등 발생 가능한 모든 fault를 BIST(Built In Self Test)형태로, 감지하는 것이 이상적이다. 하지만 이미 기술된 바와 같이 테스트 실행 시 데이터 패턴이 일정

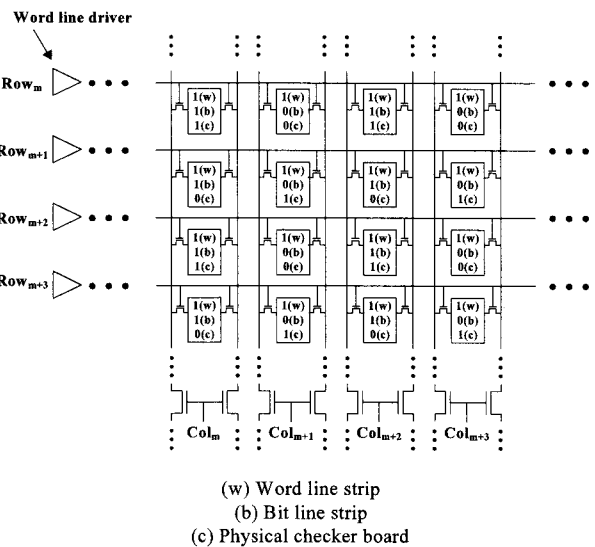


그림 8. 다양한 테스트 데이터 패턴

Fig. 8. Versatile test data patterns.

표 2. 병렬 Test write

Table 2. Parallel test write.

	Test Write Cycle 1	Test Write Cycle 2	Test Write Cycle 3
Word Line Strip	Row _m Row _{m+2} , All cols	Row _{m+1} Row _{m+3} All cols	N/A
Bit Line Strip	All rows Col _m Col _{m+2}	All rows Col _{m+1} Col _{m+3}	N/A
Physical Checker board	All rows All cols	Row _m Row _{m+2} Col _m Col _{m+2}	Row _{m+1} Row _{m+3} Col _{m+1} Col _{m+3}

할 경우 neighborhood sensitive fault등이 발생할 경우, 감지하기 어려워져, 이를 해결하기 위한 테스트 데이터 pattern 생성 알고리즘이 연구되었다^[8]. 제안된 parallel test에서는 neighborhood 셀 간에, 다른 test data를 입력하는 등 다양한 테스트 패턴을 사용할 수 있도록 하여, 이와 같은 단점을 극복하도록 하였다.

Word line strip, bit line strip 그리고 physical checkerboard 테스트 데이터 패턴을 Fig. 8에 나타내었다. Row_m - Row_{m+3}과 Col_m - Col_{m+3}은 메모리 셀 어레이 parallel test 대상 local block 내부에서 word line과 column pass transistor를 각각 나타낸다.

제안된 parallel test를 수행할 때 우선 테스트 데이터를 수행하고자 하는 테스트 패턴에 따라 write하여야 한다. Table 2에 각 테스트 데이터 write pattern에 따른 row decoder와 column pass transistor의 write 동작 방안에 대하여 나타내었다.

즉, word line strip(bit line strip)은 row(bit) line

driver를 even과 odd로 나누어 순차적으로 동작시킴으로써 2 cycle만에 parallel write가 가능하다. 또한 physical checkerboard의 경우 첫 번째 cycle에서 모두 같은 데이터를 write 한 후, 모든 word와 bit line driver를 even과 odd로 나누어, 건너뛰어 동작시킴으로써 가능하다. Parallel test read의 경우 word line driver를 순차적으로 작동시킴으로써 테스트를 수행하며, cycle에 따라 어떤 row 또는 bit line이 선택되는가에 대해서, Table 3과 Fig. 8에 요약되어 있다. Word line strip의 경우 모든 column pass transistor를 작동시키고 word line driver를 순차적으로 작동 시키면서 테스트를 수행한다. 예를 들면, bit line strip의 경우 column pass transistor를 odd와 even line으로 나누고 우선 odd bit line을 작동 시키고 word line driver를 순차적으로 작동시켜 테스트를 수행한 후, even bit line을 작동시켜 테스트를 수행한다. Physical checkerboard의 경우 bit line과 word line을 모두 번갈아 가며 작동시킴으로써 테스트를 수행한다.

표 3. 병렬 Test read
Table 3. Parallel test read.

	Test read cycle 1	Test read cycle 2	Test read cycle 3	Test read cycle 4
Word line strip	Row _m All cols	Row _{m+1} , All cols	Row _{m+2} , All cols	Row _{m+3} , All cols
Bit line strip	Row _m Col _m Col _{m+2}	Row _{m+1} , Col _m , Col _{m+2}	Row _{m+2} , Col _m , Col _{m+2}	Row _{m+3} , Col _m , Col _{m+2}
Physical checkerboard	Row _m Col _m Col _{m+2}	Row _{m+1} , Col _{m+1} Col _{m+3}	Row _{m+2} , Col _m , Col _{m+2}	Row _{m+3} , Col _{m+1} Col _{m+3}
	Test read cycle 5	Test read cycle 6	Test read cycle 7	Test read cycle 8
Word line strip	N/A	N/A	N/A	N/A
Bit line strip	Row _m Col _{m+1} Col _{m+3}	Row _{m+1} , Col _{m+1} Col _{m+3}	Row _{m+2} , Col _{m+1} Col _{m+3}	Row _{m+3} , Col _{m+1} Col _{m+3}
Physical checkerboard	Row _m , Col _{m+1} Col _{m+3}	Row _{m+1} , Col _m Col _{m+2}	Row _{m+2} , Col _{m+1} Col _{m+3}	Row _{m+3} , Col _m Col _{m+2}

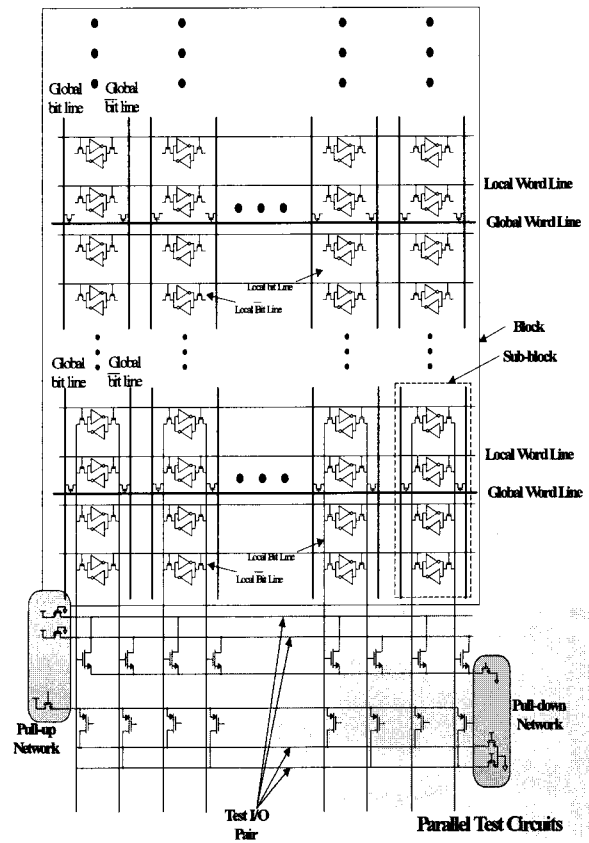


그림 9. 계층적 비트 라인과 분할 워드 라인 병렬 테스트
Fig. 9. Hierarchical bit line, divided word line parallel test.

제안된 parallel test 방안은 다양한 test pattern과 함께, Fig. 9와 같이 hierarchical bit line, divided word line 구조^[18]에서 각각 SRAM local 블록 단위로 테스트 할 수 있어, 최근의 SRAM 구조에도 적용 가능하다.

IV. 성능 평가

1. Parallel test 성능 평가

일반적인 새로운 test 방안의 효율성 평가기준에 따라, 기존의 serial access^[7]와 제안된 Test 방안의 상대적 지연 시간 비율과 test circuit overhead를 기준으로 성능이 평가 되었다.^[7, 14] Fig. 10(a)와 같은 conventional test에서는 memory의 capacity를 N_C , 메모리의 I/O bit width을 $N_{I/O}$ 라고 할 경우 총 $N_C/N_{I/O}$ 의 셀 테스트를 거친 후 redundancy replacement를 수행하게 된다. 하지만 $N_{I/O}$ 는 N_C 에 비하여 매우 작기 때문에 이 과정에서 많은 test time이 필요하다. 제안된 병렬 테스트 절차를 나타내는, Fig. 10(b)에서 N_G 는 전체 메모리 내에서 group of cell, 즉 TMCG의 숫자이며, N_{TC} 는 다수의 테스트 회로를 통한 동시에 수행 가능한 parallel test 연산의 총 개수, N_{FG} 는 faulty로 판정된 TMCG내에 있는 셀 숫자이다.

(1), (2)는 기존의 memory test와 parallel memory test의 연산시간의 비교를 나타낸다. 기존의 메모리에서 N_C 는 GByte정도이지만 $N_{I/O}$ 는 8-32 bit 정도로, N_C 가

$N_{I/O}$ 보다 압도적으로 커서 많은 테스트 시간이 필요하다. 하지만 제안된 parallel test 회로를 사용할 경우, N_G/N_{TC} 회의 parallel test를 수행 한 후, fault가 감지된 TMCG에 대해서만 N_{FG} 회의 individual memory cell test만 필요하게 된다. 즉, parallel test는 기존의 individual cell test에 소모되는 $N_C/N_{I/O}$ 에 해당하는 시간을 N_{FG} 회수만 테스트함으로써 테스트 시간을 현저히 줄일 수 있다.

$$\text{Test Time} = O(N_C/N_{I/O}) \tag{1}$$

$$\text{Test Time} = O(N_G/N_{TC}) + O(N_{FG}) \tag{2}$$

또한, parallel test 회로가 많이 내재될수록 TMCG 개수가 적어져 빠른 병렬 메모리 테스트가 가능하고, TMCG내의 셀 수가 커질수록, individual cell test의 시간이 증가하게 된다. 따라서 parallel test에 따른 overhead와 test 속도간의 trade off를 통하여 응용분야에 따라 최적화가 가능하다.

2. Parallel test 성능 비교

Parallel test의 성능을 비교하기 위해 Test Time Ratio (TTR)를 정의 하였다. TTR은 각각의 블록에 수 개의 faulty cell이 존재한다고 가정하고, parallel test 수행시간과 individual test 시간을 비교한 것으로써 (3)과 같이 나타낼 수 있다. (3)을 바탕으로 memory block

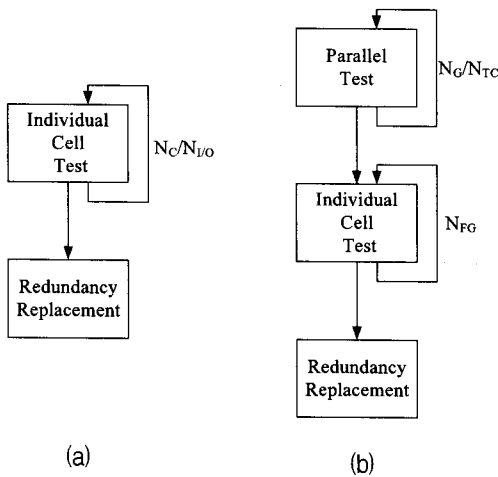


그림 10. 메모리 테스트 순서도
 (a)기존 메모리 테스트 (b)병렬 메모리 테스트
 Fig. 10. Memory test sequence.
 (a) Conventional memory test
 (b) Parallel memory test

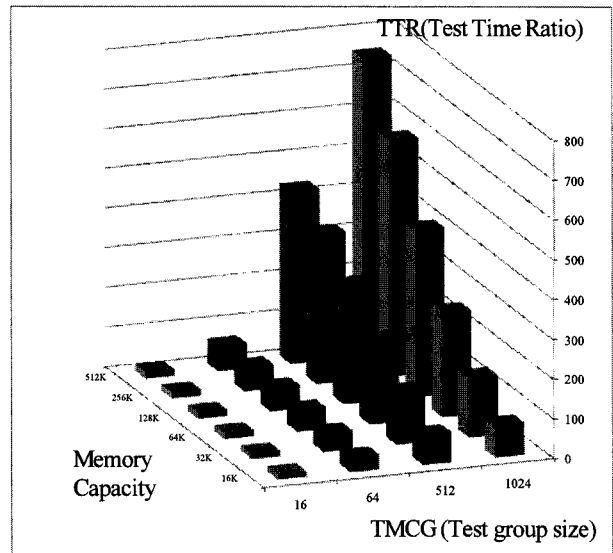


그림 11. 테스트 시간 비율
 Fig. 11. Test time ratio.

size(test group size)와 memory capacity에 따른 TTR을 Fig. 11에 나타내었다. 일반적으로 1개의 블록 당 faulty cell 발생 빈도가 수율이 매우 나쁘더라도 적어, parallel test는 메모리 셀 내의 모든 block을 동시에 test할 경우, N_{FG} 는 N_C 에 비하여 현저하게 적기 때문에 TTR은 1보다 큰 값을 나타내게 되므로, 상대적으로 적은 test time이 요구된다. 예를 들어, TMCG의 셀 개수가 16이고 16Kbyte의 메모리의 경우, 기존의 경우보다 약 1/13.6 정도의 test time만이 필요하며, 16Mb 메모리에 TMCG가 1024일 경우 약 1000 배까지 효율적임을 나타낸다. 메모리 용량 (N_C)이 크고, TMCG가 클수록 parallel test의 효과가 높다.

$$TTR = \frac{\frac{T_{ICT} \times N_C}{N_{I/O}}}{T_{PT+} \frac{T_{ICT} \times N_{FG}}{N_{I/O}}} \quad (3)$$

(단, T_{ICT} 는 Individual cell test time,
 T_{PT} 는 Parallel Test Time)

Test circuit overhead 측면에 있어서, 하나의 memory block에 해당하는 12,672개의 셀 마다의 precharge/predischarge test 회로가 사용되었다. Test I/O를 통해 Fault 유무 판단은, Exclusive OR gate만으로 충분히 구현 가능하여, 테스트 회로 블록 당 트랜지스터 개수는 550 ($(18 \times 2 + 6 + 8) \times 11$)개로 한 블록 당 셀 어레이의 총 트랜지스터 개수에 해당하는 75,752 ($25,344 \times 6$)의 0.726% 정도의 overhead만 요구되며, TMCG 크기 및 parallel test의 개수에 따른 오버헤드를 Table 4에 나타내었다. 기존의 wrapper^[14]와 같은 BIST의 경우 address generation, data generation, repair calculation 등 많은 양의 추가 하드웨어 오버헤드가 발

표 4. 병렬 테스트 회로 오버헤드
 Table 4. Parallel Test Circuit Overhead.

		TMCG/Test Circuits		
		16	32	64
Cells / TMCG	4	9.90%	4.95%	2.47%
	8	4.95%	2.47%	1.24%
	16	2.47%	1.24%	0.62%
	32	1.24%	0.62%	0.31%
	64	0.62%	0.31%	0.15%

생 하나, 제안된 test 방법은 회로가 간단하여 추가 test 지연 시간이 적다.

제안된 고속, low test circuit overhead parallel test 방법과 test 데이터 pattern 발생 방법은 LTPS 공정 등의, SOP 뿐만 아니라 기존의 CMOS공정의 메모리에도 적용되어, cache나 embedded memory뿐 아니라, SRAM을 사용하는 모든 메모리에 응용될 수 있다.

V. Simulation

1. Normal Read/Write

4um LTPS공정을 바탕으로, simulation하기 위하여, RSI level 62 모델이 사용되었다. Fig. 12은 column pass transistor, write driver, word line decoder에서 가장 먼 위치에 있는 셀 (Fig. 2의 최상위, 좌측에 있는 셀)의 write, read 사이클 waveform이다.

Word line decoder 출력이 구동 되고부터 셀의 전압이 뒤바뀌게 되는데 202ns 필요하며, 80% VDD를 기준으로 word line이 구동되는데, 약 132ns가 필요하다. Read cycle의 worst case waveform을 Fig. 12에 나타내었으며, sense amp의 half swing까지 303ns가 필요하다. 표 5에 병렬 테스트 회로가 있는 경우와 없는 경우 각각의 access time을 기술하였다. Fig. 6 및 Fig. 7에 나타낸 바와 같이 parallel test read 회로에 의하여, bit line 또는 I/O line에 precharge 또는 predischarge transistor의 source/drain 및 differential pair driver

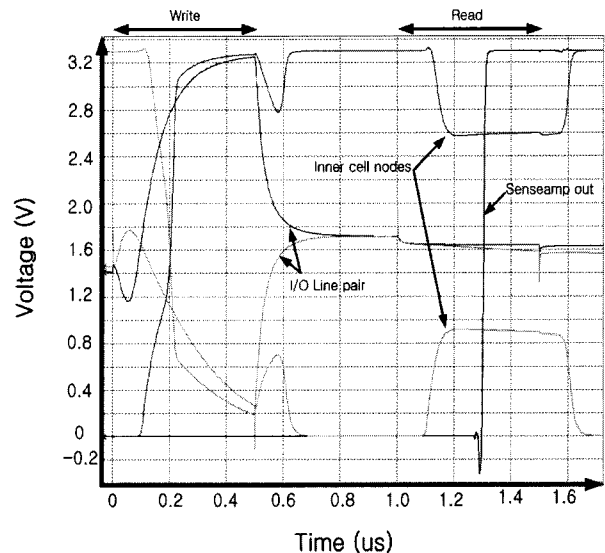


그림 12. 일반 Write와 Read의 파형
 Fig. 12. Normal write and read waveform.

표 5. Parallel test에 의한 read/write 액세스 타임 영향

Table 5. Effects on read/write access time from parallel test.

Cycle	Access Time	
	Without Parallel Test Circuit	With Parallel Test Circuits
Write	201ns	202.5ns
Read	301.9ns	303ns

transistor의 gate capacitance로 인한 loading이 있으나 단지 두개의 transistor이므로, 표 5에 나타난 바와 같이, test circuit의 일반 read/write 사이클의 미치는 영향은 미미하다.

2. Precharge/predischarge test

Fig. 13은, precharge test를 나타낸 그림이다. 테스트 전에 bit line pair를 precharge하고 메모리 셀이 bit line pair를 충분히 구동 하도록, 일정시간 후 test enable을 실행하면 TMCG에 fault가 있는 경우 발생한 weak low 상태를 테스트 회로가 감지하여 complementary하지 않는 test I/O pair가 출력된다.

Fig. 14의 predischarge test과정도 precharge test과정과 유사하다. 다만 bit line은 최대 $VDD - |V_{th}|$ 까지

표 6. 병렬 테스트 read/write의 액세스 타임

Table 6. Parallel test read/write access time

Cycles	Access Time
Parallel test write	202ns
Parallel test read	7000ns

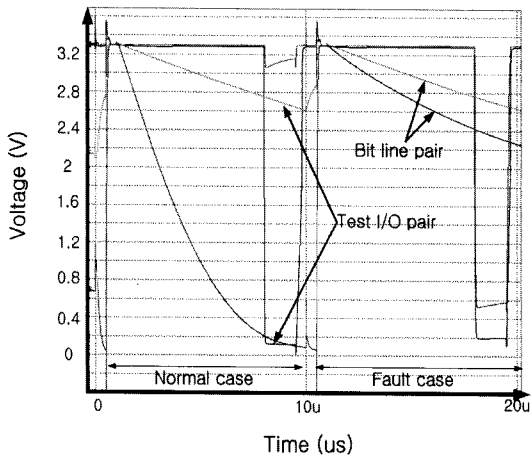


그림 13. Precharge 테스트 파형
Fig. 13. Precharge test waveform.

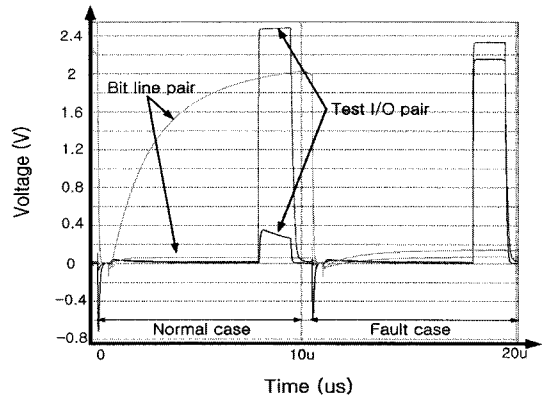


그림 14. Predischarge 테스트 파형
Fig. 14. Predischarge test waveform.

만 pull up 되므로 테스트 회로의 driver가 $VDD - 2|V_{th}|$ 이하의 전압을 감지 할 수 있도록 하였으며, 과형상 bit line pair 가 $VDD - |V_{th}|$ 이상 구동 되지 않음을 확인할 수 있다. Parallel write와 parallel read access delay의 최악조건 시뮬레이션 결과를 Table 6에 요약하였다.

Parallel test는 normal read에 비해 access time이 크지만, 메모리의 모든 블록에서 동시에 진행되어, test time이 현저하게 감소하여 향후 SOP공정의 향상에 따라 더욱 감소 가능하다.

VI. 결론

일반적인 system on panel 및 임베디드 프레임 버퍼 SRAM에 적용 가능한 고속 병렬 테스트 회로가 memory core 및 주변회로와 함께 설계되었다. 설계된 메모리는 396 I/O, 25,344 bit의 용량을 가지고 있으며, 4um LTPS TFT공정을 기준으로, read/write access time이 각각 303/202ns으로, 3.3MHz clock에서 1.3Gb/s의 bandwidth를 가진다. Parallel test와 기존 테스트와 test time ratio를 이용하여 성능이 분석되었으며, 메모리 용량이 크고 test group size가 클수록 더 큰 효과를 나타내었으며, 16Mb 메모리에 test group size가 1024개 셀일 경우 약 1000배까지 성능이 향상 되었다. 다양한 test pattern을 활용하여, neighborhood sensitive fault까지 감지할 수 있는 방안이 논의되었다. 제안된 parallel test와 다양한 테스트 데이터 사용방법은 LTPS 외의 cache와 같은 다른 임베디드 메모리 테스트 분야에도 적용 가능하다.

참고 문헌

- [1] Seung-yong Lee et al., IMID 2007 Digest, "Design Considerations on the Partition of SOP, CMOS and PCB", Aug. 2007.
- [2] T. Matsuo, et al., "CG Silicon Technology and Development of System on Panel," SID pp. 856-859, 2004.
- [3] T. Ikeda, et al., "Full-Functional System Liquid Crystal Display Using CG-Silicon Technology," SID pp. 860-863, 2004.
- [4] H. Haga et al., "A 510-Kb SOG-DRAM for Frame-Memory-Integrated Displays", Society of Information Display, SID Digest pp. 1106 - 1109, 2005.
- [5] B. Lee, et al., "A CPU on a glass substrate using CG-silicon TFTs," IEEE ISSCC 2003, vol. 1, pp.164-165, 2003.
- [6] H. Ebihara et al., "A Flexible 16kb SRAM based on Low-Temperature Poly-Silicon (LTPS)", Society of Information Display, SID 06 Digest pp. 339 - 342, 2006.
- [7] O. Spang, "A Sophisticated Memory Test Engine for LCD Display Drivers," Europe Conference & Exhibition in Design, Automation & Test, April 2007.
- [8] S. Kang et al., "Memory Test", Dae-young-sa, 2001
- [9] A. J. Van de goor, Testing Semiconductor Memories - Theory and Practice, John Wiley & Sons, UK, 1991
- [10] J. C. Yeh et. al, " A Systematic Approach to Reducing Semiconductor Memory Test Time in Mass Production", Proc. of the 2005 IEEE International Workshop on Memory Technology, Design and Testing, 2005
- [11] S. Hamdioui et. al, "The state-of-art and future trends in testing embedded memories," International Workshop on Memory Technology, Design and Testing, 2004.
- [12] L. Denq et. al, "A parallel built-in diagnostic scheme for multiple embedded memories," International Workshop on Memory Technology, Design and Testing, Aug. 2004.
- [13] T. Tseng et. al., "A Shared Parallel Built-In Self-Repair Scheme for Random Access Memories in SOCs," IEEE International Test Conference, Oct. 2008.
- [14] R. C. Aitken, " A Modular Wrapper Enabling High Speed BIST and Repair for Small Wide Memories," Proc. of International Test Conference, 2004.
- [15] Bo-Sung Kim et al., "Low Power 260k Color VGA TFT LCD One-chip Driver IC", ISSCC 2007, July 2007.
- [16] <http://www.samsung.com/global/business>
- [17] M. Kinugawa et al., "TFT(Thin Film Transistor) Cell Technology for 4M Bit and More High Density SRAMs", Symposium on VLSI technology, pp. 23-24, 1990.
- [18] A. Karandikar and K. K. Parhi, "Low Power SRAM Design using Hierarchical Divided Bit-Line Approach", International Conference on VLSI in Computers and Processors, ICCD '98 Proceedings, 5-7 pp. 82 - 88, Oct. 1998.

— 저 자 소 개 —



정 규 호(정회원)
2008년 홍익대학교 전자전기
공학부 공학사
2008년~현재 삼성전자 DS 총괄
PRAM 개발팀
<주관심분야 : 메모리 회로 설계>



유 재 희(정회원)
1985년 서울대학교 전자공학과
공학사
1987년 Cornell 대학교 전기
공학과 공학석사
1990년 Cornell 대학교
전기공학과 공학박사
1990년~1991년 Texas Instruments, Dallas
VLSI Design Lab. 연구원
1991년~현재 홍익대학교 전자공학과 교수.
삼성 반도체, 하이닉스, 성진 C&C, Penta 마이크
로, P&K, Global Communication Technologies,
Primenet 기술자문
<주관심분야 : Multimedia VLSI 아키텍처 및 시
스템 설계, Home Networking 시스템, Embedded
Memory 회로 설계 등>