논문 2009-46SD-9-2

LVDS 구동 회로를 이용한 3.125Gb/s/ch 저전력 CMOS 송수신기

(A 3.125Gb/s/ch Low-Power CMOS Transceiver with an LVDS Driver)

안 희 선*, 박 원 기**, 이 성 철**, 정 항 근***

(Hee-Sun Ahn, Won-Ki Park, Sung-Chul Lee, and Hang-Geun Jeong)

요 약

본 논문은 채널당 3.125Gb/s의 전송률을 갖는 다채널 송수신기의 설계를 다룬다. 신호 전송 방식은 노이즈에 강하고 전력 소모가 작은 LVDS 구동 회로를 이용하였으며, 제안한 프리-엠퍼시스 회로를 사용하여 송신기의 속도를 향상시켰다. 수신기의 경우, 이중 보간 방식을 기반으로 1/4-rate 클록을 이용하는 저전력 CDR(clock and data recovery)을 제안하였다. 제안한 CDR은 1/2-rate 클록 방식과 동일한 공급 클록 수를 유지하면서 각각의 복원부에서 추가로 필요한 클록을 플립플롭을 이용하지 않고 인버터만으로 생성한다. 이로써 클록 생성기의 주파수를 낮추어 고속 전송을 가능케 하였으며, 공급 클록의 수를 증가시키지 않고 1/4-rate 주파수의 클록을 이용함으로써 CDR을 저전력화하였다. 테스트용 칩은 2개의 채널로 구성되어 있으며 0.18 ㎛ 표준 CMOS 공정을 이용하여 제작되었다. 측정 결과 송신기의 출력 데이터 지터는 100ps(0.31UI)이며 수신기의 복원 클록의 지터는 47.33ps로 이는 클록 주기의 약 3.7%에 해당한다. 전체 칩의 면적은 3.5㎟이며 전력 소모는 채널당 119mW이다.

Abstract

This paper presents a multi-channel transceiver that achieves a data rate of 3.125Gb/s/ch. The LVDS is used because of its noise immunity and low power consumption. And a pre-emphasis circuit is also proposed to increase the transmitter speed. On the receiver side, a low-power CDR(clock and data recovery) using 1/4-rate clock based on dual-interpolator is proposed. The CDR generates needed additional clocks in each recovery part internally using only inverters. Therefore each part can be supplied with the same number of 1/4-rate clocks from a clock generator as in 1/2-rate clock method. Thus, the reduction of a clock frequency relaxes the speed limitation and lowers power dissipation. The prototype chip is comprised of two channels and was fabricated in a 0.18㎛ standard CMOS process. The output jitter of transmitter is 100ps, peak-to-peak(0.31UI) and the measured recovered clock jitter is 47.33ps, peak-to-peak which is equivalent to 3.7% of a clock period. The area of the chip is 3.5㎟ and the power consumption is about 119mW/ch.

Keywords: Transceiver, CDR(Clock Data Recovery), Transmitter, Receiver, LVDS

I. 서 론

반도체 공정 기술의 발달 및 고집적화 추세와 더불어 시스템과 시스템 간, 또는 칩과 칩 간 전송 속도의 대역폭 향상이 요구됨에 따라 대역폭을 증가시키기 위해 4, 8 또는 그 이상의 다채널 송수신기(multi-channel transceiver)가 널리 사용되고 있다. 이와 같이 다수의 송수신기를 하나의 칩에 구현하는 경우 저잡음, 저전력 및 칩 사이즈의 소형화는 매우 중요한 요소이다[1].

송신기의 경우 구동회로의 전력소모 및 EMI/EMC 효과를 줄이기 위해 진폭이 작고 차동 신호 전송에 의해 잡음에 둔감한 LVDS(low-voltage differential-sig-naling) 방식이 사용되고 있다. 일반적으로 LVDS 구동회로는 저전력이라는 장점에도 불구하고 타 고속 구동회로에 비해 출력단의 기생 커패시턴스가 크고 구동 전류가 작기 때문에 Gb/s급 고속 전송에는 적합하지 않다.

* 학생회원, *** 정회원 전북대학교 전자정보공학부
(Division of Electronics & Information Engineering, Chonbuk National University)
** 정회원, 전자부품연구원
(Korea Electronics Technology Institute)
접수일자: 2009년6월26일, 수정완료일: 2009년9월1일

본 논문에서는 입력 데이터의 짧은 천이 구간에서 추가 전류를 공급하는 간단한 구조의 LVDS용 프리엠퍼시스 회로를 제안하였고, 이를 이용해 Gb/s급 송신기에 LVDS 구동 회로를 적용하였다.

수신기의 경우 CDR(Clock and Data Recovery)은 잡음이 포함된 데이터로부터 클록을 추출하고 이 클록에 의해 전송된 데이터를 복원해내는 핵심적인 일을 담당한다. CDR을 이용하여 데이터를 복원해내기 위해서는 데이터의 bit-rate와 동일한 주파수의 클록이 필요하다. 이때, 다중 위상 클록(multi-phase clock)을 이용하게 되면, bit-rate의 1/2 혹은 1/4-rate 클록으로도 데이터의 복원이 가능하며 현재까지 1/8-rate 클록을 이용한 복원 방법[2]이 보고되어 있다. 그러나 다중 위상 클록을 이용하여 클록 주파수를 줄이는 경우 필요한 클록의 수가 증가하게 되는 단점을 가진다.

또한 수 기가를 넘어 수십 기가 비트급의 데이터를 처리하기 위한 다채널 송수신기의 경우 각 채널별로 클록생성기를 사용하게 되면 VCO(Voltage-Controlled Oscillator)들 간의 간섭 노이즈에 의해 정상적인 데이터 복원이 어렵게 된다[1]. 이를 해소하기 위해 하나의 클록 생성기를 공유하고 이 클록 생성기로부터 공급된 클록을 각각의 채널에서 독립적으로 리타이밍(re-timing)하여 데이터 복원용 클록으로 사용하는 방식이 보편적으로 사용되고 있다[1, 3~4].

이러한 다채널 수신기에서는 클록들을 각 채널에 공급하는데 소모되는 전력을 최소화하는 것이 매우 중요하다. 또한 증가된 수의 클록들을 리타이밍하기 위해 필요한 시스템의 복잡도 증가를 피하기 위해 클록의 수를 증가시키는 1/4 및 1/8-rate 보다는 1/2-rate 방식이 주로 사용되고 있다[1, 3~4].

그러나 1/2-rate 방식을 사용할 경우 채널당 3Gb/s급 이상의 데이터를 복원하는데 필요한 클록 생성기의 주파수는 CMOS 0.18um 표준 공정을 이용해야 할 경우 공정상의 한계 주파수에 가까우며, 구현한다 해도 저잡음 특성을 내기 어렵다. 또한, 차후 보다 높은 데이터 전송이 요구 될 경우 장애로 작용하게 된다.

따라서 본 논문에서는, 보다 고속의 데이터 복원을 위해서 클록 주파수를 증가시키기 보다는 1/4-rate 방식의 문제점을 해결하여 효율성을 증대시키는 방안이 필요하다는 것에 착안하여, 이중보간(dual-interpolation) 방식을 이용해서 클록 생성기로부터 공급받는 클록의 수를 1/2-rate 방식에서와 동일하게 유지하면서 1/4-rate의 주파수를 가지는 클록으로 데이터를 복원할 수 있는 새로운 구조의 효율적인 CDR을 제안하였다.

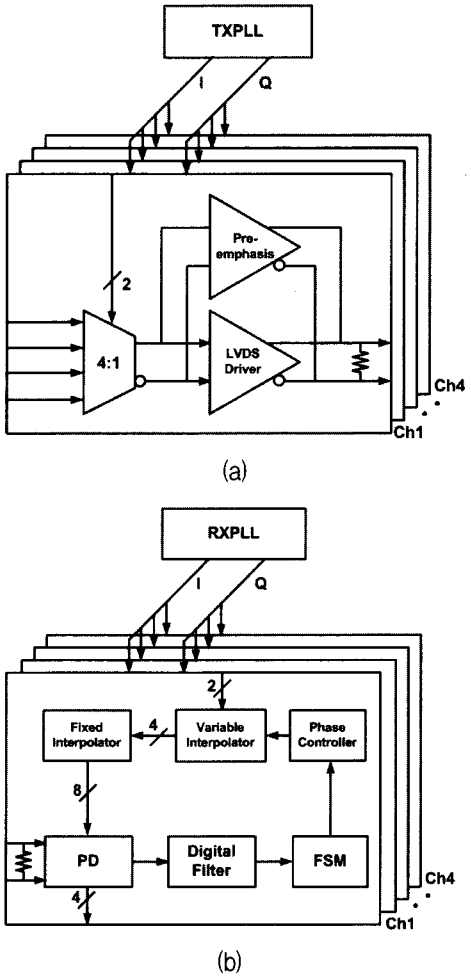


그림 1. 송수신기의 전체 블록도 (a)송신기 (b)수신기
Fig. 1. Overall architecture of the transceiver. (a)trans -mitter (b)receiver.

Ⅱ. 송수신기의 구조

그림 1은 4-채널 송수신기의 블록도로 각각 4개의 송신기와 수신기 그리고 2개의 클록 생성기로 구성되어 있다. 클록 생성기는 bit-rate의 1/4에 해당하는 주파수의 다중 위상 클록(I, Q)을 각 채널에 공급한다. 이와 같은 구조는 일반적인 PLL/VCO 기반의 CDR과 달리 클록 생성기를 공유함으로써 VCO간의 간섭 잡음 문제를 해결할 수 있으며, 전력 소모 및 칩 면적을 줄일 수 있다[3].

송신기의 경우 고속의 디지털 데이터 신호를 전압 진폭이 작은 신호로 변환 후 전송하는 규약인 LVDS를 이용하였으며, 제안하는 프리-엠프시스 회로를 사용하

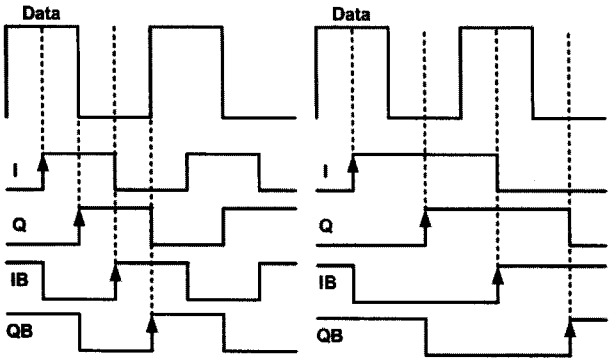


그림 2. 데이터와 클록 간 타이밍도 (a)1/2-rate 방식 (b)1/2-rate 방식과 동일한 클록 수를 유지한 경우의 1/4-rate 방식

Fig. 2. Timing diagram between data and clocks. (a) 1/2-rate method (b)1/4-rate method maintaining the same number of clocks as in 1/2-rate method.

여 송신기의 속도를 향상시켰다.

수신기의 경우 각 채널로 공급된 클록들은 위상 보간부(interpolator)에 의해 데이터의 최적 샘플링 위치로 정렬된다. 샘플링 클록의 정렬을 위해 위상 검출기(phase detector)는 데이터를 입력으로 받아서 위상 보간부로부터 공급된 클록과의 위상 비교를 수행한 후 UP과 DN 신호를 출력한다.

위상 검출기의 출력 값들은 디지털 필터를 통해 UP과 DN간의 수적 우열이 판단되어 하나의 UP, DN 혹은 HOLD 상태로 최종 출력되고 다시 FSM(Finite-State Machine)에 의해 디지털 코드로 변환된다. 위상 조절기(phase controller)는 각 디지털 코드 값에 해당하는 전류를 보간부에 전달하며, plesiochronous 환경에서 필연적으로 생기는 송수신기 간 주파수 차이를 보상할 수 있도록 영역 제한이 없는 무한 위상 이동을 수행한다.

Ⅲ. 수 신 기

1. 1/4-rate 클록을 이용한 데이터 복원의 문제점

기존 CDR의 경우 데이터 입력 속도의 1/2인 half-rate 클록을 이용하여 데이터를 복원하는 방식을 주로 사용하고 있다[1, 3~4]. 그림 2(a)에 1/2-rate 클록을 이용하였을 때 잠김(lock on)상태에서의 데이터와 클록 간의 관계를 도시하였다. 클록 Q, QB에 의하여 데이터의 천이 에지(transition edge)가 검출되고, 이 정보는 클록 I와 IB가 데이터 최적 샘플링위치를 찾아가는데

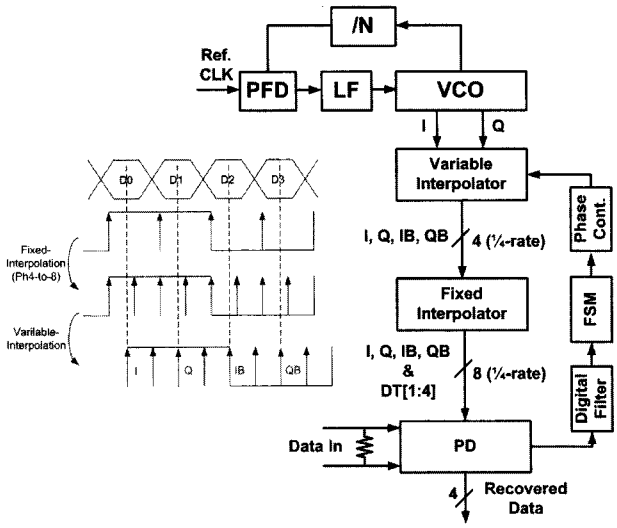


그림 3. 제안하는 1/4-rate 클록 방식을 이용한 CDR

Fig. 3. Proposed CDR using 1/4-rate clock method.

사용된다.

그림 2(b)는 클록 생성기로부터 1/2-rate 방식과 같은 수의 클록을 공급 받았을 때 데이터와 1/4-rate 클록 간의 타이밍 관계를 보여준다. 1/4-rate 클록을 사용할 경우, 4개의 다중 위상 클록(I, IB, Q, QB)으로 데이터를 샘플링 해야 한다. 그러나 1/2-rate 방식과는 달리데이터의 최적 샘플링 위치를 찾아가기 위해 데이터 천이 정보를 제공해야 할 클록들이 존재하지 않는다.

만약 이들 클록을 클록 생성기로부터 직접 공급 받게 되면 앞서 설명한 바와 같이 클록 공급을 위한 전력 소모가 증가하게 되며, 다수의 클록을 리타이밍 하는데필요한 하드웨어적 부담이 가중된다. 따라서 이 클록들을 클록 생성기에서 공급 받지 않고 각 채널의 복원 부에서 자체적으로 생성하는 것이 효율적이다.

[2]에서는 DCTD(Data & Clock Transition Detector)를 이용한 데이터 천이 검출법을 사용하였다. 이러한 방법은 하드웨어적인 부담이 커서 다채널 송수신기 응용에는 부적합하며 다수의 플립플롭을 사용함으로써 생기는 래이턴시(latency)에 의해 CDR의 대역폭 저하라는 치명적인 부작용이 초래된다.

본 논문에서는 하드웨어의 부담과 대역폭 저하를 일으키는 플립플롭을 사용하지 않고 인버터만을 이용해서 데이터 천이용 클록을 생성하는 방법을 제안하였다.

2. 제안하는 1/4-rate 클록을 이용한 복원 방식

그림 3에 제안하는 1/4-rate 클록 방식을 이용한 CDR의 전체 구성을 나타내는 블록 다이어그램을 보였

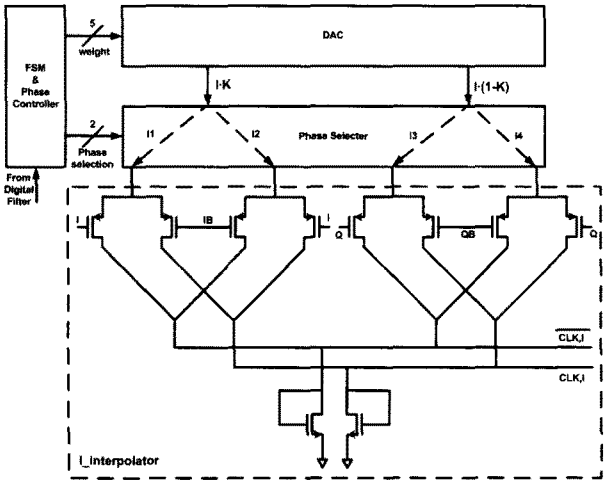


그림 4. 가변 위상 보간 회로
Fig. 4. Variable phase interpolator.

다. 클록 생성기는 데이터 bit-rate의 1/4에 해당하는 주파수를 갖는 다중 위상 클록을 각 채널에 공급한다. 이때 공급하는 클록의 수는 1/2-rate 방식에서와 동일하다. 각각의 복원 부는 고정 및 가변 위상 보간부(fixed and variable interpolator)로 이루어진 이중 보간부를 포함하고 있으며 고정 보간부는 1/4-rate 클록을 이용한 복원을 가능케 하는 블록이다.

이중 보간부는 데이터의 최적 샘플링 위치에 복원클록을 위치시키고 수신기 클록과 입력 데이터 간의 주파수 차이를 보상하기 위해 클록의 위상 정렬을 수행하는 가변 위상 보간 회로와 보간이 끝난 클록들 사이에 데이터 천이 정보를 검출하기 위한 클록을 추가 생성하기 위한 고정보간 회로로 구분된다.

가변 위상 보간 회로는 복원 클록이 데이터의 최적 샘플링 위치를 계속 추적할 수 있기 위해 출력 클록의 위상 변화가 가능해야한다. 본 논문에 사용된 가변 위상 보간 회로를 그림 4에 도시하였다. 가변 위상 보간 회로는 클록 생성기로부터 클록 I와 Q를 입력으로 받아서 전류 가중치 K에 따라 입력 클록 I, Q 사이의 어느 지점에 출력 클록을 위치시킨다. 식(1)을 통해 입력된 클록과 출력 클록의 관계를 구체화하였다.

$$CLK,I = K \cdot I + (1-K) \cdot Q \qquad (1)$$

그림 5에 설계된 고정 위상 보간 회로를 보였다. 앞서 설명한 가변 위상 보간 회로와 달리, 보간을 통해 추가로 출력된 DT[1:4] 신호가 인접한 두 출력 사이의 중앙에 위치하기만 하면 되기 때문에 인버터 조합만으로 구현이 가능하다.

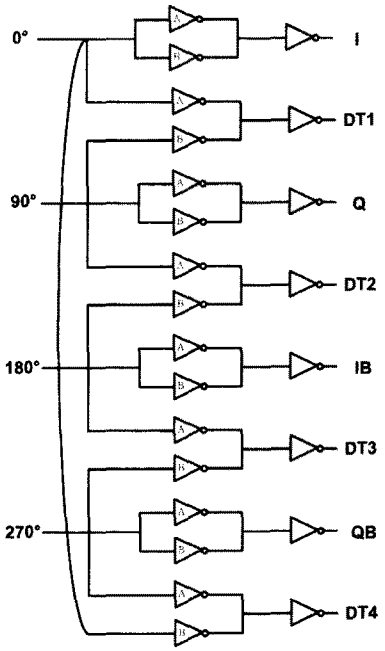


그림 5. 제안한 1/4-rate CDR에 사용된 고정 위상 보간 회로
Fig. 5. The fixed phase interpolator used in the proposed 1/4-rate CDR.

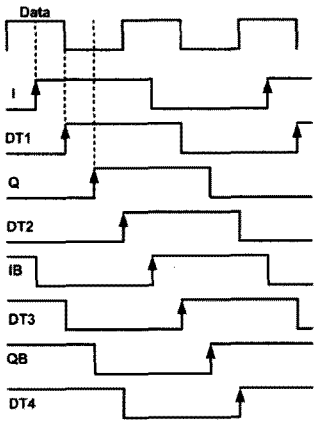


그림 6. 제안하는 1/4-rate 클록을 이용한 CDR의 클록과 데이터 간 타이밍도
Fig. 6. Timing diagram between data and clocks of the proposed CDR using 1/4-rate clock.

고정 보간 회로는 인접한 0°와 90°에 해당하는 클록을 입력으로 받아서 인버터 지연만을 가지는 두 신호 I와 Q를 출력하며 그 사이에 보간에 의해 제 3의 출력 신호 DT1을 생성한다. 나머지 출력에 대해서도 동일한 동작이 이루어지며 추가된 출력을 정중앙에 위치시키기 위한 A, B 인버터의 사이즈는 일반적으로 5:5가 아닌 4:6의 값을 가지며 시뮬레이션을 통한 신중한 고려가 필요하다[5].

다중 위상 클록(I, Q, IB, QB)과 고정 보간부에 의해

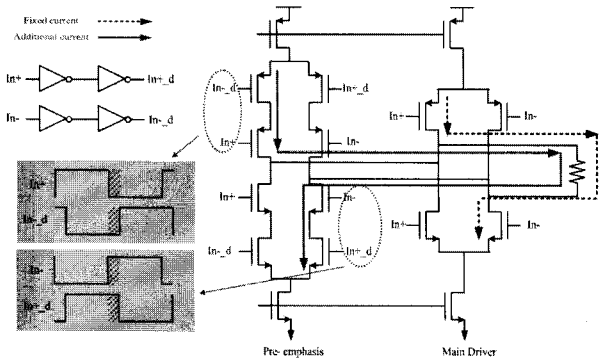


그림 7. 제안하는 프리-엠퍼시스 회로의 동작
Fig. 7. The operation of the proposed pre-emphasis circuit.

표 1. 프리-엠퍼시스 유무에 따른 송신기 성능 비교
Table 1. Performance comparison of the transmitter.

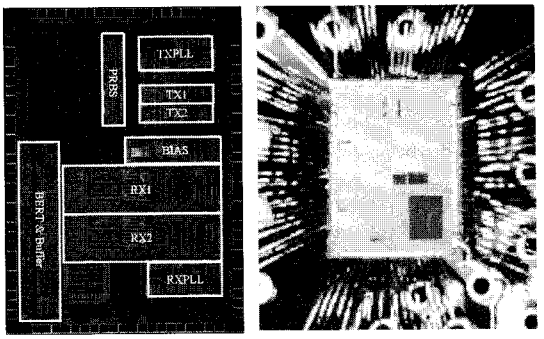
	공정	전류	진폭	지터
무	TT	6.5mA	190mV	62ps
유		7.5mA	250mV	44ps
무	SS	6mA	180mV	91ps
유		6.5mA	250mV	78ps
무	FF	7mA	190mV	55ps
유		7.9mA	250mV	39ps

추가된 클록(DT1~4)간의 관계를 그림 6에 보였다. 가변 보간을 통해 생성된 I, Q, IB, QB 클록은 데이터를 샘플링 하는데 이용되며, 고정 보간을 통해 추가 생성된 DT1~4 클록은 데이터 천이를 검출하여 가변 보간을 수행하기 위한 정보로 사용된다.

이와 같이 인버터만을 사용하여 데이터 천이용 클록을 추가함으로써 플립플롭을 사용하여 생기는 래이턴시(latency)에 의한 CDR 대역폭 저하를 막고, 하드웨어 복잡도를 크게 낮추는 것이 가능하였으며 그림 2(a)와 6의 비교를 통해 낮은 주파수의 클록을 이용하고도 결과적으로 동일한 동작을 수행한다는 것을 알 수 있다.

Ⅳ. 송 신 기

그림 7은 제안하는 프리-엠퍼시스 회로를 LVDS 구동 회로와 함께 도시한 것이다. 프리-엠퍼시스 회로는 CMOS 레벨 입력 In+와 In-를 받아 인버터 두 단으로 이루어진 버퍼를 통과시킨다. 버퍼 지연을 통해 생성된 신호는 In+_d 와 In-_d로 구분되며 In+, In-_d 신호와 In-, In+_d 신호 사이에는 각각 동시에 'high' 또는 'low'가 되는 구간이 존재하게 된다. 이 구간 동안 프리



(a) (b)

그림 8. (a)레이아웃 (b)칩 사진
Fig. 8. (a)layout (b)chip photo.

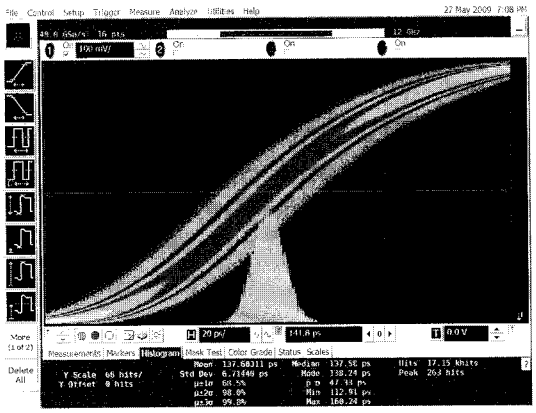


그림 9. 복원 클록의 지터 히스토그램
Fig. 9. Recovered clock jitter histogram.

-엠퍼시스 회로에서 일시적으로 LVDS 구동 회로에 전류를 추가 공급하게 되며 데이터 천이 시 증가된 전류류를 추가 공급하게 되며 데이터 천이 시 증가된 전류에 의하여 LVDS 구동 회로를 이용한 송신기의 Gb/s급 고속 동작이 가능하다. 모의실험 결과 프리-엠퍼시스 회로를 사용함으로써, 전류량은 최대 13%가 증가했으나, 진폭의 증가는 최소 33%, 지터는 최소 14%가 감소하여 고속 전송에서 프리-엠퍼시스 회로를 사용하는 것이 유리하다는 결론을 얻었다. 표 1에 프리-엠퍼시스 회로의 유무에 따른 송신기의 성능 비교 결과를 정리하였다.

Ⅴ. 측정 결과

테스트용 칩은 0.18㎛ CMOS 표준 공정을 이용하여 제작 및 검증되었다. 그림 8은 제작된 칩의 레이아웃과 칩 사진으로 각각 2개씩의 송신기와 수신기 및 클록 생성기로 총 2채널을 구성하고 있다. 전체 칩의 면적은

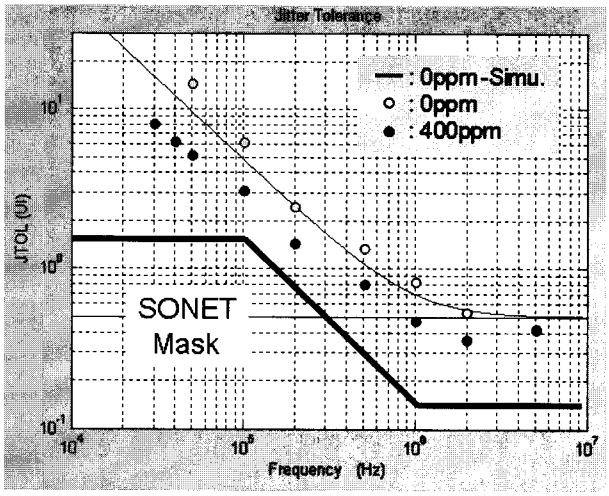


그림 10. 수신기의 JTOL(@3.125Gb/s)
Fig. 10. Receiver jitter tolerance.(@3.125Gb/s)

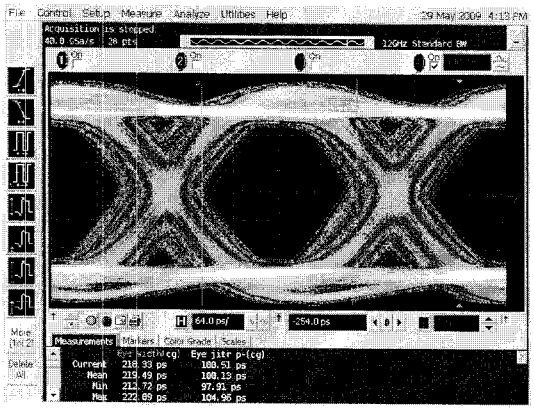


그림 11. 송신기의 출력 아이-다이어그램(@3.125Gb/s)
Fig. 11. Transmitter output eye-diagram.(@3.125Gb/s)

패드를 포함하여 3.5㎟로 클록생성기가 0.15㎟, 송신기와 수신기가 각각 0.04㎟, 0.23㎟의 면적을 가진다.

테스트 시 입력 장비는 250Khz~30Ghz의 신호를 생성하는 HP사의 신호 발생기(E4432B)를 156.25Mhz의 기준 클록 발생용으로 사용하였다. 출력 측정 장비로는 시간 축 상의 파형을 검출하기 위한 Agilent사의 오실로스코프(DSA91204A)가 사용되었다.

그림 9는 송수신기 간 400ppm의 주파수 차이가 있을 때 측정 된 수신용 복원 클록의 지터 히스토그램으로 3.125Gb/s 데이터 입력 시 47.33ps(peak-to-peak)의 지터를 보였으며 이는 복원 클록 주기의 3.7%에 해당한다. 측정 상의 편의를 위해 BER(bit error rate) 테스트용 블록을 온-칩(on-chip)화 시켰으며 측정된 BER은 2^7-1 bit의 PRBS 입력 데이터에 대해 10^{-12} 이하였다.

송수신기 클록 간 주파수 차이에 따른 수신기의 JTOL(jitter tolerance)측정 그래프를 그림 10에 보였다.

표 2. 송수신기의 성능 요약
Table 2. Performance summary of the transceiver.

공정	0.18㎛
허용 주파수 오프셋	±400ppm
전원 전압	1.8V / 3.3V(I/O)
면적	3.5㎟
전력 소모	119mW @3.125Gb/s
복원 된 클럭의 지터	47.33psPkPk @3.125Gb/s
송신 데이터의 지터	100psPkPk @3.125Gb/s
BER	$<10^{-12}$

표 3. 제안하는 송수신기의 성능 비교
Table 3. Performance comparison of the proposed transceiver.

블록	[1]	[4]	본 논문
데이터율 (Gb/s)	3.2	3.125	3.125
클록 지터	16.2ps	57.8ps	47.33ps
전력 소모	112mW/ch	96mW/ch	119mW/ch
주파수 오차	±400ppm	±400ppm	±400ppm
전원 전압	1.2V	1.5V	1.8V / 3.3V
공정	0.13㎛	0.16㎛	0.18㎛
면적	1.84㎟	2㎟	3.5㎟

송신기 데이터의 출력 지터는 3.125Gb/s로 전송 시 약 100ps(0.31UI)로 아이-오프닝(eye-opening)은 약 0.69UI이다. 이 때 측정된 송신기의 출력 아이-다이어그램(eye-diagram)을 그림 11에 보였다. 측정된 전력 소모는 채널당 119mW이며 송신기와 수신기 각각이 34mW와 85mW의 전력 소모를 보였다. 표 2에 송수신기의 성능을 요약 정리하였으며 표 3에 타 논문과의 성능 비교 결과를 보였다.

VI. 결 론

본 논문에서는 0.18㎛ CMOS 표준 공정을 이용하여 채널당 3.125Gb/s의 대역폭을 가지는 다채널 송수신기를 설계하였다. 송신기의 경우 고속의 디지털 데이터신호를 진폭이 작은 신호로 변화 후 전송하는 규약인 LVDS를 이용하였으며, Gb/s급 전송을 위하여 프리-엠퍼시스 회로를 제안하였다. 이로써, 최대 13%의 전류량이 증가하였으나 진폭 증가는 최소 33%, 지터 감소는 최소 14%라는 성능 향상을 보였으며, 3.125Gb/s 데이터의 출력 지터는 100ps(0.31UI), 아이-오프닝은 0.69UI였다.

수신기의 경우 이중 보간 방식을 기반으로 1/4-rate

클록을 이용하는 효율적인 CDR을 제안하였다. 제안한 CDR은 1/2-rate 클록 방식과 동일한 공급 클록 수를 유지하면서 각각의 복원부에서 추가로 필요한 클록을 플립플롭을 이용하지 않고 인버터만으로 생성함으로써 전력 소모와 하드웨어적 크기 면에서의 문제점을 해결할 수 있었다.

이로 인해 보다 높은 전송률의 요구 시 장애 요인 중 하나인 클록 생성기의 주파수를 낮추어 고속 전송을 가능케 하였으며, 공급 클록의 수를 증가시키지 않고 1/4-rate 주파수의 클록을 이용함으로써 CDR을 저전력화하였다. 측정 결과 복원된 클록의 지터는 3.125Gb/s 2^7-1 PRBS 데이터에 대해 47.33ps(peak-to-peak)임을 확인하였으며, 전체 전력소모는 채널당 119mW이다.

참 고 문 헌

[1] Fuji Yang, Joseph Othmer, et al., "A CMOS low-power multiple 2.5-3.125Gb/s serial link macrocell for high IO bandwidth network ICs," *IEEE J. of Solid-State Circuits*, Vol. 37, no. 12, Dec. 2002.

[2] Seong-Jun Song, et al., "A 4-Gb/s CMOS clock and data recovery circuit using 1/8-rate clock technique" *IEEE J. of Solid-State Circuits,* Vol. 38, 1213-1219, JULY. 2003.

[3] Rainer Kreienkamp, Hubert Siedhoff, et al., "A 10-Gb/s CMOS clock and data recovery with an analog phase interpolator," *IEEE J. of Solid-State Circuits,* no. 3, Mar. 2005.

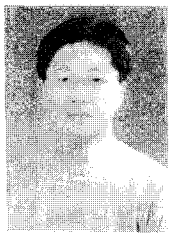
[4] Kun-Yung Ken Chang, Stefanos Sidiropoulos, et al., "A 0.4-4-Gb/s CMOS quad transceiver cell Using on-chip regulated dual-loop PLLs," *IEEE J. of Solid-State Circuits,* Vol. 38, no. 5, May 2003.

[5] B. Garlepp, et al., "A portable digital DLL for high-speed CMOS interface circuits," *IEEE J. of Solid-State Circuits,* Vol. 29, pp. 1491-1496, Dec. 1994.

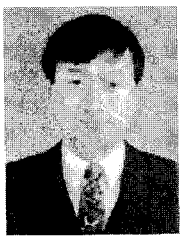
저 자 소 개

안 희 선(학생회원)
2003년 전북대학교 전자공학과 학사 졸업.
2005년 전북대학교 전자공학과 석사 졸업.
2007년 전북대학교 전자공학과 박사 수료.
2004년~현재 전북대학교 전자정보공학부 박사 과정.
<주관심분야 : High-Speed Serial Link, 아날로그 회로 설계>

박 원 기(정회원)
1998년 광운대학교 전자공학과 학사 졸업.
2000년 포항공과대학교 전자전기공학과 석사 졸업.
2000년~2005년 삼성전자 반도체 총괄 DRAM 설계실 근무.
2005년~현재 전자부품연구원 근무.
<주관심분야 : High-Speed Serial Link, ADC, Power management>



이 성 철(정회원)
1993년 전북대학교 정보통신공학과 학사 졸업.
1995년 전북대학교 정보통신공학과 석사 졸업.
2008년 전북대학교 전자공학과 박사 졸업.
1995년~현재 전자부품연구원 책임연구원 근무.
<주관심분야 : 센서신호처리, SoC, 고속 I/O>



정 항 근(정회원)
1977년 서울대학교 전자공학과 학사 졸업.
1979년 한국과학기술원 전기전자공학 석사 졸업.
1989년 플로리다대학교 전기공학 박사 졸업.
1979년~1982년 한국 전자통신연구소 재직.
1989년~1991년 모토롤라 고급기술연구소 재직.
1991년~현재 전북대학교 전자정보공학부 교수
<주관심분야 : 아날로그, RF 회로설계>