

논문 2009-46TC-9-5

Sigma-Delta A/D 변환기의 새로운 이득 최적화 방식

(New Gain Optimization Method for Sigma-Delta A/D Convertors)

정 요 성*, 장 영 범**

(Yo Sung Jung and Young Beom Jang)

요 약

이 논문에서는 Sigma-Delta A/D 변환기의 새로운 이득 최적화 방식을 제안한다. 제안된 방식은 변조기의 SNR을 최대화하는 상위 10개의 이득 값 후보군을 선정된 후에 데시메이션 필터를 통과시켜 가장 작은 MSE를 보이는 이득 값을 최적의 이득으로 결정하는 방식이다. 1차의 단일 비트 변조기의 실험 모델을 통하여 변조기의 후보군 중 6위를 보인 이득 값이 가장 작은 MSE를 보였다. 제안된 방식은 변조기의 SNR을 최대화하는 기존의 아이디어와 데시메이션 필터로 사용되는 CIC 필터의 샘플링 특성을 이용하여 최적의 이득 값을 결정하는 장점을 갖는다. 이 논문에서 제안한 이득 최적화 방식은 변조기의 실험을 통하여 더 많은 후보군을 선정하여 CIC 필터를 시뮬레이션하면 더 좋은 결과를 얻을 수 있을 것이다.

Abstract

In this paper, we propose new gain optimization method for Sigma-Delta A/D converters. First, in proposed method, the 10 candidates are selected through SNR maximization for Sigma-Delta modulator. After then, it is shown that optimum gains can be obtained through MSE calculation for CIC decimation filter. In the simulation, The proposed method has advantages which utilize SNR maximization for modulator and MSE minimization for CIC decimation filter. The more candidates are chosen in SNR maximization for modulator, the better gains can be obtained in MSE minimization for CIC decimation filter.

Keywords : Sigma-Delta modulator, Oversampling, CIC(Cascaded Integrator Comb) filter, SNR

I. 서 론

최근 다양한 방식의 무선통신 서비스가 활발해짐에 따라 많은 양의 데이터를 빠른 속도로 보내야 하므로 높은 데이터 율을 갖는 A/D 변환기의 필요성이 증대되고 있다. A/D 변환기의 종류는 각 스테이지의 일괄 동작으로 고속 변환이 가능하고 고주파 신호에 대한 광범위한 dynamic range를 제공하는 pipeline A/D 변환기,

계측기나 주파수가 높은 신호를 변환할 때 사용하는 Flash A/D 변환기, 속도는 느리지만 내부구조가 비교적 간단하여 데이터 인식에 주로 사용되는 Successive approximation A/D 변환기, 그리고 Oversampling으로 고해상도를 나타낼 수 있고 주로 디지털 오디오용으로 사용되는 Sigma-Delta A/D 변환기로 나눌 수 있다.^{1)~2)} 최근에는 통신용 시스템 반도체에서도 Sigma-Delta A/D 변환기가 활발히 연구되고 있다. Sigma-Delta A/D 변환기는 Oversampling으로 주파수 영역이 넓어지기 때문에 anti-aliasing 필터를 설계하지 않아도 되며, noise shaping 기법으로 인해 신호 대역 안에 있는 잡음을 신호 대역 밖으로 밀어내기 때문에 높은 SNR을 얻어 고해상도로 구현할 수 있는 장점이 있다.

Sigma-Delta A/D 변환기는 대부분이 아날로그 회로

* 학생회원, 상명대학교 컴퓨터정보통신공학과
(Graduate School, Sangmyung University)

** 정회원, 상명대학교 정보통신공학과
(College of Engineering, Sangmyung University)

※ 본 연구는 교육과학기술부와 한국산업기술재단의 지역혁신인력양성사업으로 수행된 연구결과임.

접수일자: 2009년2월16일, 수정완료일: 2009년9월14일

인 변조기(modulator)와 디지털 집적회로인 데시메이션 회로(decimation circuits)로 구성된다. 지금까지 Sigma-Delta A/D 변환기의 연구는 변조기와 데시메이션 회로에 대하여 각각 독립적으로 연구되어 왔다. 특히 Sigma-Delta 변조기에 대한 연구는 이득 최적화 연구가 활발히 진행되었다.^[3~4] 또한 데시메이션 회로에 대한 효율적인 설계 방식도 많은 연구가 진행되었다.^[5~6]

그러나 이 논문에서는 변조기의 이득 최적화 과정에 데시메이션 회로를 연동하여 시뮬레이션 함으로써 변조기와 데시메이션 회로의 통합연구를 통하여 더 나은 Sigma-Delta A/D 변환기를 설계할 수 있음을 보인다.

II장에서는 Sigma-Delta A/D 변조기의 시간영역의 해석에 대하여 알아보고, III장에서는 제안된 변조기의 이득 최적화 방식에 대하여 기술하며, IV장에서는 제안된 방식에 대한 시뮬레이션 결과를 살펴보고 V장에서 결론을 맺는다.

II. 설계할 Sigma-Delta A/D 변환기 블록도

Sigma-Delta A/D 변환기는 그림 1과 같이 Oversampling 회로로 이루어진 Sigma-Delta 변조기와 이에 대한 1 bit data stream의 높은 샘플링 속도를 낮은 샘플링 속도(Nyquist rate)의 데이터 열로 변환시키는 데시메이션 회로로 구성되어 있다.

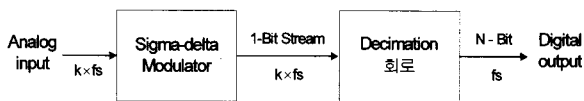


그림 1. Sigma-Delta A/D 변환기 블록도
Fig. 1. Block diagram of Sigma-Delta A/D Converter.

1. Sigma-Delta 변조기

Sigma-Delta 변조기는 아날로그 입력을 디지털 펄스로 변환하는 데이터 변환기로서 이때 디지털 펄스의 평균값이 아날로그 입력 값의 평균값과 같도록 펄스를 발생시키는 일종의 제어형 발진회로이다.^[7] 기본구조는 그림 2와 같이 적분기(integrator), 비교기(comparator), Latch, 그리고 1비트 DAC로 구성된다.

아날로그 입력 신호와 Negative 피드백을 통한 1 bit D/A 변환기의 출력의 차가 적분기를 통과한다. 적분기의 출력이 양(+)인 구간에서는 비교기 출력은 “high(1)”가 되고 음(-)인 구간에서는 “low(0)”가 된다. 변조기의

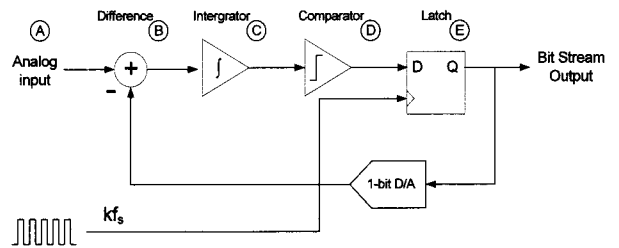


그림 2. Sigma-Delta Modulator의 블록도
Fig. 2. The Block Diagram of Sigma-Delta Modulator.

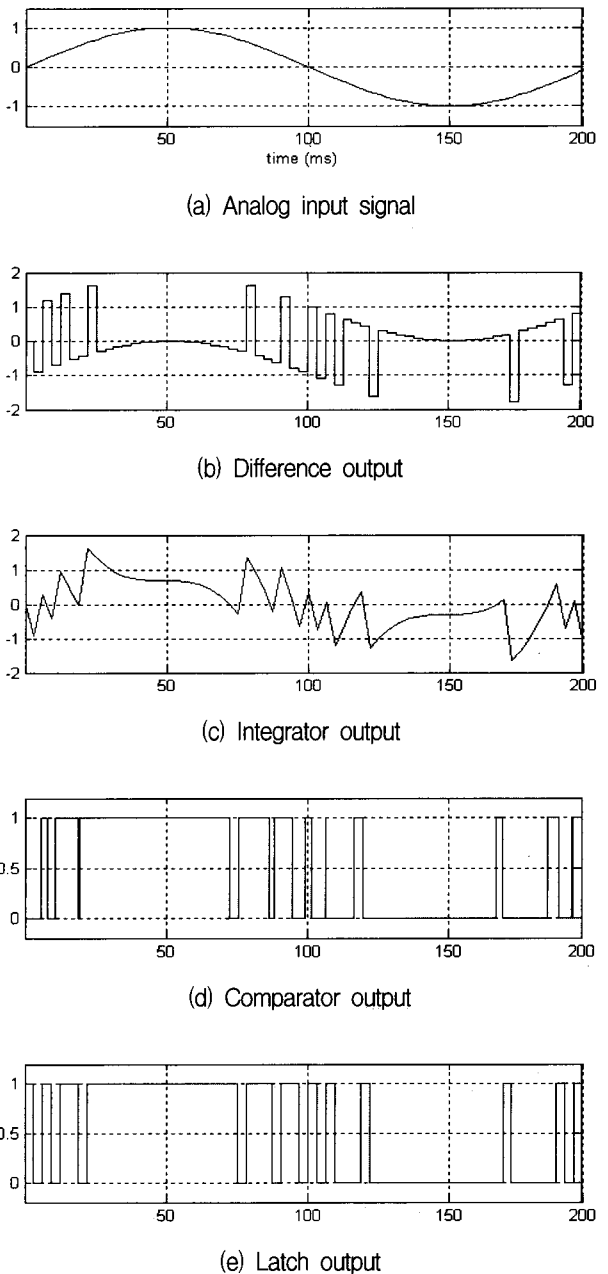


그림 3. Sigma-Delta Modulator의 출력 파형
Fig. 3. The Output waveform of Sigma-Delta Modulator.

유일한 디지털 회로인 Latch는 비교기의 출력을 클럭에 동기화시키기 위한 회로이다. 이 Latch의 출력인 1과 0의 bit stream이 데시메이터 회로로 입력된다.

이 bit stream은 1 bit로 출력됨과 동시에 피드백 루프를 통해 1 bit D/A 변환기의 입력으로 들어가며 1 bit D/A 변환기는 디지털 값 1이 입력되면 $+V_{ref}$ 값으로 출력되고, 디지털 값 0이 입력되면 $-V_{ref}$ 값으로 출력된다. Matlab을 이용하여 그림 2의 각각의 노드에 대한 출력 파형은 나타내면 그림 3과 같다.

시뮬레이션에 사용된 아날로그 입력은 $-1V \sim 1V$, 0.5 MHz 주파수의 sin 파를 사용하였으며 그림 3(a)와 같다. 이 실험에서 아날로그 입력신호의 최대 주파수는 1 MHz로 가정하였다. 따라서 Nyquist 샘플링주파수는 2 MHz이며 Nyquist 샘플링인 경우에는 그림 3(a)의 0.5 MHz의 한 주기 내에서는 4번의 샘플링이 발생하여야 한다. 또한 이 실험에서 OSR(Over Sampling Ratio)을 16으로 설정하였다. 따라서 Sigma-Delta 변조기의 샘플링주파수는 32 Mhz가 되며 그림 3의 0.5 MHz의 한 주기 내에서는 (b)에서 보듯이 64개의 샘플링이 발생한다.

이 실험에서 펄셈기 출력과 적분기 출력은 각각 그림 3의 (b)와 (c)와 같다. 비교기는 그림 3(c)의 신호를 입력신호로 받아 (d)와 같은 신호를 출력한다. 즉 (c)의 양의 부분은 1로 출력되며 음의 부분은 0으로 출력된다. 비교기의 출력을 클럭에 동기시키기 위하여 마지막으로 Latch를 사용하며 출력신호는 그림 3(e)와 같다. 이 신호는 1-bit D/A를 통하여 1은 $+V_{ref}$ 로 0은 $-V_{ref}$ 로 변환되어 펄셈기로 피드백된다.

2. Decimation 회로

Oversampling 방식의 Sigma-Delta A/D 변환기의 데시메이션 회로는 기저대역(baseband)으로 엘리머싱 되는 양자화 잡음을 제거하고 1 bit data stream의 높은 샘플링 속도를 낮은 샘플링 속도의 데이터 열로 변환시키는 기능을 수행한다. 다음 그림 4는 데시메이션 회로의 블록도이다.

Sigma-Delta A/D 변환기용 데시메이션 필터는 일반

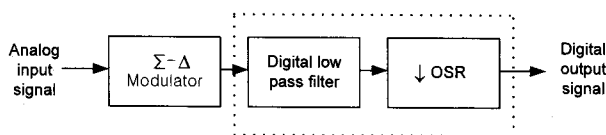


그림 4. Decimation 회로의 블록도
Fig. 4. Block diagram of Decimation circuits.

적으로 CIC(Cascaded Integrator Comb) 필터^[8]와 HBF(Half Band Filter)를 멀티스테이지로 구성한다.

III. 제안된 Sigma-Delta A/D 변환기 이득 최적화 방식

1. Sigma-Delta A/D 변환기 설계사양

Sigma-Delta 변조기의 구조는 단일 비트와 멀티 비트 구조가 있다. 이 논문에서는 선형성이 뛰어난 단일 비트 구조를 사용하여 이득 최적화 설계 방식을 유도하도록 한다. 또한 Sigma-Delta 변조기는 단일 스테이지 구조와 변조기를 cascade로 연결하여 사용하는 멀티스테이지 구조로 나눌 수 있는데 여기에서는 변조기와 데시메이션 회로의 공동 시뮬레이션을 위하여 변조기의 구조가 단순화되어야 하므로 1차의 단일 스테이지를 채택하였다. 이 논문에서 이득 최적화 방식을 유도하는데 사용한 사양은 다음과 같다.

<Sigma-Delta A/D 변환기 설계사양>

1. 입력신호 최대주파수 : 1 MHz ($-1V \sim 1V$)
2. OSR : 16
3. 샘플링주파수 : 32 MHz (OSR=16)
4. 단일 비트 변조기 구조
5. 1차의 단일 스테이지 변조기 구조
6. 2차 CIC 데시메이션 필터 구조
7. HBF 사용하지 않음

2. Sigma-Delta 변조기 설계

설계된 Sigma-Delta 변조기는 그림 5와 같다. 그림 5에서 보듯이 실제 변조기는 이득 a, b, c를 사용하여 양자화 에러를 최소화하도록 최적화하여야 한다.

그림 5에서 이득 a, b, c 모두 1을 사용한 경우에 1 V 진폭의 아날로그 입력에 대한 bit stream 출력은 그림 6의 (a)와 (b)와 같다.

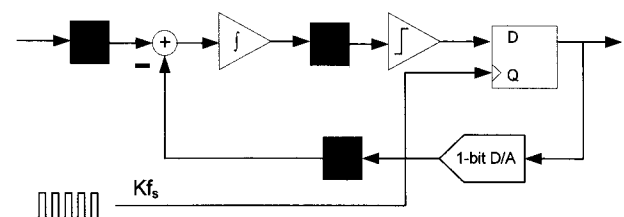


그림 5. 실제 1차 Sigma-Delta A/D 변조기
Fig. 5. Practical structure of Sigma-Delta A/D modulator.

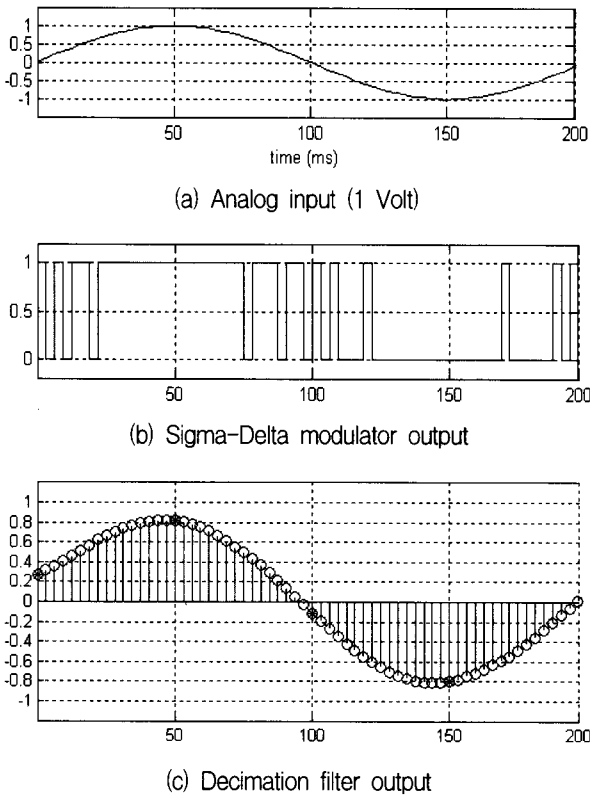


그림 6. 1 V 신호에 대한 변조기와 CIC 필터 출력
Fig. 6. Modulator and CIC filter output for 1 V signal.

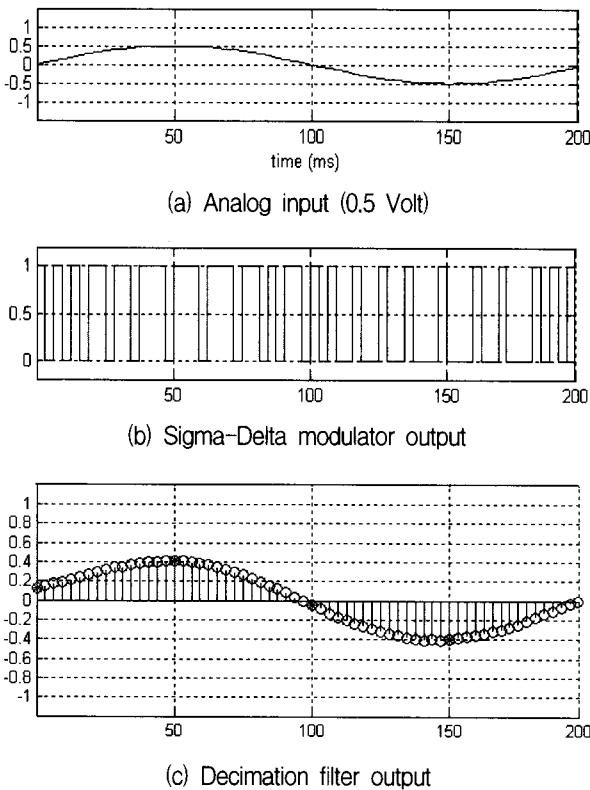


그림 7. 0.5 V 신호에 대한 변조기와 CIC 필터 출력
Fig. 7. Modulator and CIC filter output for 0.5 V signal.

변조기의 출력은 아날로그 신호의 크기를 16개에 대한 $1-(-1)$ 의 수로 변환시킨다. 그림 6(b)의 64개의 샘플에 대하여 3 지점에서의 $1-(-1)$ 의 수를 살펴보자. 먼저 24번째 샘플에 대한 $1-(-1)$ 의 수는 $16-0=16$ 으로 변환된다. 40번째 샘플에서의 $1-(-1)$ 의 수는 $8-(-8)=0$ 으로 변환된다. 56번째 샘플에서는 $1-(-1)$ 의 수는 $0-16=-16$ 으로 변환된다. 즉 16개의 샘플마다 $1-(-1)$ 의 수가 16, 0, -16, 0을 반복하고 있음을 알 수 있다.

0.5 V 진폭의 아날로그 입력에 대한 bit stream 출력은 그림 7의 (b)와 같다.

그림 7(b)의 64개의 샘플에 대하여 3 지점에서의 $1-(-1)$ 의 수를 살펴보자. 먼저 24번째 샘플에 대한 $1-(-1)$ 의 수는 $12-4=8$ 로 변환된다. 40번째 샘플에서의 $1-(-1)$ 의 수는 $8-(-8)=0$ 으로 변환된다. 56번째 샘플에서는 $1-(-1)$ 의 수는 $4-12=-8$ 로 변환된다. 즉 16개의 샘플마다 $1-(-1)$ 의 수가 8, 0, -8, 0을 반복하고 있음을 알 수 있다.

3. CIC 데시메이션 필터 설계

Sigma-Delta A/D 변환기의 데시메이션 필터는 일반적으로 CIC 필터와 HBF의 멀티 스테이지로 구성한다. 그러나 이 논문에서는 변조기와 데시메이션 필터의 관계를 시뮬레이션 하기 위하여 데시메이션 필터로서 CIC 필터만 사용하여 단순화하였다. CIC 필터의 전달 함수는 다음과 같다.

$$H(z) = \left(\frac{1}{M} \frac{1-z^{-M}}{1-z^{-1}} \right)^L = \left(\frac{1}{16} \frac{1-z^{-16}}{1-z^{-1}} \right)^2 \quad (1)$$

1차의 변조기를 사용하였으므로 CIC 필터의 차수는 $L=2$ 를 사용하였고 OSR은 16이므로 CIC 필터의 데시메이션 인수는 $M=16$ 을 사용하였다. 식(1)의 Recursive 형을 Non-recursive 형의 CIC 필터로 나타내면 다음과 같다.

$$H(z) = \left(\frac{1}{16} \frac{1-z^{-16}}{1-z^{-1}} \right)^2 = \left(\frac{1}{16} \sum_{i=0}^{15} z^{-i} \right)^2 \quad (2)$$

식 (2)에서 보듯이 CIC 필터는 항상 과거 16개 샘플의 합을 출력으로 내보냄을 알 수 있다.

1 V와 0.5 V 진폭의 sin 파에 대한 변조기 출력을 2차의 CIC 필터로 입력시키면 그 출력은 각각 그림 6(c), 7(c)와 같다. 그림 6(c)와 7(c)를 16으로 데시메이션 하면 Nyquist 샘플링 값을 얻게 된다.

여기서 그림 5의 a, b, c를 어떻게 세팅하였을 때 가장 정확한 샘플링 값을 얻을 수 있을까? 지금까지의 논문에서는 변조기 회로만을 시뮬레이션하여 이득 a, b, c를 최적화하였다. 즉, 변조기의 SNR을 최대로 만드는 이득 a, b, c를 구하여 사용하였다.

그러나 이 논문에서는 그림 6(c)와 그림 7(c)의 CIC 필터 출력 샘플링 값이 아날로그 입력신호와 가장 일치하도록 하는 a, b, c의 값을 구하는 방식을 제안한다. 제안된 방식은 먼저 기존의 이득 최적방식을 사용하여 SNR을 최대로 하는 이득 a, b, c의 10개의 후보를 찾는다. 여기에서 10개의 후보군은 더 추가하거나 감할 수 있다. 이렇게 구한 10개의 후보에 대하여 각각 CIC 필터를 통과시킨 후 가장 좋은 결과를 보인 후보를 최적의 이득으로 결정한다. 10개의 후보에 대한 각각의 실험에서는 0.1 V부터 1 V까지 10개의 크기를 변조기에 입력시켜서 CIC 필터의 출력을 구한 후 MSE를 구하여 최적의 이득을 찾았다. 즉 1 V의 입력에 대하여 CIC 필터 출력이 0.9였다면 0.1 V의 입력에 대하여 CIC 필터의 출력은 0.09가 되어야 이상적이다. 그러나 실험에서는 CIC 필터의 출력이 0.09가 나오지 않는다. 따라서 0.1 V부터 1 V까지의 10개의 입력에 대한 MSE가 가장 적은 것을 최적의 이득으로 결정한다. 지금까지의 제안 방식을 요약하면 다음과 같다.

<제안된 Sigma-Delta 변조기 이득 최적화 방식>

1. 변조기 이득 최적화 후보 결정: 기존의 SNR을 최대화하는 이득 후보 1위부터 10위까지 10개 결정
2. 각각의 후보에 대하여 다음의 실험
 - 2-1. 0.1 V부터 1 V까지 10개의 아날로그 sin 파 신호를 변조기에 입력
 - 2-2. 각각의 입력신호에 대한 CIC 필터를 출력
 - 2-3. CIC 필터의 출력을 1로 정규화
 - 2-4. MSE 계산
3. 각각의 후보에 대한 2의 실험을 통하여 가장 적은 MSE를 보인 최적의 이득 a, b, c를 결정.

이와 같이 얻어진 이득 a, b, c의 값이 실제 Sigma-Delta A/D 변환기의 양자화 에러를 최소화하는 최적 설계가 될 것이다. CIC 필터의 차수는 2로 하고 데시메이션 인수는 16으로 설정한 CIC 필터를 Recursive 형으로 구현하면 그림 8과 같다.

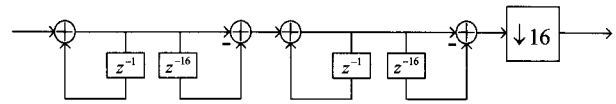


그림 8. Recursive form의 CIC 필터(M=16, L=2)
Fig. 8. CIC Filter of Recursive form(M=16, L=2).

IV. 실험 결과 및 고찰

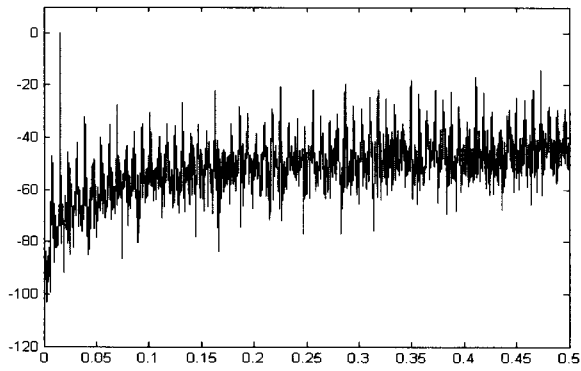
1. Sigma-Delta 변조기 이득 최적 후보 결정

제안된 Sigma-Delta A/D 변환기의 이득 최적 후보 10개를 찾기 위하여 Matlab을 이용하였다. 이 실험의 입력 신호로는 0.5MHz의 주파수의 sin파를 사용하였으며, OSR은 16, Sampling 주파수는 32MHz를 사용하였다. 그림 5의 이득 a, b, c 값을 변화시키며 Modulator의 1 bit data stream 8192개를 얻은 뒤에, Hann-windowed FFT를 이용하여 입력 신호 대역에서의 신호와 노이즈의 각각의 주파수 스펙트럼을 사용하여 SNR 값을 계산하고 그 중에서 상위 10개의 값을 표 1에 나타내었다. 이득 a, b, c의 변화는 각각 0.1부터 2까지 20단계의 변화에 대하여 SNR을 측정하였다. 따라서 이득 a, b, c의 8000개의 경우에 대하여 상위 SNR 후보 10개를 표 1과 같이 선정하였다.

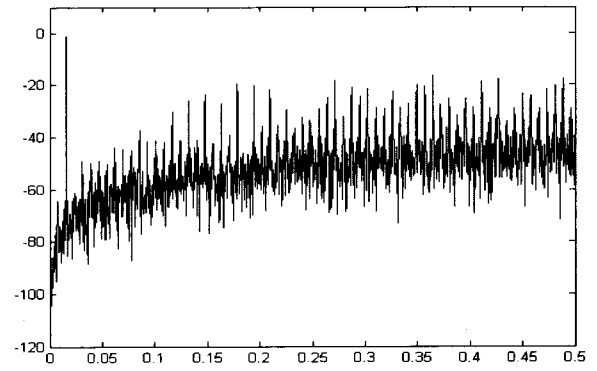
1차 Sigma-Delta 변환기의 이득 변화에 따른 최대 SNR 값을 시뮬레이션한 결과 a=1.7, b=1, c=1.9 일 경우 40.053 dB의 가장 우수한 SNR 값을 얻을 수 있었다. 이득 a, b, c가 모두 1인 기본 구조와 SNR 값을 비교해보면 9 dB 정도 향상되었음을 알 수 있다. 그림 9에 기본 구조와 이득값 변화에 따른 최대 SNR값이 계산된 상위 10개 후보의 출력 스펙트럼을 나타내었다.

표 1. 이득값 변화에 따른 최대 SNR 후보
Table 1. The SNR as the change of Gain values.

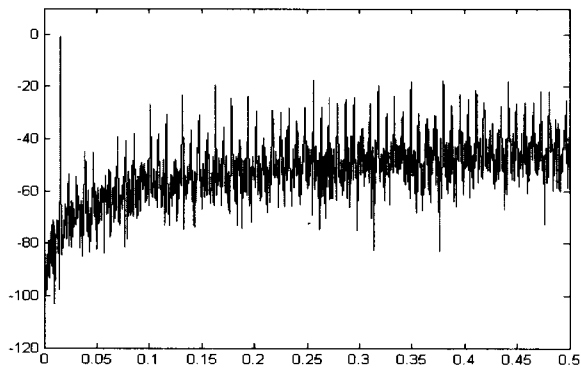
계수 No.	a	b	c	SNR
1	1.7	1	1.9	40.053
2	1.1	1	1.3	38.613
3	0.9	1	1	38.612
4	1.3	1	1.5	38.003
5	1.6	1.1	1.9	37.962
6	0.7	1	0.8	37.956
7	0.9	1	1.1	37.919
8	1.7	1	2	37.889
9	1.2	0.9	1.4	37.87
10	1	1	1.1	37.791
기본	1	1	1	31.22



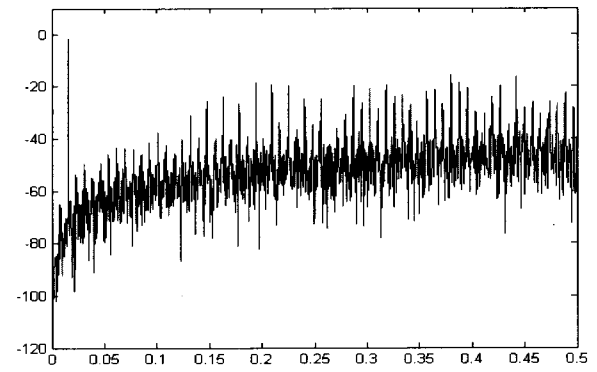
(a=1, b=1, c=1)



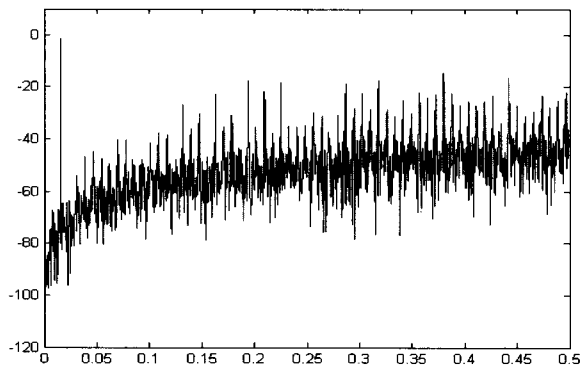
(a=1.3, b=1, c=1.5)



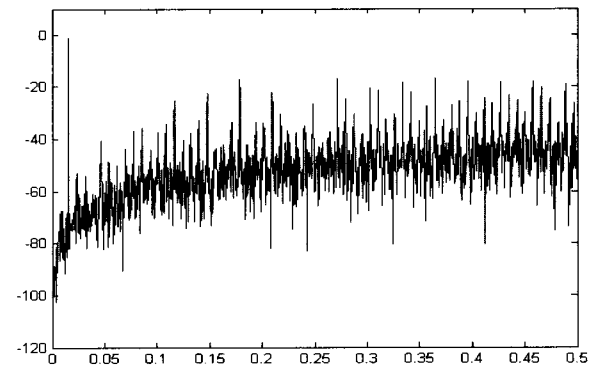
(a=1.7, b=1, c=1.9)



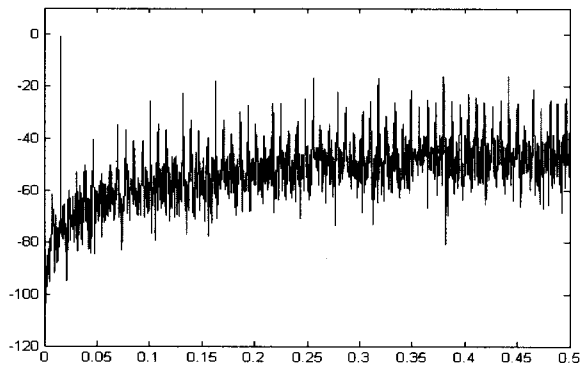
(a=1.6, b=1, c=1.9)



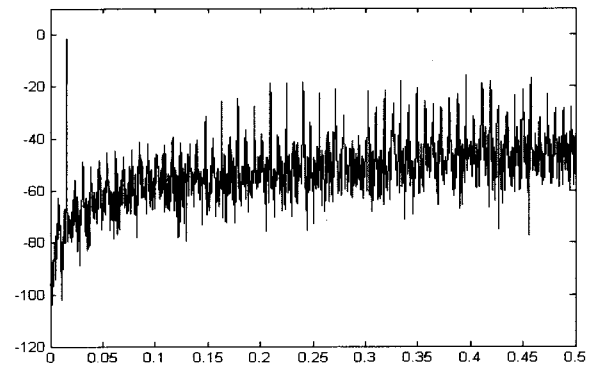
(a=1.1, b=1, c=1.3)



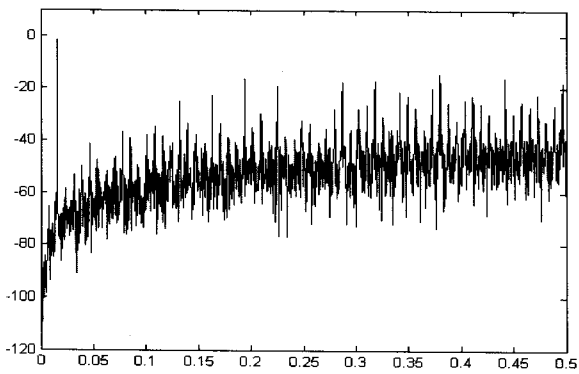
(a=0.7, b=1, c=0.8)



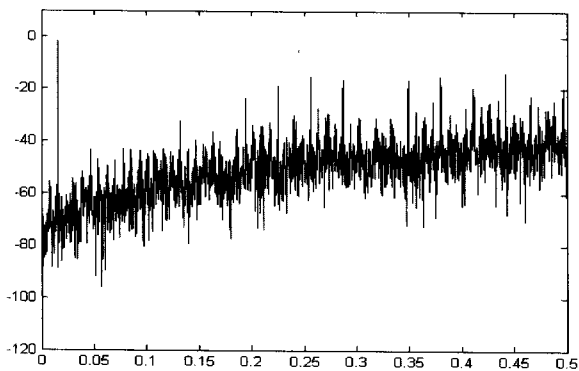
(a=0.9, b=1, c=1)



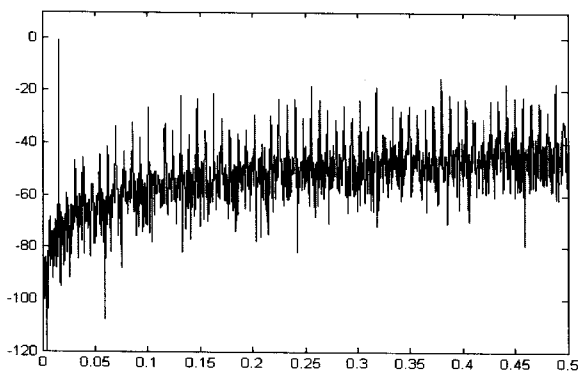
(a=0.9, b=1, c=1.1)



(a=1.7, b=1, c=2)



(a=1.2, b=0.9, c=1.4)



(a=1, b=1, c=1.1)

그림 9. 이득 변화에 따른 변조기 출력스펙트럼
Fig. 9. Modulator output spectrum as the change of Gain values.

2. 전체 시뮬레이션을 통한 이득 최적화

출력 스펙트럼이 불안정한 특성을 보이면 신호대역에서의 SNR 값이 우수하여도 실제 A/D 변환기를 구현할 경우 문제가 생길 수 있다. 그림 9에서 보듯이 10개의 후보에 대한 스펙트럼은 불안정한 특성을 보이지 않았다. 이제부터 상위 10개의 SNR 값을 갖는 후보들에

표 2. 이득값 변화에 대한 MSE

Table 2. The MSE as the change of Gain values.

계수 No.	a	b	c	MSE
1	1.7	1	1.9	0.001106
2	1.1	1	1.3	0.000796
3	0.9	1	1	0.001813
4	1.3	1	1.5	0.00063
5	1.6	11	1.9	0.000596
6	0.7	1	0.8	0.000535
7	0.9	1	1.1	0.0012
8	1.7	1	2	0.001019
9	1.2	0.9	1.4	0.001499
10	1	1	1.1	0.001447
기본	1	1	1	0.0009992

대하여 변조기와 CIC 필터를 통과시켜 최적의 이득 값을 찾아보기로 한다.

각각의 후보에 대한 실험 방법은 다음과 같다. 입력 신호는 진폭을 0.1 V 간격으로 0.1 V에서 1 V까지 10개를 인가하여 변조기의 출력을 얻는다. 변조기의 출력을 2차 CIC 필터를 통과하여 출력값을 얻는다. 1 V의 입력신호를 이용한 CIC 필터 출력값 중 최대값을 1로 정규화 시킨 후, 나머지 0.1 V부터 0.9 V의 CIC 필터 출력도 정규화하여 MSE를 구한다. 이와 같이 10개의 후보에 대한 MSE를 구한 결과를 표 2에 나타내었다.

표 2에서 보듯이 변조기의 최대 SNR 값을 보인 1번은 CIC 필터를 통과한 MSE가 기본 구조의 MSE 보다 더 크음을 알 수 있다. 10개의 후보 중에서 6번이 가장 적은 MSE 값을 보였다. 즉 상위 10개의 이득 값 후보 중에서 MSE가 가장 뛰어난 이득은 a=0.7, b=1, c=0.8의 6번임을 알 수 있다. 이는 표 1의 실험에서는 6위의 순위였다. 지금까지의 실험을 통하여 변조기의 SNR을 최대화하기 위하여 얻어진 이득 값은 CIC 데시메이션 필터를 통과한 MSE를 계산해 보면 최적임을 알 수 있다. 따라서 변조기의 SNR을 크게 하는 가능한 많은 후보의 이득을 얻은 후에 각각의 후보에 대한 MSE를 계산하면 최적의 이득 a, b, c를 구할 수 있다.

V. 결 론

이 논문에서는 Sigma-Delta A/D 변환기의 변조기 설계의 핵심인 이득 값의 새로운 최적화 방식을 제안하

였다. 변조기의 SNR을 최대화하는 상위 10개의 이득 값 후보를 선정된 후에 각각의 후보에 대하여 CIC 데시메이션 필터를 통과시켜 가장 적은 MSE를 나타낸 이득 값을 최적의 이득으로 결정하는 알고리즘을 제안하였다. 기존의 이득 최적화 방식은 변조기에 대한 시뮬레이션을 통하여 얻어진다. 반면에 제안된 방식은 변조기와 CIC 데시메이션 필터의 통합 시뮬레이션을 통하여 최적의 이득을 얻는다는 장점을 갖는다.

이 논문에서 제안한 이득 최적화 방식은 변조기의 실험을 통하여 더 많은 후보군을 선정하여 CIC 필터를 시뮬레이션하면 더 좋은 결과를 얻을 수 있을 것이다.

참 고 문 헌

- [1] Michael J. Demler, *High Speed Analog To Digital Conversion*, Academic Press, pp.24-67, 1991.
- [2] W. Yun-Ti and B. Razavi, "An 8-bit 150-MHz CMOS A/D Converter," *IEEE J.Solid-State Circuits*, Vol. 35, No. 3, pp. 308-317, March 2000.
- [3] 윤정식, 정정화, "Sigma-Delta modulator의 구조를 갖는 A/D 변환기 설계," *한국통신학회논문지*, Vol. 28, No. 1C, 14-23, 2003년 1월.
- [4] 강경식, 최영길, 노형동, 남현석, 노정진, "1-비트 4차 델타-시그마 변조기법을 이용한 D급 디지털 오디오 증폭기," *전자공학회논문지*, 제45권, SD편 제3호, 44-53, 2008년 3월.
- [5] 장영범, 양세정, 유선국, "심장박동기용 시그마 델타 A/D 변환기에서의 저전력 데시메이션 필터 구조" *전기학회논문지* 53D권, 2호, 111-117, 2004년 2월.
- [6] 변산호, 류성영, 최영길, 노형동, 남현석, 노정진, "시그마-델타 A/D 컨버터용 디지털 데시메이션 필터 설계," *전자공학회논문지*, 제44권, SD편 제2호, 34-45, 2007년 2월.
- [7] R. Steven, Norsworthy, Richard and G. Schreier, *Delta-Sigma Data Converters : Theory, Design and Simulation*, WILEY, pp. 1-41, 2001.
- [8] E. Hogenauer, "An economical class of digital filters decimation and interpolation," *IEEE Transactions, Acoustics, Speech and Signal Processing*, Vol. ASSP-29, No. 2, pp. 155-162, April 1981.

저 자 소 개



장 영 범(정회원)

1981년 연세대학교 전기공학과 졸업.(공학사)

1990년 Polytechnic University 대학원 졸업.(공학석사)

1994년 Polytechnic University 대학원 졸업.(공학박사)

1981년~1999년 삼성전자 System LSI 사업부 수석연구원.

2002년~현재 상명대학교 정보통신공학과 교수.

<주관심분야 : 통신신호처리, 비디오신호처리, SoC 설계>



정 요 성(학생회원)

2008년 상명대학교 정보통신공학과 졸업.(공학사)

2008년~현재 상명대학교 대학원 컴퓨터 정보통신공학과 석사 과정

<주관심분야 : 통신신호처리, SoC 설계>