

반도체 배선용 초저유전 물질의 개발동향 및 전망

윤도영 · 이희우

1. 서론

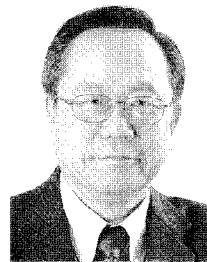
1.1 초저유전 재료의 필요성

반도체산업은 지금까지 무한한 가능성을 가진 최첨단 산업으로서 끊임없이 발전해 왔으며 그것은 반도체소자의 고집적화를 통한 logic chip set의 속도향상과 메모리 chip의 고밀도화에 의한 기억용량 증대에 의해 이루어졌다. 우리나라의 경우 메모리 반도체 제조기술은 삼성전자, 하이닉스 반도체가 세계적으로 60%에 달하는 점유율을 보유할 정도로 발전해 있으나 전체 반도체 시장의 75%를 차지하는 연산처리 장치(MPU), system-on-chip(SoC)와 같은 비메모리 소자의 경우 1% 정도의 점유율에 그치며 아직도 많은 노력이 필요한 실정이다. 최근 세계적인 반도체 회사들이 초점을 맞추어 개발하고 있는 logic chip 속도는 수 GHz, 메모리 용량은 수 GB 수준에 달하고 있으며 이를 실현하기 위해서 반도체소자 제작시 9층 이상의 다층배선구조와 100 nm 이하의 배선간격이 필요하게 되었다. 지금까지 일반적인 chip의 속도는 트랜지스터의 스위칭 속도에 크게 좌우되었으나 위와 같은 고집적 고밀도의 chip 속도는 스위칭 속도보다 배선에 의한 RC delay(R은 금속 배선의 저항, C는 금속배선 사이 유전체의 커패시턴스)에 의해 결정된다. Chip의 고집적, 고밀도화를 위해 배선간격이 특정수준 이하로 줄어들면 배선 사이의 cross-talk noise와 RC delay에 의한 방해로 소자의 스위칭 속도는 오히려 감소한다(그림 1).¹⁻⁴

RC delay를 감소시키기 위해서는 층간절연막의 유전율의 감소나 금속배선의 저항의 감소가 필수적이다. 이러한 이유로 전기전도도가 큰 구리를 배선금속으로 하여 이와 함께 저유전체를 활용하는 Cu/low-*k* integration이 현재 반도체소자 개발에서 가장 핵심적으로 연구되고 있는 항목 중 하나이다. 구리배선은 기존에 쓰이던 알루미늄 배선보다 전기전도도가 우수함에도 불구하고 기체화되기 어려워 반도체 공정에 사용하는 진공증착 및 건식에칭에 적용할 수 없는 한계가 있었으나 전기도금 기술과 식각공정을 피할 수 있는 dual damascene에 의한 배선공정이 가능해져 130 nm 공정세대부터 logic LSI에서 알루미늄을 대신하게 되었다(그림 2).^{5,6}

그림 2와 같이 현재 양산되고 있는 90 nm급 logic 소자에는 back end of line (BEOL)에서도 Al/SiO₂ 대신 Cu/low-*k* 재료를 적용하고

있다. 반도체공정에서 일반적으로 사용되는 CVD SiO₂ 박막의 *k* 값은 보통 4.0 수준을 나타내며 이러한 *k* 값을 3.0 정도로만 낮추어도 delay는 25% 정도가 감소하는 것으로 알려져 왔다. 따라서, Cu/저유전 절연막을 통해 현재까지 초고속 반도체소자 제작이 가능하였으며 현재 국외, 국내 유수의 반도체회사들의 차세대 배선기술 개발은 모두 Cu/low-*k* 재료에 초점이 맞추어져 진행되고 있다. Cu 배선공정이 고밀도화됨에 따라 70 nm 및 50 nm급 혹은 그보다 더 고집적화된 단계에서는 유전상수가 더 낮은 새로운 low-*k* 재료가 필요하기 때문에 새로운 물질의 개발이 절실하다. 최근 몇년 사이 발표된 ITRS(International Roadmap for Semiconductor)에서는 배선용 저유전 물질에 대한 목표치가 계속 하향 수정되고 있다. 현재 50 nm급 양산에 적용될 *k*~2.4 수준의 층간절연물질 개발에는 성공했으나 2010년 이후에 본격적 생산이 예상되는 40 nm급 이하에 적용될 초저유전 물질(*k*<2.2) 개발에 몇 년째 어려움을 겪고 있기 때문인 것으로 예상된다. 표 1에서 2007년 발표된 ITRS에서 제시한 저유전 물질의 개발 로드맵을 살펴보면



윤도영

1969 서울대학교 화학공학과(학사)
1973 University of Massachusetts(박사)
1975 Stanford University(Post-Doc)
1978~1999 IBM Almaden 연구소 Polymer Physics Group Leader
1986 독일 막스프랑크 고분자과학 연구소 초빙교수
1999~현재 서울대학교 화학과 교수



이희우

1978 서울대학교 화학공학과(학사)
1980 한국과학기술원 화학공학과(석사)
1980~1983 KIST 고온공정연구실, 연구원
1983~1987 University of Connecticut 고분자공학(박사)
1987~1993 KIST 고분자재료실, 선임연구원
1993~현재 서강대학교 화공생명공학과, 교수

Recent Technology Trends and Perspectives of Ultralow-*k* Materials for Interconnects

서울대학교 화학부 (Do Yeung Yoon, Department of Chemistry, Seoul National University, Silim-dong, Gwanak-gu, Seoul 151-747, Korea) e-mail: dyoon@snu.ac.kr

서강대학교 화공생명공학과 (Hee-Woo Rhee, Department of Chemical & Biomolecular Engineering, Sogang University, Sinsu-dong, Mapo-gu, Seoul 121-742, Korea)

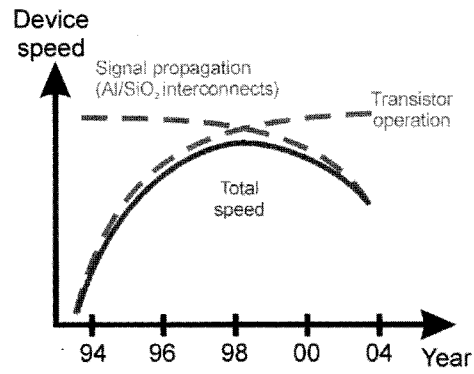
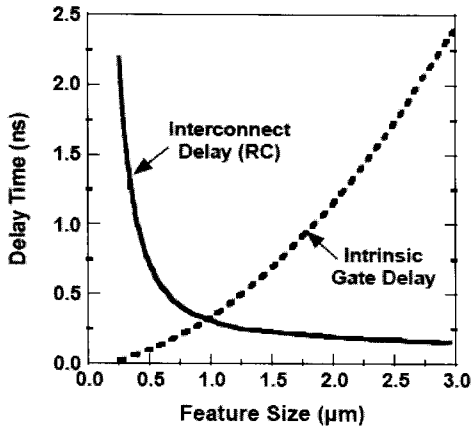


그림 1. 배선간격 감소에 따른 RC delay 증가(좌)와 그에 따른 chip 속도 감소(우).

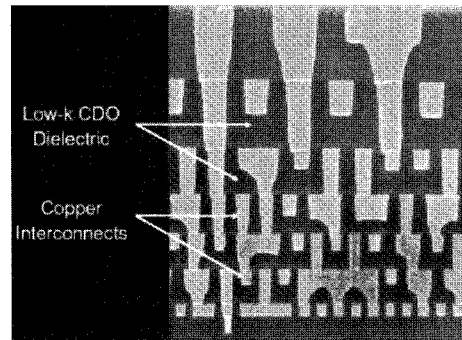
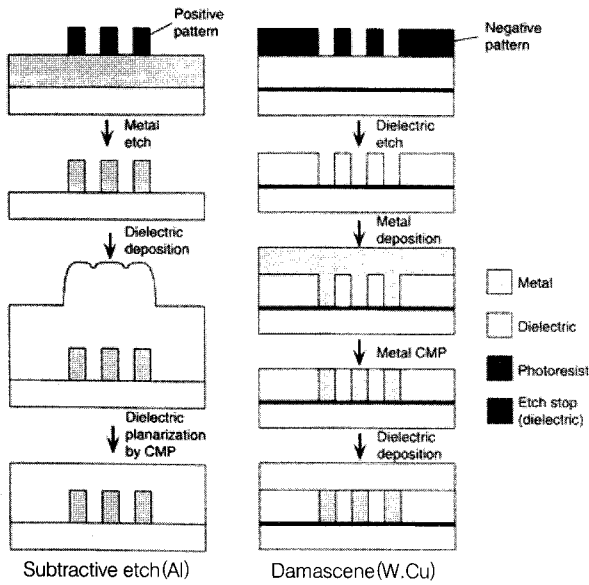
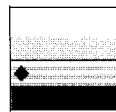


그림 2. Dual damascene 공정(좌) 및 cross sectional photo of Cu/low-k interconnection for 90 nm technology(우).

표 1. 2007년 구리배선용 초저유전 물질 ITRS 로드맵

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
MPU/ASIC Metal 1/2 Pitch (nm)(contacted)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	22	20	18	16	14	13	11	10
Number of metal levels (includes ground planes and passive devices)	11	12	12	12	12	12	13	13	13
Total interconnect length (m/cm ²) - Metal 1 and five intermediate levels, active wiring only [1]	1439	1712	2000	2222	2500	2857	3125	3571	4000
FITs/m length/cm ² × 10 ⁻³ excluding global levels [2]	3.5	2.9	2.5	2.3	2	1.8	1.6	1.4	1.3
Interlevel metal insulator - effective dielectric constant (κ)	2.9-3.3	2.9-3.3	2.6-2.9	2.6-2.9	2.6-2.9	2.4-2.8	2.4-2.8	2.4-2.8	2.1-2.5
Interlevel metal insulator - bulk dielectric constant (κ)	2.5-2.9	2.5-2.9	2.3-2.7	2.3-2.7	2.3-2.7	2.1-2.5	2.1-2.5	2.1-2.5	1.9-2.3

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known



2004년 45 nm급에서 2.1 이하, 32 nm에서 1.9 이하였던 초저유전 물질 개발목표가 각각 2.3~2.7, 2.1~2.5로 지연되었음을 알 수 있으며 현재까지도 공정 적용 가능한 재료가 알려지지 않고 있음을 지적하

고 있다.⁷

따라서, 2012년부터 본격적인 생산이 예상되는 40 nm급 이하 소자 개발을 고려할 때 유전상수 2.2 이하의 초저유전 물질 개발 및 확보, 그

에 대한 공정 개발이 최근 고집적 반도체 개발의 핵심적 요소가 되며 이에 대한 연구는 세계적으로 뜨거운 관심을 받고 있다.

1.2 초저유전 재료의 요구 특성

초저유전 물질의 중요성에도 불구하고 아직까지 40 nm급 이하 공정에서 사용될 재료 개발이 늦어지고 있는 이유는 유전율이 낮아지면 낮아질수록 공정 적용 시 필요한 다른 요구 특성들을 만족시키기 어렵기 때문이다. 실제로 층간 절연물질이 반도체 공정에 적용되기 위해서는 낮은 유전율 이외에도 물리적, 화학적 특성 뿐 아니라 integration 특성 등을 모두 만족시켜야 한다. 지금까지 많은 low- k 재료들이 낮은 유전상수에도 불구하고 다층배선공정 시 부서지기 쉬운 특성과 열적 특성으로 인해 낮은 수율과 신뢰성 문제를 일으켜 양산적용 되지 못했다. 일반적으로 층간절연 물질에 요구되는 전기적, 화학적, 기계적, 열적 특성을 표 2에 나타내었다.

배선간격 감소에 따른 신호지연 및 cross-talk 감소를 위한 저유전율, 배선설계 및 공정의 용이성을 위한 전기적 성질의 등방성, 금속배선과의 저반응성, CMP(chemical mechanical planarization) 공정에 견딜 수 있는 기계적 강도, 박리 또는 수분에 의한 유전율 상승 방지를 위한 낮은 흡습성, 공정 가공온도를 견딜 수 있는 내열성(Cu의 경우 섭씨 400도 이상), 저유전 물질/금속계면에서 발생하는 각종 응력을 최소화하는 접착력, 내크랙성, 낮은 열팽창계수 등 다양한 요구조건이 있으며 이들 중 어느 것 하나라도 만족되지 않으면 공정적용이 어렵게 된다. 현재 40 nm급 이하 초저유전 재료($k < 2.2$)의 경우 박막에 많은 기

표 2. 층간절연막(Interlayer Dielectric)의 기본필요 성질

· 낮은 유전율(Low dielectric constant)
· 열안정성(Thermally stable at temperature >450 °C for some hours)
· 박간 접착성(Excellent adhesion to underlying and top layers)
· 내용매성(Resisting to solvents and resists used in lithography)
· 패터닝(Etch in RIE)
· 평탄성(Self-planarization or planarization with CMP)
· 낮은 흡습성(Low water absorption)
· 낮은 열팽창계수(Low and isotropic coefficient of thermal expansion(CTE))
· 유전손실, 임계전압, 누설전류 특성(Acceptable dielectric loss, breakdown voltage, and leakage current)
· 우수한 단차 채움 성질(Excellent gap-fill properties)
· 높은 기계적 강도(High mechanical strength)
· 높은 유리전이 온도(High glass transition temperature)
· 높은 열전도도(High thermal conductivity)

표 3. 40 nm급 이하 초저유전 재료 요구 특성 및 측정법

항목	기준측정법	측정의 착안점 및 척도
Low- k Uniformity	Ellipsometer	<3.0% (1 σ)
Particle	Particle Counter	<20 ea (>0.16 μ m)
기계적 특성 평가, Stress	Stress Gauge	< \pm 100 MPa
Pore Size (Average)	SANS/SXR/PALS	<2 nm
k value	4 Probe	<2.2
Thermal Stability	TGA	<1% (420 °C/N ₂)
Thermal Shrinkage	Ellipsometer	<0.5 % (420 °C/N ₂)
열팽창계수(CTE)	Specular X-ray Reflectivity (SXR)	<50 ppm/°C
Hardness (CVD/SOG)	Nanoindentation	>1 GPa/1.5 GPa
Young's Modulus	Nanoindentation	>6 GPa

공이 도입되는 것을 피할 수 없으므로 위 언급된 조건을 충족시키기가 더욱 어렵게 된다. 보통 porosity가 40% 이상 도입되어야 하므로 박막의 기계적 강도(modulus, hardness)가 매우 취약해지며 도입된 기공이 interconnected된 open-cell pore 구조를 가지기 쉽다. Open-cell pore 구조가 형성되면 전기적으로 누설전류의 증가와 Cu diffusion의 증가 및 박막의 기계적 강도가 약화되는 현상이 나타난다.⁸⁻¹⁰ 따라서, 위 문제점을 해결하기 위해 초저유전 박막에는 크기 2 nm 이하의 균일한 기공이 최대한 interconnected 되지 않은 형태로 도입되어야만 한다. 기공이 2 nm 보다 크고 서로 연결되어 있다면 pore sealing 공정이 추가되어야 하며 이에 쓰이는 물질은 $k \sim 2.7$ 로서 유전율 상승이 동반될 수밖에 없기 때문이다. 표 3에 40 nm급 이하에 적용될 초저유전 재료의 요구특성 및 측정방법을 기술하였다.

2. 초저유전 물질 개발동향

2.1 현재까지 저유전 물질 개발 동향

저유전율 재료는 무기계와 유기계로 크게 나눌 수 있으며, 공정별로는 용액을 스핀 코팅하는 방법과 PECVD(plasma enhanced chemical vapor deposition)에 의한 방법으로 분류할 수 있다. 2000년 세계 최초로 IBM에서 유전율 2.7 정도의 Dow Chemical사의 SiLK를 스핀 코팅 방법을 이용하여 Cu 배선 공정을 발표한 이후, 스핀 코팅에 의한 저유전 절연막에 관한 연구가 다양하게 시도되었다.¹¹ 그러나, 초창기의 스핀 코팅에 의한 저유전 절연막은 기계적 물성(hardness, modulus, adhesion 등) 및 열적 물성(열팽창계수 등)이 취약하여 Cu 배선 및 신뢰성 확보에 어려움이 있었기 때문에, Intel, TI, TSMC 등의 기업체에서는 기계적 물성 및 열적 물성이 안정적인 PECVD를 이용한 저유전 절연막을 Cu 배선에 적용하게 되었다. CVD 공정은 고진공 하에서 수행되기 때문에 반도체 공정에서 중요한 먼지나 대기 중에 존재하는 이온 물질로부터 공정을 보호할 수 있다는 장점이 있으며 spin-on 방식 재료보다 gap filling과 밀착성이 우수하고 모든 반도체 회사에서 이미 많은 장비를 보유하고 있어 현재까지 CVD를 이용한 ILD 공정에 관련된 물질의 개발 및 integration이 저유전 재료 시장을 지배해왔다. 130 nm급 공정의 경우에는 PECVD fluorinated silicate glass (FSG) 박막($k \approx 3.3$)을,^{12,13} 90 nm급 공정의 경우에는 CVD OSG(organo-silicate glass) 박막($k \approx 3.0$)을¹⁴ 이용하여 배선 공정에 이용하고 있다. 70 nm급의 공정 또한 PECVD를 이용한 low- k ($k \approx 2.7$) 물질의 증착이 일반화 되고 있는 추세이며 50 nm급까지 $k \approx 2.4$ 의 PECVD 물질이 적용될 것으로 발표되었다(표 4).

그러나, porosity가 40% 이상 도입되어야 하는 40 nm 이하급에서 CVD 방식으로 2 nm 이하의 기공을 interconnection 없이 도입하는 것은 매우 어려운 과제로 생각되고 있다. Spin-on 방식의 재료들은

표 4. Node 감소에 따른 필요 유전상수 및 현재 사용되는 저유전 재료

공정	필요 유전상수	사용되는 재료
130 nm 급	$k=3.3$	PECVD FSG
90 nm 급	$k=3.0$	PECVD OSG
70 nm 급	$k=2.7$	PECVD OSG
50 nm 급	$k=2.4$	CVD low- k
40 nm 급 이하	$k < 2.2$	미정

표 5. CVD 공정을 사용한 초저유전 박막 기술 기반

업체	상품명	유전율											연도	비고	
		2.9	2.8	2.7	2.6	2.5	2.4	2.3	2.2	2.1	2.0	1.9			1.8
Applied Materials	Black Diamond II					■								2005	24% porosity, pore size=1.0 nm
	Black Diamond II						■							2006	35% porosity
Novellus and Sematech	CORAL ULK					■		■						2005	pore size=1.5 nm, E=8.5 GPa
	CORAL ULK								■					2006	pore size=1.5 nm, E=5.0 GPa
Trikon or Aviza Tech.				■											porous CVD Matrics
ST Microelectronics and Philips Semiconductor	unknown					■	■							2005	35% porosity, E=3.8 GPa

CVD 방식에 비해 장비가격이 저렴하며 $k < 2.2$ 이하의 박막을 쉽게 얻을 수 있다는 장점이 있으며 CVD 재료가 low- k 시장을 지배하고 있는 상태에서도 꾸준한 연구를 통해 이전의 문제점들을 해결해 왔으므로 유전율 2.2 이하의 초저유전 물질 개발에서는 다시 spin-on 방식과 CVD 방식의 재료들이 경쟁구도를 형성할 것으로 예상된다. 또한, 높은 porosity에서 나타나는 large pore size, pore interconnection 문제를 해결하기 위한 다른 방법으로써 pore sealing 및 air gap 재료들에 대한 연구가 최근 몇 년간 활발히 진행되고 있다.

2.1.1 CVD 방식 재료

현재의 90 nm급 기술까지는 SOG(spin-on glass) 방식보다 CVD 방식의 OSG 절연막이 시장을 주도해 왔다. United Microelectronics Corp. (UMC), TSMC, AMD, TI, Intel 등의 유수 업체들은 CVD 방식으로 형성된 저유전 박막 기술을 채택해 왔으며, 70 nm급 공정($k=2.7$)과 50 nm급 공정($k=2.4$)까지도 CVD low- k 를 사용할 것으로 결정되었다. 이러한 상황에서 CVD 방식으로 형성된 초저유전 절연막의 기계적 물성을 확보하기 위하여 다양한 연구가 진행되고 있다. 최근 프랑스의 STMicroelectronics와 Philips Semiconductor의 공동연구로 porosity (~35%)를 증가시켜 유전율을 2.4까지 떨어뜨리면서 modulus(E)가 3.8 GPa에 이르는 기계적 강도를 얻을 수 있음이 보고된 바 있다. 이를 비롯하여 CVD 방식을 통한 low- k 박막의 형성에 관한 많은 연구가 이루어지고 있음에도 불구하고, 40 nm급 이하에서 요구되는 porosity 40% ($k < 2.2$)의 벽을 넘으면서 좋은 기계적 물성(modulus > 6 GPa, low CTE, 등)을 유지하는 것은 어려워 보인다. CVD를 이용한 2.2 이하의 초저유전율을 가지는 나노기공(nanoporous) 박막의 개발을 위해 영국의 Trikon, 네델란드의 ASMI, 미국의 Air Products, Novellus, Applied Materials, IBM 등에서 많은 연구가 이루어지고 있다.¹⁵ 일례로, IBM은 Cu chip에 적용할 수 있는 CVD 저유전체에 대한 연구로 Applied Materials와 공동으로 Black Diamond II($k=2.5$)의 후속인 유전율 2.2 porous CVD 물질을 사용한 공정을 개발하였으나, 낮은 modulus(<2 GPa)로 인하여 CMP 공정이나 package 공정 시에 박막이 brittle하고 crack이 생기는 문제가 발생한다고 보고한 바 있다. 현재 보고되고 있는 CVD 나노기공 초저유전 박막의 경우, 취약한 기계적 물성과 열안정성 등의 문제로 인하여 어려움을 겪고 있으며 이를 극복하기 위하여 UV와 E-beam을 사용하는 후처리 공정 등에 관한 연구가 주로 진행되고 있다. 이 문제를 후처리 공정 연구를 통해 극복할 수 없다면 향후 40 nm급 이하에서 사용될 2.2 이하의 중간절연 물질은 CVD 방식에서 탈피할 것으로 보인다(표 5).

2.1.2 Spin-On 방식 재료

Spin-on형 초저유전 물질은 넓은 면적의 박막을 쉽고 빠르게 형성

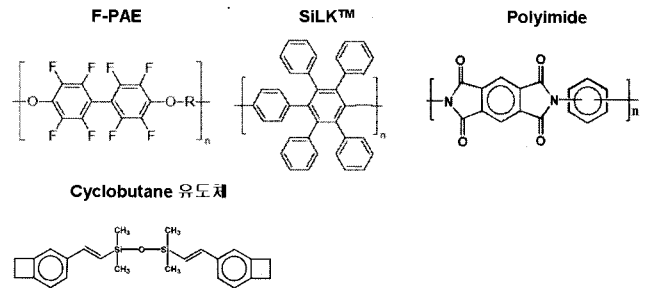


그림 3. 유기고분자 계열 저유전 물질 재료.

할 수 있으며 장비가격이 CVD 방식에 비해 저렴한 장점이 있다. Dow Chemical의 SiLK가 실패한 이후 50 nm급 공정까지 CVD 재료가 대부분 회사의 저유전 물질로 사용되어 왔으나 Fujitsu, Sony, 그리고 Toshiba 등의 업체에서는 SiLK 박막 공정을 적용하여 CVD 박막의 hybrid 구조를 가지는 반도체를 양산하고 있는 것으로 알려져 있다. 또한, Dow Chemical, TI, Honeywell, JSR, SEMATECH, IBM 등의 업체에서 SOD(spin-on deposition) 박막공정 기술에 관한 연구를 지속적으로 수행하고 있으며, 그에 관한 연구 결과가 계속 보고되고 있다.¹⁶ 일본에서도 SOG 저유전 박막 기술에 관한 연구는 활발하게 이루어지고 있다. NEC는 일본의 국가주도 프로젝트인 "MIRAI 프로젝트"의 연구 일환으로, 2005년 6월 molecular-pore-stacking(MPS)이라는 새로운 개념의 pore 생성법을 사용하여 45 nm-node LSI를 위한 $k=2.4$ 의 물질과 공정 개발에 성공했다고 보고한 바 있다. 2006년 6월 발표에 의하면 45 nm node CMOS basic circuit module에서 Cu/low- k multilevel interconnect를 시험하였으며 effective $k(k_{eff})=2.9$ 를 보였음을 보고했다. 그리고, JSR은 porous organosilicate의 일종인 LKD 시리즈에 대한 연구를 계속하고 있으며, 2009년 2월 미국의 IBM과 함께 유전율 2.2이하의 ultralow- k , CVD low- k , photopatternable low- k 3대 과제에 대해 공동연구를 진행할 예정임을 발표하였다.

기존의 spin-on 방식 재료들은 대부분 polyimide, poly(arylene ether) (PAE), cyclobutane 유도체, aromatic thermosetting 고분자인 SiLK 등 유기고분자 계열이었다(그림 3).¹⁷⁻²² 그러나, 초저유전 물질에서 요구하는 우수한 기계적 물성과 낮은 열팽창 계수 및 안정성을 충족시킬 수 없어 현재 유전상수 2.2 이하의 spin-on 방식 재료에 대한 연구는 대부분 유기 혼성 물질 중 하나인 유기실리케이트 재료에 집중되어 있다. 유기실리케이트 기반의 초저유전 박막 재료는 IBM사에서 최초 개발한 nanopore 생성 방법을 통해 제작한다.²³ 유전상수 2.7~3.0 사이의 유기실리케이트 박막에 기공을 도입할 경우 air의 유전상수는 1 이므로 유전상수는 낮아지게 되고 기공을 많이 도입할수록 더 낮게 떨어진다.

IBM은 유기실리케이트 고분자를 매트릭스로, 이와 miscible한 열분해 가능한 고분자(star shape polymer, dendrimer, block copolymer)들을 기공형성용 수지(porogen)로 사용하여 단순 blending 후 spin coating하고 matrix curing을 통해 박막경화 뒤 400 °C 이상의 고온에서 porogen을 열분해하는 방법으로 유기실리케이트 내 나노미터 수준의 pore를 도입하였으며 이를 통해 2.0 이하의 초저유전 박막을 제작하였다.²⁴⁻²⁷ 그러나, 당시 개발된 초저유전 박막은 기공이 많이 주입됨에 따라 4 nm 이상의 큰 pore들이 생성되고 그 pore들의 inter-connection에 의해 기계적 물성이 급격히 악화되는 현상을 보여 실제 적용되기에는 불가능하였다. 따라서, 현재 spin-on 방식 초저유전 박막 개발에 있어 가장 중요시 되는 것은 높은 기계적 강도와 열안정성, 낮은 열팽창 계수를 갖는 organosilicate matrix 개발과 그에 최적화된 기공형성제 및 기공형성제 주입 방법을 개발하는 것이다. 이를 통해 높은 porosity(~40%)에서도 2 nm 수준의 작은 pore size를 유지하고 closed된 pore morphology를 갖는 nanoporous film을 구현할 수 있다면 초저유전 물질이 요구하는 기계적 강도와 열안정성 등을 모두 충족

시킬 수 있으리라 예상된다(그림 4).

현재 유기실리케이트 기반의 nanoporous film 개발에 대한 연구는 미국 IBM을 중심으로 뛰어난 매트릭스 물질 개발에 초점이 맞추어져 있다. 기존의 매트릭스 유기실리케이트 고분자로서 대표적인 것은 hydrogen silsesquioxane(HSQ)과 methylsil sesquioxane(MSQ)였다.²⁸⁻³⁰ 이들은 실리콘 원자 하나당 1.5개의 산소와 1개의 수소 혹은 메틸기가 연결된 $[RSiO_{3/2}]_n$ (R : H or CH₃) 화학구조를 갖고 있다. 합성은 단량체의 실리콘 원자에 붙어있는 3개의 alkoxy or halogen group (-OR, Cl)들이 물과 산염기 촉매하에서 hydroxyl group(-OH)으로 변하고(hydrolysis) 이들 hydroxyl group간 혹은 alkoxy-hydroxyl group 간의 축합반응(condensation)에 의해 pre-polymer로 성장하는 sol-gel reaction이 전형적인 방법이다(그림 5).³¹

합성된 pre-polymer는 일반적 유기용매에 잘 녹아 스펀코팅에 의해 원하는 두께의 박막을 얻을 수 있으며 열 경화에 의해 안정한 초저유전 박막을 얻을 수 있다. HSQ와 MSQ는 섭씨 400도에서의 열경화 과정 후 각각 ~2.9, ~2.7 수준의 낮은 유전율을 보이거나 두 물질 모두 기

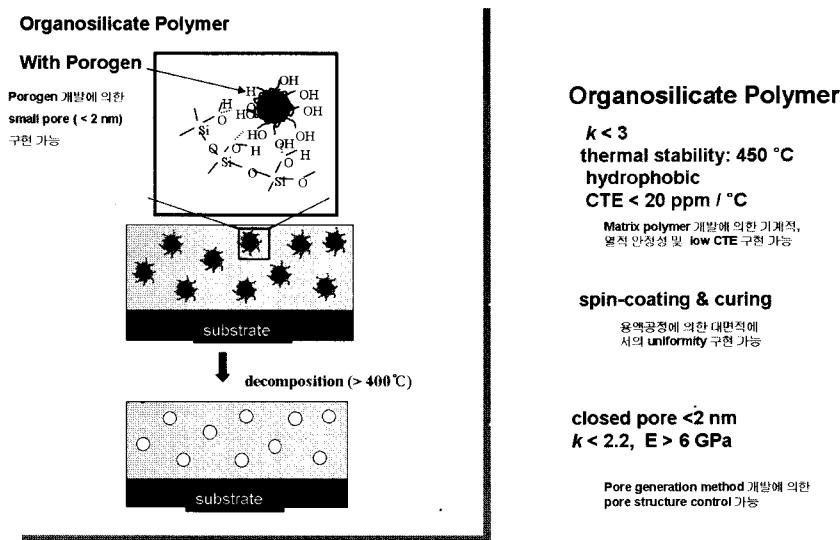


그림 4. Spin-on형 초저유전 물질 개발 방식.

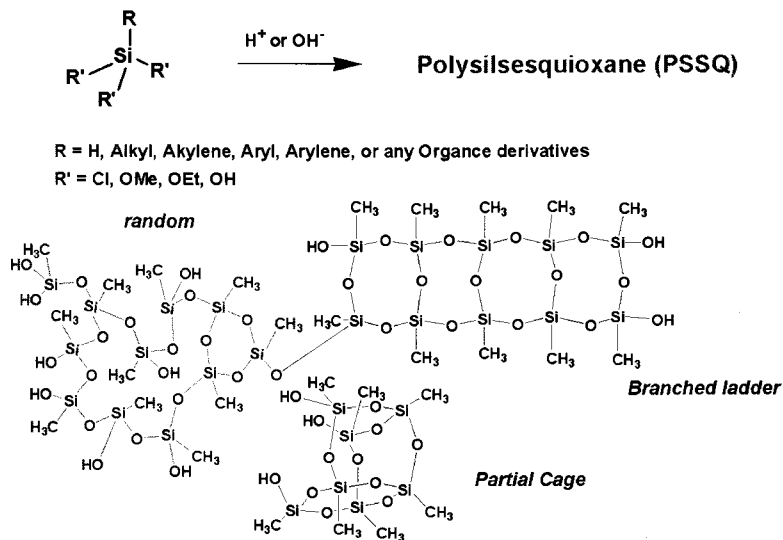
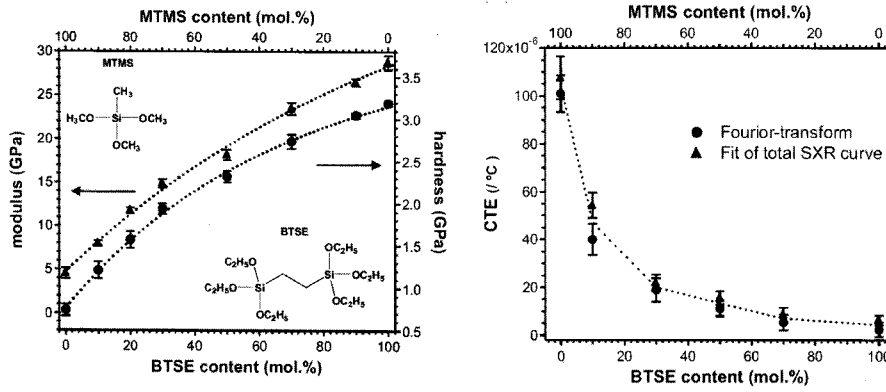


그림 5. Polysilsesquioxane의 sol-gel 반응 scheme 및 구조.



Composition BTSE [mol %]	ρ_{dry} [g cm ⁻³]	XRP ρ_{wall} [g cm ⁻³]	Porosity [%]	k (1 MHz)	Refractive index (632.8 nm)
0	1.221 ± 0.005	1.303 ± 0.005	6.7 ± 1.0	2.75 ± 0.03	1.38 ± 0.05
10	1.285 ± 0.005	1.355 ± 0.005	5.2 ± 1.0	2.81 ± 0.06	1.39 ± 0.07
30	1.359 ± 0.005	1.456 ± 0.005	6.7 ± 1.0	2.92 ± 0.08	1.40 ± 0.03
50	1.418 ± 0.005	1.518 ± 0.005	6.6 ± 1.0	3.02 ± 0.05	1.41 ± 0.11
70	1.497 ± 0.005	1.517 ± 0.005	1.3 ± 1.0	3.14 ± 0.05	1.42 ± 0.08
90	1.523 ± 0.005	1.552 ± 0.005	1.9 ± 1.0	-	1.47 ± 0.05
100	1.582 ± 0.005	1.604 ± 0.005	1.3 ± 1.0	-	1.48 ± 0.10

그림 6. Ethylene bridged silane 공단량체를 사용한 유기실리케이트 박막의 기계적, 열적 특성 향상과 유전상수 변화.

계적 강도가 매우 낮다는 단점으로 인해 기공을 함유할 경우 초저유전 박막을 실제 공정에 적용하기 힘든 문제가 있었다. 최근 서울대와 미국 IBM 연구소에서는 HSQ 및 MSQ의 단점을 보완하기 위해 alkyl bridged 형태의 여러 silicon 단량체를 도입하여 우수한 기계적 강도를 갖는 매트릭스를 연구 개발한 바가 있으며, 이 물질은 현재 spin-on 방식의 초저유전 박막 개발에 핵심이 되고 있다. 2007년 서울대 연구진이 기존의 MSQ 단량체와 ethylene bridged silicon 단량체의 공중합으로 MSQ 보다 최고 5~6배의 기계적 강도를 갖는 매트릭스 고분자를 개발하였으며, 이는 bridge 형태의 공단량체로 인해 박막의 밀도가 증가함에서 오는 현상임을 규명하였다.³² 이 공중합체는 공단량체의 함량이 늘어날수록 밀도 증가로 인해 유전상수도 증가하므로 기계적 강도와 적절한 유전상수를 동시에 충족시키는 최적화된 비율의 매트릭스 고분자를 사용하여 초저유전 박막을 제작하여야 한다(그림 6).

이와 유사하게 미국 IBM 연구소에서는 기존의 MSQ 매트릭스와 사용하던 poly(ethylene oxide-*b*-propylene oxide-*b*-ethylene oxide) (PEO-*b*-PPO-*b*-PEO) 기공형성체를 high modulus를 갖는 ethylene 혹은 methylene bridged silane 단량체의 단일중합체와 사용하여 $k \sim 2.3$ 수준에서도 8 GPa 이상의 elastic modulus를 갖는 초저유전 박막을 개발하는데 성공하였으며 그와 유사한 hyperbranched polycarbosilane matrix를 사용하여 $k \sim 2.3$ 수준에서 6 GPa 수준의 기계적 강도를 갖는 초저유전 박막 형성이 가능함을 보고하였다(그림 7).³³⁻³⁵

k 값 2.0~2.3 수준에서도 뛰어난 기계적 물성을 보이는 위 박막들도 pore size는 4 nm 수준의 다소 높은 값을 나타내었으며 pore들 간의 interconnectivity에 대한 연구는 이루어지지 않았다. 초저유전 물질에서 박막 내에 만들어지는 pore의 size 및 interconnectivity는 기공형성체의 종류 및 매트릭스 고분자와의 compatibility, pore generation method와 밀접한 관계를 갖는다. 따라서, 초저유전 물질적 용을 위한 이상적인 pore structure를 박막 내에 구현하기 위해서는 기공형성체(porogen)의 개발 또한 매우 중요한 과제라 할 수 있다.³⁶⁻³⁸

열경화 전의 organosilicate matrix는 다량의 Si-OH group을 함유하고 있어 hydrophilic group을 갖고 있는 porogen들과 매우 우수한 miscibility를 갖게 된다. 그러나, 열경화 시 매트릭스 유기실리케이트의 축합 반응이 진행됨에 따라 매트릭스는 친수성에서 소수성으로 변화하게 되며 이로 인해 porogen과의 상분리가 발생하게 된다. Porogen 함량이 커질 경우 porogen끼리의 aggregation은 large pore 및 percolated pore structure를 유발하며 박막의 기계적 물성을 크게 감소시킨다(그림 8).

지금까지 개발된 pore generator들은 말단에 매트릭스와의 miscibility를 위해 친수성 기능기가 달려 있으며 이로 인해 높은 기공형성체 함유량에서 나타나는 위 문제들을 해결할 수 없었다. 따라서, 최근 초저유전 물질을 위한 기공형성체 연구는 매트릭스 물질과의 miscibility를 충족시키는 동시에 high porosity에서 porogen끼리의 aggregation 문제를 해결하는 것에 초점이 맞추어져 있다. Porogen의 aggregation 현상 억제를 위해 cross-linked 나노입자를 pore generator로 이용하려는 연구가 진행된 바 있는데 IBM에서는 dilute solution에서 체인내 cross-linking 반응을 이용해 나노입자를 합성하여 porogen으로 사용하여 초저유전 박막을 제조한 결과 20%의 porosity에서도 생성된 pore의 크기가 porogen 자체 입자 크기와 유사했으며 closed pore structure를 나타내었다.³⁹ 그러나, 이 입자의 크기를 4 nm 이하로 만들기 어렵다는 단점이 있다고 보고되었다. 국내 연구진의 기공형성체 연구도 활발히 진행되고 있는데 수많은 arm을 갖는 dendrimer를 합성하여 높은 porosity에서도 porogen 바깥의 arm들로 인해 porogen끼리의 aggregation을 막을 수 있다는 연구가 보고된 바 있으며⁴⁰ 단당류 또는 다당류의 말단기를 매트릭스와 경화반응을 할 수 있도록 개질시켜 매트릭스와의 miscibility뿐 아니라 경화과정에서 porogen이 매트릭스에 고정되어 self aggregation을 최소화하려는 연구가 진행되고 있다. 앞서 개발된 MSQ 단량체와 alkyl bridged silane copolymer를 매트릭스로 사용하고 glucose와 같은 환형이나 pentaerythritol과 같은 선형당의 말단 -OH group을 trialkoxysilyl group으로 비싼 기공

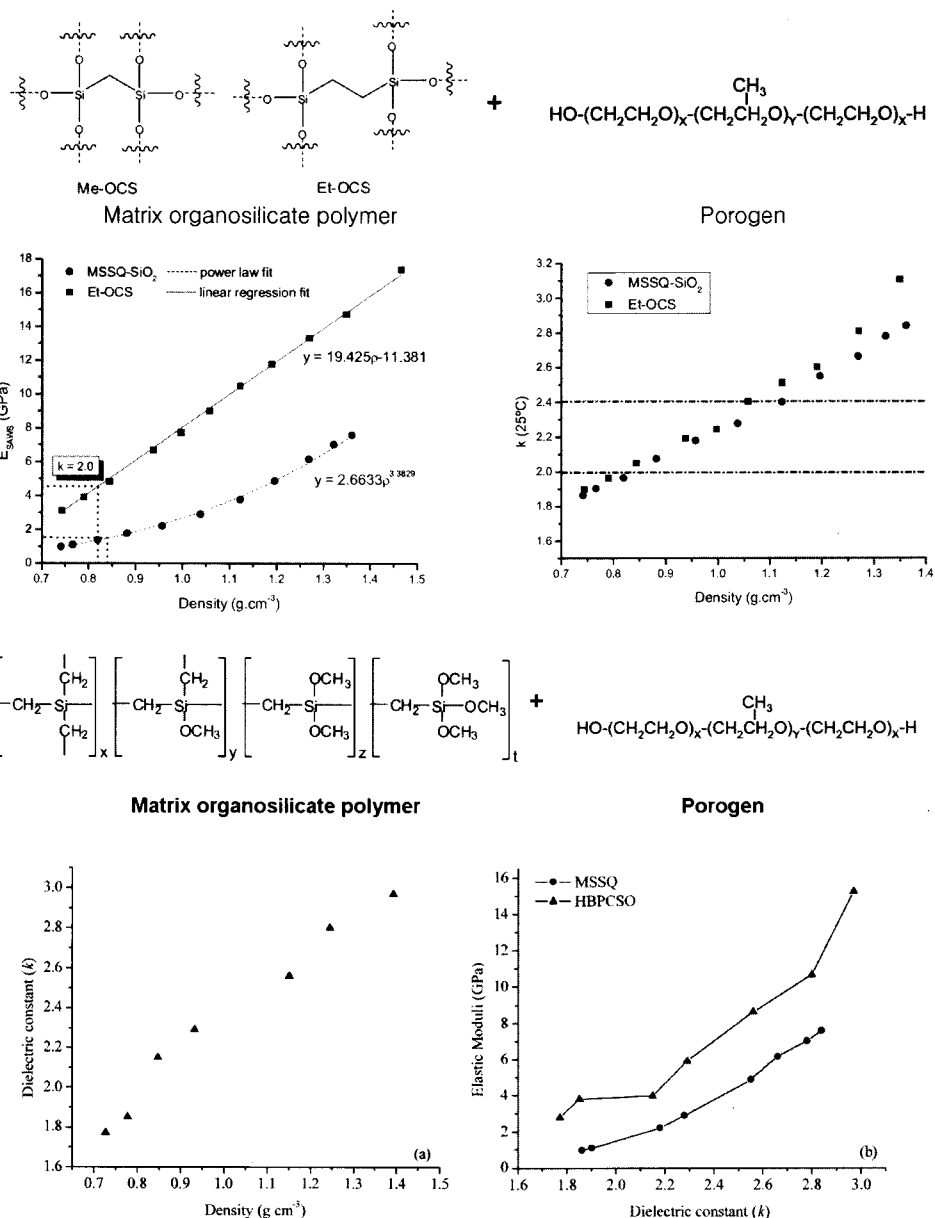


그림 7. IBM에서 2007~2008년 개발한 alkyl bridged silane 기반의 초저유전 박막(Et-OCS)(위)과 hyperbranched polycarbosilane(HBPCSO) (아래) 기반의 초저유전 박막의 구조 및 유전상수 대비 기계적 물성.

형성체들을 사용하여 초저유전 박막을 제작했을 때 개질된 reactive group들이 열경화시 매트릭스 고분자의 Si-OH group과 반응하여 많은 기공 주입 시에도 작은 pore size를 유지하며 기존의 다른 porogen을 사용한 nanoporous film 보다 뛰어난 2.2 수준의 유전상수에서 6~7 GPa의 elastic modulus를 나타내었다(그림 9).

지금까지 언급한 기공형성체는 모두 매트릭스 고분자와 블렌딩 방식으로 나노기공 박막을 형성하게 되는데 매트릭스 경화시 유발되는 porogen의 상분리를 억제하기 위한 또다른 방법으로 기공형성체를 포함하면서 sol-gel reaction이 가능한 공단량체 합성을 통해 그것을 매트릭스 고분자에 화학결합으로 고정하는 방식이 활발히 연구되고 있다. 이러한 방법에는 porogen을 한쪽만 고정시키는 grafted porogen, 기존의 alkyl bridged silane처럼 양쪽을 고정시키는 bridged porogen이 가능하며 매트릭스 안에 기공형성체의 localization이 강제로 시행되

는 후자의 경우 30% 이상의 porosity에서도 2 nm 수준의 작은 pore size를 유지하며 pore interconnection이 현저히 줄어드는 결과를 나타내었다.^{41,42}

나노 기공형성체를 이용한 기공주입 방식 이외에도 유전율 2.2 이하의 SOG 초저유전 물질에 관한 여러 연구 결과가 보고된 바 있다. TI와 Honeywell사에서 sol-gel 공정을 이용하여 nanoporous 실리카인 xerogel을 적용, 공극률이 80%일 때 1.8의 유전율을 가짐을 보고하였으나 취약한 기계적 물성 등의 문제점이 있었으며 벨기에의 IMEC에서는 zeolite를 이용한 초저유전 물질을 활발히 연구 발표하고 있다.⁴³ Dow Chemical사는 SiLK 박막보다 유전율, CTE 등의 물성을 향상시킨 SiLK D, SiLK J($k=2.6$)를 개발하였고, 더 나아가 porous SiLK Y($k=2.2$, average pore size=1.5~1.8 nm)를 개발하여 발표하였으며, 현재 $k=2.0$ 을 목표로 한 porous SiLK Z를 연구 중에 있다. 이치

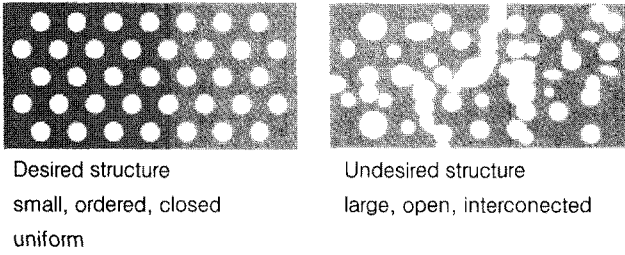
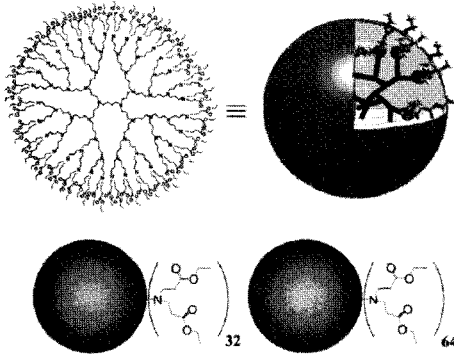


그림 8. 초저유전 박막의 이상적 pore 구조(좌) 및 일반적 pore 구조(우).

Dendrimer 형 porogen



반응형 porogen

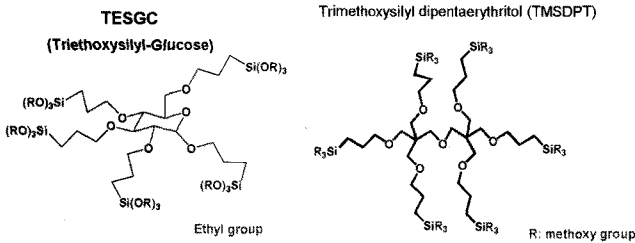


그림 9. 초저유전 박막용 pore generator 물질들의 화학구조.

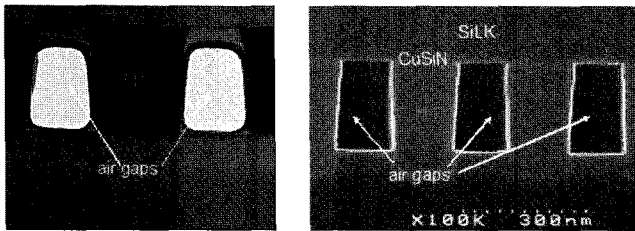


그림 10. Air gap interconnect structures.

럼 spin-on 방식의 초저유전 재료는 40 nm급 k 값 2.2 이하에서 CVD 방식이 성공하지 못할 경우 이를 대체할 유력한 후보물질로서 현재 매우 활발히 연구 개발되고 있으며 미래 초저유전체 재료시장에서는 다시 CVD 재료와 경쟁할 것으로 보인다.

2.1.3 그 밖의 해결책

배선간격 감소에 따른 RC delay 문제를 해결하기 위한 또 다른 해결책으로서 층간 절연물질 대신 배선 사이를 빈 공간으로 남겨놓는 air gap interconnect가 최근 많이 연구되고 있다. Air gap 공정으로는 궁극적으로 얻을 수 있는 $k=1$ 이 가능하며 2.0 이하의 k_{eff} 가 가능한 것

으로 알려져 30 nm급 이하의 공정에 대한 해결책으로 기대되고 있다. Air gap interconnect는 non conformal PECVD 방법이나 sacrificial polymer를 multi level-interconnect에 도입 후 제거하는 방식으로 제작할 수 있으나 multi-level integration을 위해서는 아직 개발되어야 할 기반 기술들이 많은 상태로 알려져 있다(그림 10).⁴⁴

3. 결론

지금까지 저유전막의 연구는 시장에서 필요로 하는 수요를 맞추면서 제품의 안정성(reliability)을 고려하여, PECVD 방식을 이용한 OSG (organosilicate glass)물질이 선택되어져 왔으며 현재 대부분의 기업에서 이 물질을 50 nm급 공정까지 적용할 계획이다. 그러나, PECVD 용 OSG 물질은 현재 $k > 2.4$ 에 머무르고 있다. 40 nm 이하의 공정에 필요로 하는 $k < 2.2$ 을 구현하기 위해서 저유전 물질 내에 40% 이상의 porosity가 요구된다. 그러나, PECVD 방식의 경우 좋은 기계적 물성을 유지하면서 40% 이상의 pore를 도입하는 데에 한계가 있어 더 이상 유전율을 낮추는 데는 어려움이 많을 것으로 예상되며, 이를 대체할 수 있는 spin-on 방식의 초저유전 재료들이 활발히 연구되면서 다시 이들과 경쟁할 것으로 예상된다. Spin-on 방식의 재료들 또한 초저유전 층간 절연 물질로 적용되기 위해서는 뛰어난 물리적 특성의 매트릭스 고분자 및 high porosity에서 small and closed pore morphology를 구현할 수 있는 기공형성제 개발 및 pore generation method 연구가 모두 성공적으로 이루어져야 하며 이는 차세대 메모리 및 비메모리 반도체 성능의 한계를 결정짓는 매우 중요한 과제라 할 수 있다.

참고문헌

1. R. D. Miller, *Science*, **286**, 421 (1999).
2. D. Shamiryan, T. Abell, F. Lacopi, and K. Maex, *Materialstoday*, **7**, 34 (2004).
3. V. V. Deodhar and J. A. Davis, *Tech. Dig. Int. Symp. Circuit. Syst.*, V-349-V-352 (2003).
4. P. Singer, *Semiconductor International*, Nov., p.67 (1997).
5. *MRS Bulletin*, **22**, Oct. (1997).
6. A. K. Stamper, V. McGahay, and J. P. Hummel, *Electrochem. Soc. Proc.*, **97**, 1 (1997).
7. *The International Technology Roadmap for Semiconductors: 2007 Edition*, http://www.itrs.net/Links/2007ITRS/2007_Chapters/2007Interconnect.pdf.
8. R. F. Cook and E. G. Liniger, *J. Electrochem. Soc.*, **146**, 4439 (1999).
9. H.-C. Kim, G. Wallraff, C. R. Kreller, S. Angelos, V. Y. Lee, W. Volksen, and R. D. Miller, *Nano Lett.*, **4**, 1169 (2004).
10. H. W. Ro, K. J. Kim, P. Theato, D. W. Gidley, and D. Y. Yoon, *Macromolecules*, **38**, 1031 (2005).
11. Dow Chemical (SiLK) : <http://www.dow.com/silk>.
12. S.-M. Yun, K.-H. Bae, H. Y. Chang, H. M. Lee, D. C. Kim, and C.-K. Choi, *Electrochem. Soc. Proc.*, **97**, 20 (1997).
13. T Usami, H. Ishikawa, and H. Gomi, *Mater. Res. Soc. Symp.*, **476**, 69 (1997).

14. *BLACK DIAMOND AND BLOK*, from <http://www.appliedmaterials.com>.
15. *News Letters* from <http://www.novellus.com>, <http://www.aviza-technology.com>, <http://www.ibm.com>.
16. *Technical Reports* from <http://www.honeywell.com>, <http://www.sematech.org>.
17. C. Case and A. Kornblit, *Low Dielectric Constant Materials and Interconnects Workshop Proc. (SEMATECH)*, p. 387 (1996).
18. R. Triphol, H. W. Boone, D. Perahia, K. Ivey, E. Ballard, A. B. Hoeglund, P. A. Babb, and D. E. Smith, Jr., *Polymer Mater. Sci. Eng.*, **80**, 197 (1999).
19. A. A. Goodwin, F. W. Mercer, and M. T. McKenzie, *Macromolecules*, **30**, 2767 (1997).
20. *Advances in Polyimide Science and Technology*, C. Feger, M. M. Khojastech, and M. S. Htoo, Editors, Technomics Publ., Lancaster, 1993.
21. D. W. Smith, Jr. and D. A. Babb, *Macromolecules*, **29**, 852 (1996).
22. R. Triphol, H. W. Boone, D. Perahia, K. Ivey, E. Ballard, A. B. Hoeglund, P. A. Babb, and D. E. Smith, Jr., *Polym. Mater. Sci. Eng.*, **80**, 197 (1999).
23. C. V. Nguyen, K. R. Carter, C. J. Hawker, J. L. Hedrick, R. L. Jaffe, R. D. Miller, J. F. Remenar, H. W. Rhee, P. M. Rice, M. F. Toney, M. Trollsas, and D. Y. Yoon, *Chem. Mater.*, **11**, 3080 (1999).
24. J. L. Hedrick, R. D. Miller, C. J. Hawker, K. R. Carter, W. Volksen, D. Y. Yoon, and M. Trollsas, *Adv. Mater.*, **10**, 1049 (1998).
25. C. V. Nguyen, C. J. Hawker, R. D. Miller, E. Huang, R. Gauderon, J. G. Hiborn, and J. L. Hedrick, *Macromolecules*, **33**, 1999 (2000).
26. J. L. Hedrick, T. Magbitang, E. F. Conner, T. Glauser, W. Volksen, C. J. Hawker, V. Y. Lee, and R. D. Miller, *Chem. Eur. J.*, **8**, 3309 (2002).
27. Q. R. Haung, H. C. Kim, E. Huang, D. Mecerreyes, J. L. Hedrick, W. Volksen, C. W. Frank, and R. D. Miller, *Macromolecules*, **36**, 7661 (2003).
28. M. J. Laboda, C. M. Grove, and R. F. Schmeider, *J. Electrochem. Soc.*, **145**, 2861 (1998).
29. C. T. Chua, G. Sarkar, and X. Hu, *J. Electrochem. Soc.*, **145**, 4007 (1998).
30. R. H. Baney, M. Itoh, A. Sakakibara, and T. Suzuki, *Chem. Rev.*, **95**, 1409 (1995).
31. L. L. Hench and J. K. West, *Chem. Rev.*, **90**, 33 (1990).
32. H. W. Ro, K. Char, E. Jeon, H. J. Kim, D. Kwon, H. J. Lee, J. K. Lee, H. W. Rhee, C. L. Soles, and D. Y. Yoon, *Adv. Mater.*, **19**, 705 (2007).
33. G. Dubois, W. Volksen, T. Magbitang, R. D. Miller, D. M. Gage, and R. H. Dauskardt, *Adv. Mater.*, **19**, 3989 (2007).
34. J. S. Rathore, L. V. Interrante, and G. Dubois, *Adv. Funct. Mater.*, **18**, 4022 (2008).
35. G. Dubois, W. Volksen, T. Magbitang, R. D. Miller, D. M. Gage, and R. H. Dauskardt, *J. Sol-Gel. Sci. Technol.*, **48**, 187 (2008).
36. Y. Toivola, S. Kim, R. F. Cook, K. H. Char, J. K. Lee, D. Y. Yoon, H. W. Rhee, S. Y. Kim, and M. Y. Jin, *J. Electrochem. Soc.*, **151**, F45 (2004).
37. J. Xu, J. Moxom, S. Yang, R. Suzuki, and T. Ohdaira, *Chem. Phys. Lett.*, **364**, 309 (2002).
38. E. F. Connor, L. L. Sundberg, H. C. Kim, J. J. Cornelissen, T. Magbitang, P. M. Rice, V. Y. Lee, C. J. Hawker, W. Volksen, J. L. Hedrick, and R. D. Miller, *Angewante Chemie*, **115**, 3915 (2003).
39. D. Mecerreyes, V. Lee, C. J. Hawker, J. L. Hedrick, A. Wursch, W. Volksen, T. Magbitang, E. Huang, and R. D. Miller, *Adv. Mater.*, **13**, 204 (2001).
40. M. Ree, J. Yoon, and K. Heo, *J. Mater. Chem.*, **16**, 685 (2006).
41. "Synthesis and Characterization of Nanoporous Ultralow-Dielectric Films by Grafted and Dual-Porogen Methods", J. H. Sim, J. H. Park, E. S. Park, H.-W. Ro, H.-W. Rhee, David W. Gidley, and Do. Y. Yoon, unpublished results.
42. "Synthesis and Characterization of Novel Porogen-Bridged Silsesquioxane Polymers for Ultralow-k Applications", J. H. Sim, W. Lee, D. W. Gidley, and D. Y. Yoon, unpublished results.
43. Y. Liu, M. Sun, C. M. Lew, J. Wang, and Y. Yan, *Adv. Funct. Mater.*, **18**, 1732 (2008).
44. L. G. Gosset, A. Farcy, J. de Pontcharra, Ph. Lyan, R. Daamen, G. J. A. M. Verheijden, V. Arnal, F. Gaillard, D. Bouchu, P. H. L. Bancken, T. Vandeweyer, J. Michelon, V. Nguyen Hoang, R. J. O. M. Hoofman, and J. Torres, *Microelectron. Eng.*, **82**, 321 (2005).