

## GaN epitaxy growth by low temperature HVPE on CoSi<sub>2</sub> buffer/Si substrates

Jun-Seok Ha, Jongsung Park\*, Ohsung Song\*<sup>†</sup>, T. Yao\*\* and Jiho Jang\*\*\*

*Solid State Lighting and Energy Center, Materials Department, University of California, Santa Barbara, California 93106, USA*

*\*Department of Materials Science and Engineering, University of Seoul, Seoul 130-743, Korea*

*\*\*Institute for Materials Research, Tohoku University, Sendai 980-8577, Japan*

*\*\*\*Department of Nano Semiconductor Engineering, Korea Maritime University, Busan 606-791, Korea*

(Received May 12, 2009)

(Revised June 27, 2009)

(Accepted July 16, 2009)

**Abstract** We fabricated 40 nm-thick cobalt silicide (CoSi<sub>2</sub>) as a buffer layer, on p-type Si(100) and Si(111) substrates to investigate the possibility of GaN epitaxial growth on CoSi<sub>2</sub>/Si substrates. We deposited GaN using a HVPE (hydride vapor phase epitaxy) with two processes of process I (850°C-12 minutes + 1080°C-30 minutes) and process II (557°C-5 minutes + 900°C-5 minutes) on CoSi<sub>2</sub>/Si substrates. An optical microscopy, FE-SEM, AFM, and HR-XRD (high resolution X-ray diffractometer) were employed to determine the GaN epitaxy. In case of process I, it showed no GaN epitaxial growth. However, in process II, it showed that GaN epitaxial growth occurred. Especially, in process II, GaN layer showed self-aligned substrate separation from silicon substrate. Through XRD  $\omega$ -scan of GaN <0002> direction, we confirmed that the combination of cobalt silicide and Si(100) as a buffer and HVPE at low temperature (process II) was helpful for GaN epitaxy growth.

**Key words** GaN, Epitaxy, HVPE, Cobalt silicide, Buffer layer, Silicon substrate

## 실리콘 기판과 CoSi<sub>2</sub> 버퍼층 위에 HVPE로 저온에서 형성된 GaN의 에피텍셀 성장 연구

하준석, 박종성\*, 송오성\*<sup>†</sup>, T. Yao\*\*, 장지호\*\*\*

University of California Solid State Lighting and Energy Center

\*서울시립대학교 신소재공학과, 서울, 130-743

\*\*Tohoku University Institute for Materials Research

\*\*\*한국해양대학교 나노반도체공학과, 부산, 606-791

(2009년 5월 12일 접수)

(2009년 6월 27일 심사완료)

(2009년 7월 16일 게재확정)

**요약** 실리콘 기판에 GaN 에피성장을 확인하기 위해, P형 Si(100), Si(111) 기판 전면에서 버퍼층으로 40 nm 두께의 코발트실리사이드를 형성시켰다. 형성된 코발트실리사이드 층에 연속으로 HVPE(hydride vapor phase epitaxy)로 하나는 850°C-12분 + 1080°C-30분(공정I)과, 또 하나 조건은 557°C-5분 + 900°C-5분(공정II) 조건으로 각각 나누어 진행하여 보았다. GaN의 에피성장을 광학현미경, 주사전자현미경, 주사탐침현미경, 그리고 HR-XRD로 확인하였다. 공정I로는 GaN의 에피성장이 진행되지 않았으며, 공정II에서는 에피성장이 진행되었다. 특히 공정II는 열팽창에 의해 실리콘 기판과의 자가정렬적인 기판분리 현상을 보였으며, XRD로 GaN의 0002 방향의 결정성 (crystallinity)을  $\omega$ -scan으로 확인한 결과 (100)면 방향의 실리콘과 코발트실리사이드를 버퍼층으로 활용하고 저온에서 HVPE를 진행한 조합이 GaN의 에피성장에 유리하였다.

<sup>†</sup>Corresponding author

Tel: +82-2-2210-2604

Fax: +82-2-2215-5863

E-mail: songos@uos.ac.kr

## 1. 서 론

화석연료의 고갈과 환경문제의 대두로 기존 에너지문제에 대한 대응방안이 필요하다. 기존의 조명용 전력은 전체전력에너지 소비의 약 20%를 차지하고 있는데 현재의 백열전구나 형광등을 효율이 좋은 LED소자로 대체하면 에너지 절감효과가 클 것으로 기대된다. 만약 2009년 현재 우리나라의 전력규모를 영국과 비슷하다고 가정하고, 현재 우리나라의 모든 조명기기가 LED로 대체된다면 약 10%의 CO<sub>2</sub> 방출저감효과와 연간 약 2조원의 에너지 비용 절감이 예상된다[1].

현재 LED소자는 계속 발전을 거듭하여 기존의 planar 구조의 LED로부터 좀 더 효율을 향상시킨 수직형 구조의 LED(V-LED)가 연구개발 되고 있다. 기존의 planar 구조의 LED는 디바이스 자체의 구조적인 문제로 전극 배치에 의한 실제 유효면적이 작아지는 문제와 전류 불균일(current crowding)에 의한 내부발광 효율저하, 열 및 전기적 부도체인 투명사파이어 기판에 의한 광효율 감소 및 정전기(electrostatic discharge)에 의한 소자파괴의 문제점을 내포하고 있었다[2-4]. 이러한 문제의 개선을 위해서 제안된 V-LED는 발광 활성층의 전 면적을 사용할 수 있도록 하여 기존의 전극에 의한 유효면적손실을 방지하고, 전류 불균일 문제를 해결하여 고효율 LED의 제작을 가능하게 하고 있다[5-8].

그러나 이러한 V-LED 구조의 구현을 위해서는 기존의 비싼 사파이어 단결정 기판을 사용하여야 하고, 전극층, 반사층, 에피성장을 위한 버퍼층 등 복잡한 적층 구조를 제작하기 위한 공정과 비용 문제가 해결되어야 한다.

이 문제의 해결을 위해서는 먼저 비싼 사파이어 기판을 대체하여 좀 더 경제적으로 대구경 크기로 공급이 가능하고, 또한 GaN층의 에피성장이 가능한 기판의 도입이 필요하다. 반도체 산업에서 검증된 실리콘은 이러한 요구에 경제적인 면에서 가장 가능성이 있는 기판이다. 직경 12인치의 대구경 기판공정이 가능하여 기존 2인치 사파이어 기판보다 40배 정도의 많은 소자를 한 번에 만들 수 있고 상대적으로 사파이어나 실리콘카바이드 기판에 비해 매우 저렴하다.

그러나 이러한 실리콘 기판에 직접 GaN 등 LED용 박막을 성장시키는 것은 아직 어려움이 많다. 현재 이를 위한 연구로서, 실리콘 기판에 직접 GaN을 성장시키기 보다는 AlN[9, 10], ZnO[11], 저온 GaN[12], MBE[13, 14] 증착된 GaN 버퍼층 등[15-17] 실리콘과 GaN층의 격자간 차이를 줄이거나 공정 중의 열팽창 차이를 최소화하여 GaN 에피택시를 만족하는 버퍼층의 연구개발이 진행 중이다.

이와 같은 배경에서 본 연구는 기존 LED 소자의 공정 비중에서 큰 부분을 차지하는 사파이어 기판을 대구

경이 가능한 실리콘기판으로 대체하고, GaN 에피성장을 위한 버퍼층, 전극층의 역할을 동시에 수행하는 기능성 버퍼 박막으로 나노급 두께의 코발트실리사이드 층을 채용하였다.

기능성 버퍼 박막은 GaN과 실리콘과의 격자간 불일치와 공정 중 열스트레스를 상쇄시키는 역할을 하여 GaN의 에피성장을 가능하게 해야 하며, 전기전도성이 우수한 전도체로서 배선층 역할을 할 것과 동시에 광학적으로 불투명하여 가시광선 층을 반사시키는 기능이 요구된다.

이러한 요구를 충족시키는 버퍼층으로 여러 가지 실리콘사이드 중 코발트실리사이드가 가능하다. 실리사이드(silicide)는 실리콘과 천이금속의 중간상으로 현대의 상용화된 대부분의 MOSFET(metal oxide semiconductor field emission transistor) 소자의 접촉 저항을 줄이고, 배선층의 확산 방지막, 메탈 콘택에치(metal contact etch)시의 stopping layer로서의 역할을 위해 개발되었다.

살리사이드(self-aligned silicide) 공정을 통하여 구현되는 기존의 반도체 소자용 실리사이드로는 WSi<sub>2</sub>, TiSi<sub>2</sub>, CoSi<sub>2</sub>, CrSi<sub>2</sub>, VSi<sub>2</sub>, MoSi<sub>2</sub>, NiSi 등이 알려져 있고, 또한 단결정 실리콘 기판과 epitaxy를 이루는 실리사이드로는 CoSi<sub>2</sub>, VSi<sub>2</sub>, CrSi<sub>2</sub>, MoSi<sub>2</sub>, WSi<sub>2</sub> 등이 있다. 이러한 실리사이드는 사파이어와 대등한 정도로 격자간 불일치(lattice mismatch)를 줄여줄 가능성이 있을 것으로 판단된다. 여러 실리사이드 중 특히 CoSi<sub>2</sub>는 0.25 μm급 이하의 CMOS 공정에서 채용되어 제작 공정과 물성이 잘 알려져 있고 고온안정성도 우수하여 본 연구에 채택되었다[18, 19]. 또한 GaN과 CoSi<sub>2</sub>와의 격자간 불일치는 -15.8%로 Si와의 격자간 불일치 -16.9%보다 작아 GaN 에피 성장이 유리하다고 판단되었다. 반면 열스트레스 면에서 CoSi<sub>2</sub>, GaN 및 Si은 각각 9.4 × 10<sup>-6</sup>/K, 5.6 × 10<sup>-6</sup>/K, 3.8 × 10<sup>-6</sup>/K의 열팽창계수값을 가져 오히려 GaN/Si 조합이 유리할 수 있지만, 본 연구에서는 나노급 두께의 CoSi<sub>2</sub> 버퍼층의 사용으로 열스트레스 효과는 상대적으로 미약하다고 예상되었다.

이렇게 채용된 CoSi<sub>2</sub> 버퍼층에 GaN 후막층을 성장시키는 것에는 hydride vapor phase epitaxy(HVPE) 장치를 채용하였다. 현재 LED 제품생산에 사용되고 있는 기존 MOCVD장치와 달리 HVPE 장치는 HCl hydride와 Ga, NH<sub>3</sub> 가스를 고온에서 반응시켜 단시간 내에 μm급의 후막 GaN을 증착시킬 수 있는 장점을 가지고 있어서, 현재에는 GaN 단결정 template 제작에 사용되는 성막 장비이다[20, 21].

본 연구에서는 V-LED 소자의 제작을 상정하고 실리콘 기판 위에 버퍼층으로 나노급 두께의 코발트실리사이드를 만들고 이 위에 통상의 후막 GaN 증착장비인 HVPE로 기판 온도를 저온과 고온으로 달리하여 증착하며, 실

리론 기판과 코발트실리사이드 버퍼층을 이용하여도 GaN 에피층 성막이 가능한지 확인하여 보았다.

## 2. 실험방법

실험에 사용된 기판은 직경 100 mm, 두께 500  $\mu\text{m}$ 의 p-type(100) 단결정 실리콘 웨이퍼였다. 크리닝이 완료된 기판 전면에 자연 산화막이 형성되기 전에 1 nm 두께의 코발트 금속을 전자총 증착기(e-gun evaporator)로 증착시켜 최종적으로 10 nm-Co/Si(100) 구조의 시편을 준비하였다.

완성된 시편들은  $10^{-3}$  torr의 진공에서 7쌍의 할로겐 램프로 구성된 RTA를 활용하여 800°C에서 40초간 열처리하여 코발트실리사이드 (CoSi<sub>2</sub>)가 생성되도록 하였다. 열처리가 완료된 시편들은 미반응 코발트 금속을 제거하기 위해서 80°C에서 30 vol%-황산에 10분간 담가 처리하였다. 완성된 CoSi<sub>2</sub>/Si(100) 기판은  $1 \times 1 \text{ cm}^2$  크기로 다이아몬드 소우(saw)로 다이싱하였다. 동일한 방법으로 p-type (111)면을 가진 실리콘 기판에 CoSi<sub>2</sub>층을 형성시키고 다이싱하여 준비하였다.

준비된 CoSi<sub>2</sub>/Si(100), CoSi<sub>2</sub>/Si(111) 시편을 HVPE 장비에 장입하고 NH<sub>3</sub>, HCl과 Ga 소오스를 이용하여 N<sub>2</sub>를 carrier gas로 써서 GaN을 성막 시켰다.

GaN 층의 HVPE 증착은 공정온도를 바꾸어, 첫째는 2단계 성장 모두 고온에서 GaN을 성장시키는 공정(공정 I)과, 둘째는 일단 저온에서 중간층 증착을 하고 이후 고온 증착을 진행하여 총 4  $\mu\text{m}$ 의 GaN 후막을 만드는 공정(공정 II)을 실시하였다.

공정은 850°C-12분간 GaN 고온 중간층을 만들고, 연속하여 1080°C에서 30분간 고온 성장을 진행하였다.

공정은 557°C에서 5분간 저온(low temperature: LT)-GaN을 성막시키고, 다시 900°C에서 5분간 GaN 버퍼를 만들어, 총 4  $\mu\text{m}$  목표 두께의 GaN 성막 공정이었다. 공정II가 완료된 시편에 대해서는 아래 기본 물성분석을 진행하고 확인한 후, 연속하여 HVPE로 다시 1080°C에서 20분간 고온 GaN성장을 실시하여 다시 20  $\mu\text{m}$ 의 후막 GaN을 성막시켰다.

완성된 박막은 박막 진행에 따라 광학현미경, 주사전자현미경, 주사탐침현미경과 HR-XRD를 활용하여 미세구조와 결정성을 확인하였다.

Olympus 사의 UV 광원 기능이 부가된 광학 현미경을 활용하여 500배까지 관찰하였다. 광학현미경을 활용하면 거시적인 표면미세구조와 특히 GaN 층은 통상 UV 광에 대해 형광색을 띠므로 UV 광원모드로 쉽게 형광색의 확인과 국부적인 표면 색 변화에 따라 스트레스에 따른 밴드갭의 변화를 간접적으로 확인하였다.

Hitachi FE-SEM을 써서 100,000배까지 관찰하였다. GaN 층의 평면을 관찰하여 hcp 구조의 육각 결정립 형태의 분포 정도로 결정립의 크기와 분포, 결정성 (crystallinity)을 간접적으로 유추하였고, 수직단면을 관찰하여 GaN층의 두께를 확인하였다.

FE-SEM의 보조적인 방법으로 SEIKO사의 SII AFM의 컨택 모드를 사용하여 GaN 층의 표면조도와 표면 이미지를 측정하였다.

X선 회절 분석 장치를 사용하여 GaN 상의 확인과 결정성을 해석하였다. CuK $\alpha$ ( $\lambda = 1.5406 \text{ \AA}$ )선을 이용하여  $2\theta = 20^\circ \sim 100^\circ$ 까지의 wide scan을 이용하여 GaN 상의 존재유무를 확인하였고,  $\theta = 17.3^\circ$  부근의 GaN(0002) 면의 오메가( $\omega$ ) scan을 실시하여 결정성(crystallinity)을 정량적으로 판단하였다.

## 3. 실험결과 및 토의

기판 면에 관계없이 실리사이드 공정 후 완성된 CoSi<sub>2</sub>/Si(100) 기판들은 CoSi<sub>2</sub> 층이 실리콘 기판의 광택도를 유지하면서 실리콘 고유의 색과는 차이가 나는 진회색의 표면을 보여 실리사이드 증착 전과 비교하여 확연히 육안으로도 CoSi<sub>2</sub> 층의 존재를 확인할 수 있었다.

GaN 층은 통상 무색투명한 것으로 알려져 있으나 하지층이 불투명한 CoSi<sub>2</sub>/Si인 경우 성막 직후에도 시편 표면색의 변화로 GaN막의 존재 유무를 알 수 있었다.

공정 I에 의한 GaN 시편은 Si(100), Si(111) 기판에 관계없이 모두 원래의 CoSi<sub>2</sub> 표면 광택을 보였다. 따라서 GaN 증착이 진행되지 않았음을 간접적으로 확인할 수 있었다.

공정 II에 의한 GaN 시편은 Si(100)과 Si(111) 기판 위의 시료 모두 가운데 부분은 검은색으로 변화하였고 특히 모서리 부분의 2 mm 정도가 하얀색으로 변화하여 일단은 GaN 박막이 증착되었음을 육안으로 확인할 수 있었다.

Fig. 1에는 공정 II로 진행된 GaN층의 광학현미경 이미지를 명시야 이미지와 UV 모드에 의한 형광모드를 같이 나타냈다. 일반 명시야 모드인 Si(100)(a), (111) 기판의 경우(c) 모두 중심부에도 검은색과 흰 부분이 같이 존재하고 있었다. 하지층과의 접촉이 우수한 GaN은 일반 가시광선에서는 국부적으로 검은색을 띠고 있으나, 에지부의 흰색 부분은 GaN이 증착 후 냉각되면서 기판과의 열스트레스에 의해서 박리가 일어난 광학적으로 불균일한 GaN 부분이라고 추측할 수 있었다. UV 광원에 의해 형광성을 확인한 Si(100) 기판(b), Si(111) 기판(d)의 경우 모두 기판에 관계없이 비슷한 정도의 형광을 보였으며 특히 명시야 모드에서 박리부라고 판단된 부분에

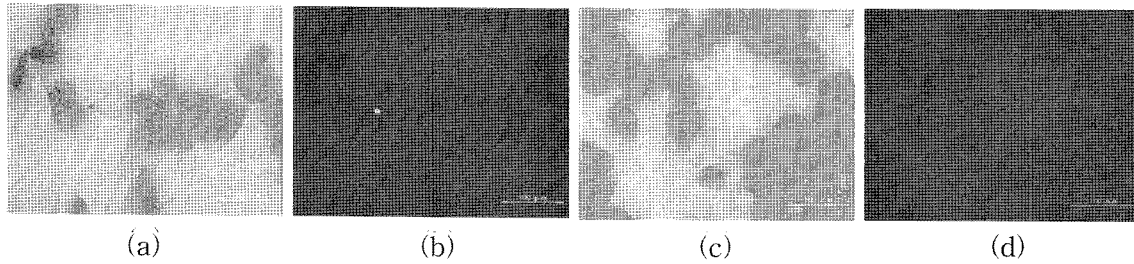


Fig. 1. Optical images of GaN layer by process II; (a) GaN/CoSi<sub>2</sub>/Si(100), (b) GaN/CoSi<sub>2</sub>/Si(100) in UV mode, (c) GaN/CoSi<sub>2</sub>/Si(111), and (d) GaN/CoSi<sub>2</sub>/Si(111) in UV mode.

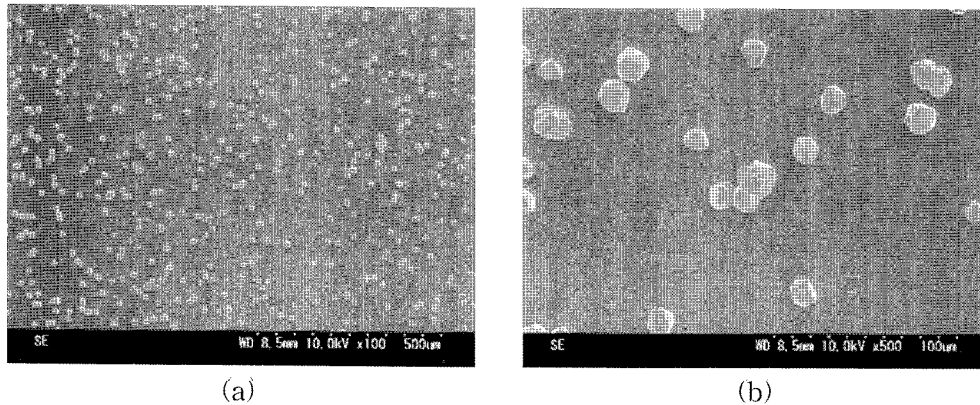


Fig. 2. FESEM image of GaN layer after process I; (a)  $\times 100$  observation and (b)  $\times 500$  observation.

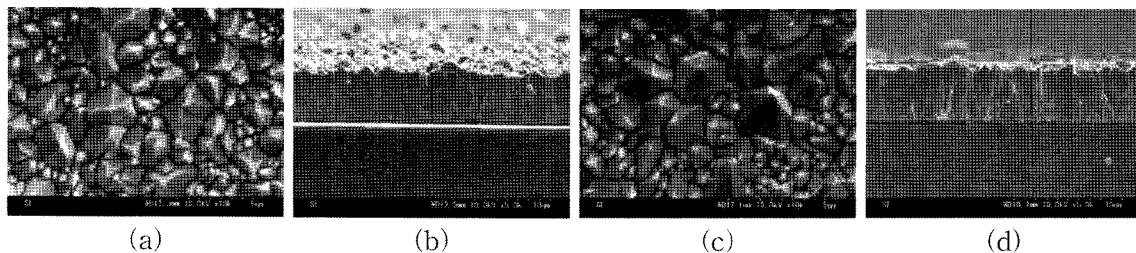


Fig. 3. FESEM microstructures of GaN layer by process II; (a) surface image of GaN/CoSi<sub>2</sub>/Si(100), (b) vertical image of GaN/CoSi<sub>2</sub>/Si(100), (c) surface image of GaN/CoSi<sub>2</sub>/Si(111), and (d) vertical image of GaN/CoSi<sub>2</sub>/Si(111).

서도 동일 색상의 형광특성이 나타나서 이는 동일한 GaN이 성장된 것이고 하지층과의 국부적인 박리 정도에 따라 형광특성에 콘트라스트의 차이가 생김을 확인하였다.

Fig. 2에는 공정I에 의한 GaN 증착 후의 100배(a)와 500배(b)로 FESEM으로 관찰한 이미지를 나타내었다. 확연하게 고온 GaN 층에 의해서는 GaN 층이 형성되지 않았으며 직경 10  $\mu\text{m}$  정도의 육각형 GaN이 섬 모양으로 성장하였으나 확연하게 전체적으로 LED 용도에 맞는 에피텍시 성장이 진행되지 않았음을 보이고 있다. 이는 앞서 간접적으로 확인한 육안 분석과 같이, 고온 HVPE 성장법으로는 GaN이 CoSi<sub>2</sub>/Si 기판에 에피텍시로 성장이 진행되지 않음을 알 수 있었다.

Fig. 3에는 공정II, 즉 HVPE로 2단계 LT-GaN 버퍼층 증착이 완료된 후의 FE-SEM 관찰 결과를 나타내었다.

Fig. 3(a), (b)에는 Si(100) 기판의 경우를, Fig. 3(c), (d)에는 Si(111) 기판의 경우를 각각 나타내었다. (a)와 (c)의 평면상의 이미지를 보면 (0002) 방향의 GaN 층이 비교적 우수한 hcp 구조에 의한 육각주를 이루며 성장하였음을 보이고 있다. 이 정도의 c-축 성장 결정성에는 후속 고온 GaN 층의 성장을 통하여 우수한 결정성의 GaN 에피 성장이 기대되었다.

반면 Fig. 3(c)의 Si(111)기판 위의 경우는 확연한 GaN 층의 성장이 진행되었음을 보이고 있으나 Fig. 3(a)에 비해서 c-축 성장이 저해되어 육각주의 방향이 위에서 보면 서로 비대칭으로 우선 성장을 하였음을 보이고 있다. 따라서 Si(100) 기판의 CoSi<sub>2</sub> 버퍼층이 더 c-축 결정성 특성이 우수하였다. 한편 저배율 관찰에서 기판에 관계없이 모든 GaN층에서 크랙을 확인하였다. 이

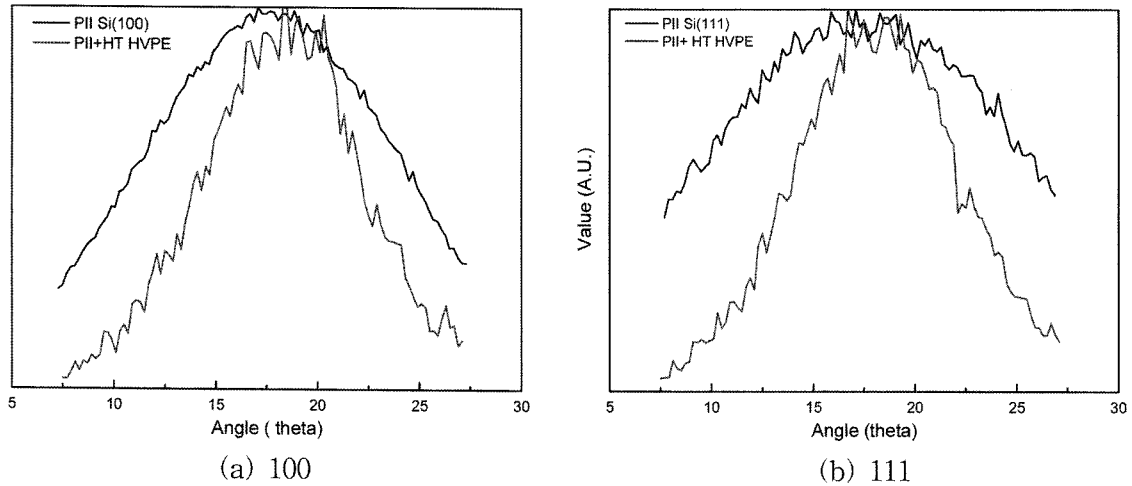


Fig. 4. XRD  $\omega$ -scan for crystallinity with process II and HVPE HT 20  $\mu\text{m}$  growth; (a) GaN/CoSi<sub>2</sub>/Si(100), and (b) GaN/CoSi<sub>2</sub>/Si(111).

러한 크랙은 실리콘 기판부와 GaN과의 극심한 열스트레스에 의한 파괴현상으로 판단되었다.

Fig. 3(b)와 (d)의 각 기판에 의한 수직단면도 역시 Si(100) 기판의 경우가 GaN 성장의 방향성이 우수함을 보였다. 특히 FE-SEM의 분해능 한계로 인해서 나노급 두께의 CoSi<sub>2</sub> 층은 확인되지 않았으나, 기판에 관계없이 모든 경우에서 극부적인 GaN층과 CoSi<sub>2</sub>/Si과의 분리를 확인하였다. 그러나 이러한 실리콘 기판과의 분리는 부정적인 현상이 아니라, 후막 GaN을 성장시킨 후 연마할 필요가 없는 자립형(free standing) GaN 소자를 제작할 때는 오히려 긍정적인 결과로서, 자립형 GaN 소자일 경우에는 매우 경제적으로 용이하게 기판과 후막 GaN을 분리시킬 수 있다는 가능성을 의미하였다.

Fig. 4는 공정II에 의해 제작된 GaN층의 결정성(crystallinity)과 이후 고온에서 HVPE로 20  $\mu\text{m}$ 의 후막 GaN을  $\omega$ -scan에 의해 확인하고 비교한 결과를 CoSi<sub>2</sub>/Si(100)과 CoSi<sub>2</sub>/Si(111) 기판의 경우로 나누어 각각 Fig. 4(a), (b)에 나타내었다. Fig. 4(a)의 (100) 기판의 경우는 공정 II 직후에 11° 이다가, 고온 GaN 성장 후에는 10°로 결정성이 향상되었다. Fig. 4(b)의 (111)의 경우는 공정II 직후에 14° 이다가, 고온 GaN 성장 후에는 11°로 결정성이 향상되었다. 물론 이러한 결과는 기존의 AlN/사파이어 기판 조합의 2° 이하보다 불리한 결과이지만 CoSi<sub>2</sub>/Si 기판으로도 GaN의 에피성장의 가능성을 확인하는 의미가 있었다.

앞서 보인 미세구조 관찰에서 뚜렷한 (0002) 방향의 성장을 확인할 수 있었음에도 결정성이 매우 크게 나온 것은 앞서 확인한 공정II 직후의 GaN의 박리현상 때문에 시료 자체의 굽힘(warping) 때문에 생긴 현상이라고 판단되었다. 그럼에도 불구하고 정성적으로는 코발트실리사이드 버퍼가 채용된 실리콘 기판의 경우 면지수에 관계없이 모두 저온 HVPE공정을 채용할 경우 GaN 에

피택시 성장이 가능하였으며, 특히 (100) 기판의 경우가 결정성이 우수함을 확인하였다.

#### 4. 결 론

실리콘 기판에 나노급 코발트실리사이드를 버퍼층으로 하여 HVPE로 저온에서 GaN 에피층 성장의 가능성을 확인하였다. 제안된 기판에 직접 HT-GaN HVPE 공정을 진행하면 GaN 증착이 진행되지 못했다. 반면, 550°C와 900°C에서 LT-GaN HVPE공정을 진행하면 GaN 에피층 진행이 가능하였고 특히 실리콘(100) 기판을 채용한 경우가 실리콘(111) 기판의 경우보다 c-축 성장이 유리하였다.

#### 감사의 글

이 논문은 2007년도 정부(과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구임(No. R01-2007-000-20468-0).

#### 참 고 문 헌

- [1] W.M. Yen, S. Shionoya and H. Yamamoto, Phosphor Handbook, 2nd ed., P.121-122, CRC Press, New York, U.S.A. (2007).
- [2] X. Guo and E.F. Schubert, "Current crowding and optical saturation effects in GaInN/GaN light-emitting diodes grown on insulating substrates", Appl. Phys. Lett. 78 (2001) 3337.
- [3] W.C. Peng and Y.S. Wu, Appl. Phys. Lett. 84 (2004) 1841.

- [4] R.H. Horng, S.H. Huang, D.S. Wu and C.Y. Chiu, *Appl. Phys. Lett.* 82 (2004) 4011.
- [5] J.-S. Ha, S.W. Lee, H.J. Lee, H.-J. Lee, S.H. Lee, H. Goto, T. Kato, Katsushi Fujii, M.W. Cho and T. Yao, "The fabrication of vertical light-emitting diodes using chemical lift-off process", *IEEE Photon. Technol. Lett.* 20 (2008) 175.
- [6] K. Kawasaki, C. Koike, Y. Aoyagi and M. Takeuchi, "Vertical AlGaIn deep ultraviolet light emitting diode at 322 nm fabricated by the laser lift-off technique", *Appl. Phys. Lett.* 89 (2006) 26114.
- [7] S.J. Wang, K.M. Uang, S.L. Chen, Y.C. Yang, S.C. Chang, T.M. Chen, C.H. Chen and B.W. Liou, "Use of patterned laser liftoff process and electroplating nickel layer for the fabrication of vertical-structured gan-based light-emitting diodes", *Appl. Phys. Lett.* 87 (2005) 011111.
- [8] C.A. Tran, C.F. Chu, C.C. Cheng, W.H. Liu, J.Y. Chu, H.C. Cheng, F.H. Fan, J.K. Yen and T. Doan, "High brightness GaN vertical light emitting diodes on metal alloyed substrate for general light application", *J. Crys. Growth* 298 (2007) 722.
- [9] H. Amano, N. Sawaki, I. Akasaki and Y. Toyoda, *Appl. Phys. Lett.* 68 (1986) 353.
- [10] H. Morkog, S. Strite, G.B. Gao, M.E. Lin, B. Sverdlov and M. Burns, *J. Appl. Phys.* 76 (1994) 1363.
- [11] C.R. Kim, J.Y. Lee, C.M. Shin, J.Y. Leem, H. Ryu, J.H. Chang, H.C. Lee, C.S. Son, W.J. Lee, W.G. Jung, S.T. Tan, J.L. Zhao and X.W. Sun, "Effects of annealing temperature of buffer layer on structural and optical properties of ZnO thin film grown by atomic by atomic layer deposition", *Solid State Communication* 148 (2008) 395.
- [12] H.J. Lee, S.W. Lee, H. Goto, H.J. Lee, J.S. Ha, K. Fujii, M.W. Cho, T. Yao and S.K. Hong, "The role of low-temperature buffer layer for thick GaN growth on sapphire", *J. Crys. Growth* 310 (2008) 920.
- [13] A.R. Woll, R.L. Headrick, S. Kycia and J.D. Brock, *Phys. Rev. Lett.* 83 (1999) 4349.
- [14] G. Koblmuller, P. Pongratz, R. Averbeck and H. Riechert, *Phys. Status Solidi A* 194 (2002) 515.
- [15] A.D. Williams and T.D. Moustakas, "Formation of large-area freestanding gallium nitride substrates by natural stress-induced separation of GaN and sapphire", *J. Crys. Growth* 300 (2007) 37.
- [16] S. Xue, X. Zhang, R. Huang and H. Zhuang, "Effects of the sputtering time of ZnO buffer layer on the quality of GaN thin films", *Appl. Sur. Sci.* 254 (2008) 6766.
- [17] E. Arslan, M.K. Ozturk, S. Ozelik and E. Ozbay, "The effect of SixNv interlayer on the quality of GaN epitaxial layers grown on Si(111) substrates by MOCVD", *Current Appl. Phys.* 9 (2009) 472.
- [18] D. Manginck, J.Y. Dai, J.S. Pan and S.K. Lahiri, *Appl. Phys. Lett.* 75 (1999) 1736.
- [19] K. Maex, *Mater. Sci. Engin.* R11 (1993) 53.
- [20] F. Dwikusuma, J. Mayer and T.F. Kuech, "Nucleation and initial growth kinetics of GaN on sapphire substrate by hydride vapor phase epitaxy", *J. Crys. Growth* 258 (2003) 65.
- [21] C.K. Kim, M. Yang, W.S. Lee, J.H. Yi, S.W. Kim, Y.H. Choi, T.K. Yoo and S.T. Kim, "Formation and characteristic of inversion domain in GaN grown by hydride vapor-phase epitaxy", *J. Crys. Growth* 213 (2003) 235.