

Pseudo MOSFET 기술에 의한 양성자 조사 SOI 웨이퍼의 캐리어 수명 분석

Carrier Lifetime Analysis of Proton Irradiated SOI Wafer with Pseudo MOSFET Technology

정성훈¹, 이용현¹, 이재성², 권영규², 배영호^{2,a}

(Sung-Hoon Jung¹, Yong-Hyun Lee¹, Jae-Sung Lee², Young-Kyu Kwon², and Youngho Bae^{2,a})

Abstract

Protons are irradiated into SOI wafers under total dose of 100 krad, 500 krad, 1 Mrad and 2 Mrad to analyze the irradiation effect. The electrical properties are analyzed by pseudo MOSFET technology after proton irradiation. The wafers are annealed to stabilize generated defects in a nitrogen atmosphere at 300°C for 1 hour because proton irradiation induces a lot of unstable defects in the surface silicon film. Both negative and positive turn-on voltages are shifted to negative direction after the irradiation. The more proton total dose, the more turn on voltage shifts. It means that positive oxide trap charge is generated in the buried oxide(BOX). The minority carrier lifetime which is analyzed by the drain current transient characteristics decreases with the increase of proton total dose. The proton irradiation makes crystal defects in the silicon film, and consequently, the crystal defects reduce the carrier lifetime and mobility. As these results, it can be concluded that pseudo MOSFET is a useful technology for the analysis of irradiated SOI wafer.

Key Words : Pseudo-MOSFET, SOI, Proton, Irradiation, Carrier lifetime

1. 서 론

내방사선 소자의 기판 재료로 사용되고 있는 SOI 웨이퍼는 소자가 제작되는 표면의 실리콘막과 기계적인 지지대 역할을 하는 기판이 매몰절연막에 의해 전기적으로 분리되어 있다. 따라서 방사선이 입사되었을 때 발생하는 전자-정공 쌍의 영향에 의한 SEE(single event effect)에 대한 내성이 강하여 내방사선 소자로 널리 사용되어 왔다. 하지만 상대적으로 두꺼운 매몰산화막의 존재는 산화막 트랩 전하의 양을 증가시키므로 방사선의 TDE(total dose effect)에 대해서는 부정적인 영향

을 미치기도 한다[1]. 현재까지 보고된 내방사선 응용 SOI 소자와 관련된 연구에서 방사선 입사에 따른 산화막 내의 전하 생성 거동에 관하여는 많은 연구 결과가 보고되어 있으나 캐리어의 이동도나 생성 재결합 수명 등의 실리콘 물성 변화에 관한 연구 결과는 거의 보고되어 있지 않다. 하지만 반도체 소자에 방사선이 입사되는 경우 산화막 전하의 생성 이외에도 결정 결함의 발생으로 인한 캐리어의 이동도 열화나 캐리어 생성 재결합 수명의 단축도 가능하다. 이러한 특성은 소자의 각종 전기적 특성에 직접적인 영향을 미칠 수 있으므로 이와 관련된 연구도 필요하다고 생각된다.

Pseudo MOSFET 기술은 SOI 웨이퍼를 분석하기 위하여 사용되는 기술로써 소자를 제조하기 위한 도핑이나 열처리와 같은 공정이 필요 없다. 따라서 웨이퍼 자체의 특성을 제조 공정에 의한 물성 변화 없이 분석할 수 있다는 장점이 있어 SOI 웨이퍼의 특성을 분석하기 위한 기술로 응용되고 있다[2,3].

1. 경북대학교 전자전기컴퓨터학부

2. 위덕대학교 전자공학과

(경북 경주시 강동면 유금리 525)

a. Corresponding Author : yhbae@uu.ac.kr

접수일자 : 2009. 6. 16

심사완료 : 2009. 8. 7

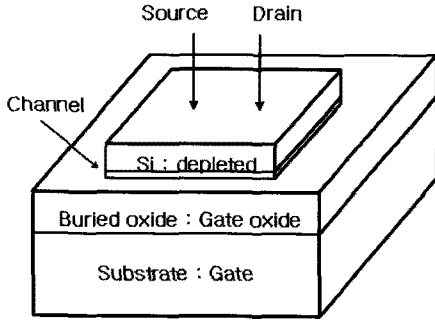


그림 1. pseudo MOSFET의 구조.
Fig. 1. The structure of a pseudo MOSFET.

반도체 소자의 내방사선 특성연구를 위하여 양성자를 주입하는 방법이 이용되고 있으며 일반적으로 완성된 반도체 소자에 양성자를 조사하고 소자의 전기적 특성 변화를 분석한다. 하지만 완성된 소자의 특성 분석으로는 양성자 주입이 SOI 웨이퍼의 물성 자체에 미치는 영향을 분리해 내는 것이 용이하지 않다. 하지만 pseudo MOSFET 측정법을 이용하면 방사선 조사에 따른 웨이퍼 특성의 변화를 정확하게 분석하는 것이 가능하다. 본 연구에서는 실리콘 웨이퍼에 양성자를 조사선량을 변화시키며 조사하고 이에 따른 특성의 변화를 pseudo MOSFET 기술을 이용하여 분석하였다.

2. 이론

그림 1은 pseudo MOSFET 소자의 구조를 나타낸 것이다. 이 소자에서 실리콘 기판은 일반 MOSFET의 게이트 전극, 매몰 산화막은 게이트 절연막, 그리고 표면의 실리콘막은 MOSFET의 몸체로써 동작하며 실리콘막 위의 두 탐침은 소스와 드레인으로 작용한다. 웨이퍼의 기판 즉 게이트에 음의 바이어스를 가하면 매몰산화막 계면의 실리콘에 정공에 의한 채널이 유기되어 pMOS로 동작하며 양의 바이어스를 가하면 전자에 의한 채널이 유기되어 nMOS의 특성을 보인다. 실리콘막이 p형 반도체인 경우에는 양의 바이어스 조건에서의 턴온 전압을 threshold 전압으로 음의 바이어스 조건에서 턴온 전압을 flatband 전압으로 정의한다. 소자의 드레인 전류와 게이트 전압의 특성 곡선을 이용하여 소자의 턴온 전압, 캐리어 이동도, 계면 전하밀도 등의 특성을 분석할 수 있다[2,3].

한편 드레인에 바이어스를 가한 상태에서 게이트에 펄스 전압을 가하면 게이트 전압의 변화에

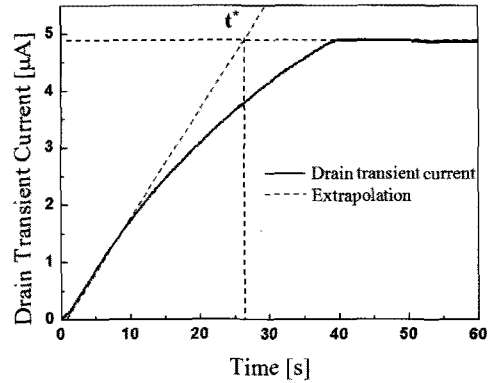


그림 2. 드레인 전류 과도특성.
Fig. 2. Drain current transient.

의하여 소수 캐리어가 생성되어 채널이 유기될 때까지는 일정한 시간이 소요된다. 이는 일반적인 MOSFET과는 달리 pseudo MOSFET의 경우에는 도핑된 소스와 드레인이 존재하지 않고 탐침을 활용하므로 소수 캐리어가 형성되어 채널이 형성되기까지는 일정한 시간이 필요하기 때문이다. 즉 캐리어 생성 수명에 의해 채널 형성 시간이 결정되고 이에 따라 드레인 전류의 과도 특성이 결정되는 것이다. 캐리어의 생성 수명이 짧은 경우에는 드레인 전류의 과도 기간이 단축될 것이고 캐리어의 생성 수명이 길수록 드레인 과도 전류의 기간이 길어진다는 것을 생각할 수 있다.

그림 2는 드레인 과도전류 현상을 나타낸 것이다. 드레인 과도전류 곡선에서 전류 변화 곡선의 초기 기울기 직선과 포화전류 값의 접선으로부터 t^* 를 구하면 식(1)로부터 캐리어 생성 수명을 구할 수 있다[4].

$$\tau_g = \frac{q n_i d_{si}}{C_{ox} V_G} \times t^* \quad (1)$$

3. 실험

본 연구에 사용된 웨이퍼는 웨이퍼 접합법의 일종인 Unibond 공정으로 제조된 실리콘 필름의 두께가 65 nm, 매몰 산화막의 두께가 145 nm인 SOI 웨이퍼이다. pseudo MOSFET 측정을 위하여 표면의 실리콘을 선택 식각하여 가로와 세로의 길이가 각각 5 mm인 실리콘 island를 제작하였다. 이때 식각 공정에서 발생할 수 있는 공정유기 결함의 발생을 최

소화하기 위하여 습식식각을 이용하였다[5]. 식각이 이루어진 후 웨이퍼 상태에서 양성자를 조사하였으며 양성자 조사는 에너지를 36.5 MeV, 조사율은 334 rad/sec로 고정하고 총 조사선량을 100 krad, 500 krad, 1 Mrad, 2 Mrad로 변화시키며 수행하였다. 양성자 조사 후 소자 내의 각종 결함들은 대단히 불안정한 상태이므로 300°C에서 1 시간동안 질소 분위기로 열처리한 후 측정을 행하였다. pseudo MOSFET의 소스와 드레인 전극 형성을 위하여 탐침의 압력을 변화시킬 수 있는 four point probe를 이용하였으며 두 개의 탐침으로 소스와 드레인 전극을 형성하였다. 측정은 실온에서 빛과 외부로부터의 잡음 방지를 위하여 차폐함에서 이루어졌다.

4. 결과 및 고찰

그림 3은 pseudo MOSFET의 드레인 전류와 게이트 전압 특성 곡선을 나타낸 것이다. 전류곡선에서 왼쪽 부분 즉 음의 바이어스 전압 하에서는 실리콘막에 정공이 유기되어 형성된 pMOS의 특성을 나타내고 양의 바이어스 전압 하에서는 전자가 유기되어 채널을 형성하므로 nMOS의 특성을 나타내고 있다. 이것은 pseudo MOSFET에서만 관찰할 수 있는 현상이다. 그림에 나타낸 바와 같이 조사선량이 증가함에 따라 전류곡선은 왼쪽으로 이동하고 있다. 이는 양성자 조사에 의해 게이트 절연막으로 사용되고 있는 매몰산화막 내에 양전하를 띤 산화막 트랩 전하가 발생하고 있으며 이 산화막 트랩 전하 밀도는 조사선량에 비례하여 증가하고 있음을 말해준다.

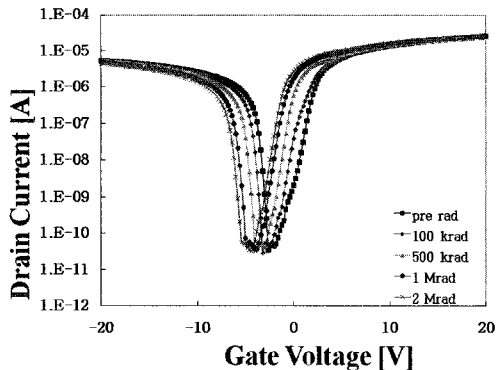


그림 3. 양성자가 조사된 pseudo MOSFET의 드레인 전류-게이트 전압 특성 곡선.
Fig. 3 The I_D - V_G characteristics for the proton irradiated pseudo MOSFET.

그림 4는 소자의 턴온 전압을 분석한 결과이다. 소자에서 음의 턴온 전압, 즉 flatband 전압과 양의 턴온 전압, 즉 threshold 전압이 공히 조사선량 증가에 따라 음의 방향으로 이동하고 있다. 산화막에 강한 에너지를 가지는 방사선 입자가 입사되면 이때 충격에너지에 의해 산화막 내부에 전자-정공 쌍이 발생하고 상대적으로 이동도가 큰 전자는 산화막 외부로 이동해 가는 반면 이동도가 느린 정공의 경우 매몰산화막 내에 트랩되어 양의 전하량을 가진 산화막 트랩전하로 작용한다[1]. 양성자의 총 조사선량이 증가할수록 매몰산화막 내부에 발생하는 양의 전하를 가진 트랩전하 밀도는 증가한다. 그러므로 그림에 나타난 바와 같이 양성자 조사선량이 증가할수록 flatband 전압과 threshold 전압이 음의 방향으로 증가하는 폭은 점점 더 증가하게 되는 것이다.

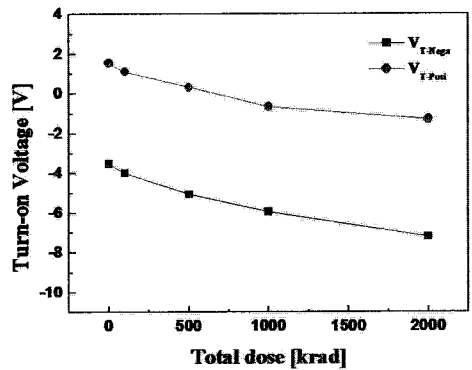


그림 4. 양성자 조사선량에 따른 턴온전압의 변화.
Fig. 4. Turn-on voltage shift with the proton total dose variation.

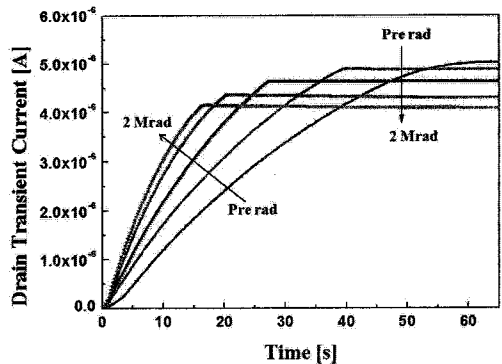


그림 5. 조사 선량 변화에 따른 드레인 전류 과도 특성.
Fig. 5. Drain current transient with total dose variation.

양성자 조사 조건에 따른 드레인 전류의 과도 특성 곡선을 그림 5에 나타내었다. 드레인에 0.2 V의 전압을 가한 상태에서 게이트 전압을 0 V에서 -20 V로 계단형으로 변화시키고 시간 경과에 따른 드레인 전류의 변화를 관찰하였다. 그림에 나타난 바와 같이 드레인 전류는 시간 경과에 따라 점차적으로 증가하여 포화 전류값에 이르고 있다. 이때 양성자 조사선량이 증가할수록 포화 전류에 이르는 시간이 단축되며 포화 전류의 크기가 감소하고 있다. 양성자 조사에 의해 실리콘막 내에 결정 결함이 발생하고 이들은 캐리어의 생성 및 재결합 중심으로 작용한다. 이에 따라서 캐리어의 생성이 활발하게 진행되고 생성 수명이 단축됨에 따라 게이트 전압이 인가된 후 채널이 형성되는 시간이 단축되는 것이다. 즉 조사선량이 증가할수록 결정 결함의 밀도가 높아지고 이에 따라서 포화 전류에 이르는 시간이 단축되는 것이다. 또한 결정 결함의 밀도가 증가되어 실리콘막의 결정성이 떨어지면 캐리어의 산란이 증가하여 이동도가 감소하며 이는 드레인 전류의 감소를 초래한다. 따라서 조사선량 증가에 따라 포화 전류의 크기가 감소되는 것이다.

그림 6은 조사선량 변화에 따른 캐리어 수명의 변화를 나타낸 것이다. 그림 5의 드레인 전류 과도 특성 곡선에서 식 (1)을 적용하여 분석하였으며 예상된 바와 같이 조사선량 증가에 따라 캐리어 수명은 감소하고 있다. 캐리어의 생성 수명은 양성자가 조사되지 않은 소자에서는 약 1.2 μsec 정도의 값을 가지다가 조사선량 증가에 따라 점차적으로 감소하여 2 Mrad로 조사한 경우 약 0.4 μsec 로 감소하고 있다. 즉 양성자 조사선량의 증가에 따른 결정결함 밀도의 증가로 소수 캐리어의 생성 수명

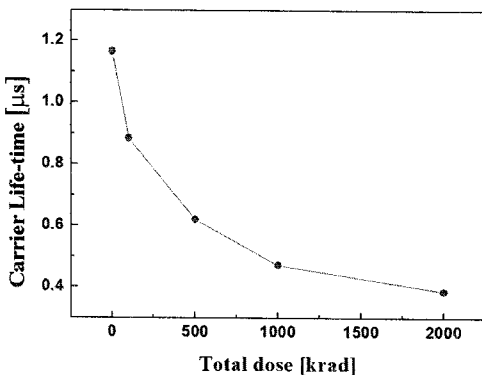


그림 6. 조사선량 변화에 따른 캐리어 수명.
Fig. 6. Carrier lifetime with the variation of total dose.

이 단축하고 있음을 잘 나타내고 있다. 다만 캐리어 생성 수명의 절대 값이 일반적인 실리콘 기판의 소수캐리어 생성 수명의 값과 비교하면 상당히 작은 값을 나타내고 있다. 이 원인은 pseudo MOSFET 소자의 경우 일반적인 MOSFET 소자와는 달리 소스 드레인이 탐침으로 형성되는 표면의 실리콘막이 공기 중에 노출된 구조이기 때문이다. 캐리어가 형성되는 채널로부터 이 노출된 표면까지의 거리가 표면 실리콘막의 두께, 본 연구에서는 65 nm로 대단히 인접하여 있다. 따라서 표면생성의 효과가 영향을 미치기 때문에 캐리어의 수명이 일반적인 경우보다 작은 값을 가지는 것으로 보인다. 하지만 이 영향은 모든 소자에 동일하게 영향을 미치므로 양성자 조사 조건에 따른 캐리어 수명 변화의 상대 비교에는 문제가 없는 것으로 판단된다.

5. 결론

SOI 웨이퍼에 조사선량을 변화시키며 양성자를 조사하고 pseudo MOSFET 기술을 사용하여 전기적 특성을 분석하였다. 그 결과, 양성자의 조사선량이 증가할수록 매몰 산화막 내에 양의 전하를 가지는 산화막 트랩전하 밀도가 증가하여 threshold 전압과 flatband 전압이 음의 방향으로 이동하였다. 드레인 전류 과도 특성을 이용하여 소수 캐리어 생성 수명을 분석하였다. 양성자 조사선량의 증가에 따라 결정 결함의 밀도가 증가하여 캐리어의 생성 수명이 감소하고 이동도가 감소하였다. 이 결과들은 pseudo MOSFET 기술이 SOI 웨이퍼의 방사선 조사 특성을 쉽고 정확하게 분석할 수 있는 방법이라는 것을 말해준다.

감사의 글

본 연구의 수행에 도움을 주신 포항나노기술집적센터(MCNC)와 위덕대학교 산학협력단, 그리고 양성자기반 공학기술개발(PEFP) 사업단에 감사드립니다.

참고 문헌

[1] J. R. Schwank, V. Ferlet-Cavrois, M. R. Shaneyfelt, P. Paillet, and P. E. Dodd, "Radiation effects in SOI technologies", IEEE Transactions on Nuclear Science, Vol. 50,

No. 3, p. 522, 2003.

- [2] S. Cristoloveanu., D. Munteanu., and M. S. T. Liu, "A review of the pseudo-MOS transistor in SOI wafer: operation, parameter extraction, and applications", IEEE Transactions on Electron Devices, Vol. 47, No. 5, p. 1018, 2000.
- [3] Y.-H. Bae, B.-G. Kim, and K.-W. Kwon, "Electrical characterization of nano SOI wafer by pseudo MOSFET", J. of KIEEME (in Korean), Vol. 18, No. 12, p. 1075, 2005.
- [4] S. Cristoloveanu and T. Elewa, "Model for carrier lifetime extraction from pseudo-MOSFET transients", Electronics Letters, Vol. 32, No. 21, p. 2021, 1996.
- [5] Y. H. Bae, K. W. Kwon, J. H. Lee, J. H. Lee, H. J. Woo, and S. Cristoloveanu, "Effects of etching processes on the properties of pseudo-MOSFETs for the UTISOI characterization", Silicon on Insulator Technology and Devices 12, PV 2005-03, The Electrochemical Soc., p. 295, 2005.