

ICPCVD 질화막 Passivation을 이용한 GaAs Metamorphic HEMT 소자의 성능개선에 관한 연구

A Study on the Performance Improvement of GaAs Metamorphic HEMTs Using ICPCVD SiN_x Passivation

김 동 환*

Dong-Hwan Kim

Abstract

In this paper, a novel low-damage silicon nitride passivation for 100nm InAlAs/InGaAs MHEMTs has been developed using remote ICPCVD. The silicon nitride deposited by ICPCVD showed higher quality, higher density, and lower hydrogen concentration than those of silicon nitride deposited by PECVD. In particular, we successfully minimized the plasma damage by separating the silicon nitride deposition region remotely from ICP generation region, typically with distance of 34cm. The silicon nitride passivation with remote ICPCVD has been successfully demonstrated on GaAs MHEMTs with minimized damage. The passivated devices showed considerable improvement in DC characteristics and also exhibited excellent RF characteristics(f_T of 200GHz). The devices with remote ICPCVD passivation of 50nm silicon nitride exhibited 22% improvement(535mS/mm to 654mS/mm) of a maximum extrinsic transconductance($g_{m,max}$) and 20% improvement(551mA/mm to 662mA/mm) of a maximum saturation drain current ($I_{DS,max}$) compared to those of unpassivated ones, respectively. The results achieved in this work demonstrate that remote ICPCVD is a suitable candidate for the next-generation MHEMT passivation technique.

Keywords : Metamorphic HEMT, Remote ICPCVD, Maximum Extrinsic Transconductance($g_{m,max}$), Maximum Saturation Drain Current($I_{DS,max}$), Cutoff Frequency(f_T), Maximum Oscillation Frequency(f_{max})

1. 서론

새로운 통신기술이 발달하면서 주파수 자원의 한정
으로 인하여 현재 혹은 가까운 미래에 사용될 초고주

파용 전자 소자와 집적회로의 개발이 요구되고 있다.
이러한 요구에 부합하는 전자 소자와 집적 회로는 III-
V족 반도체를 기반으로 하는 전자 소자와 이를 이용
한 집적회로이다. III-V족 반도체를 기반으로 하는 전
자 소자가 높은 주파수 영역 즉, 초고주파 영역에서
그 특성을 만족하며, 물질로는 GaAs, InP, GaN 기반의
것이 대세를 이루고 있다.

GaAs, InP, GaN 각각의 재료를 기반으로 하는 전자

† 2009년 4월 15일 접수~2009년 6월 26일 게재승인

* 국방과학연구소(ADD)

책임저자 : 김동환(kdh0812@add.re.kr)

소자와 집적 회로는 고유한 성질을 가지고 있으며, 목적에 따라 달리 사용될 수 있으나, 경제적인 면을 고려하면 GaAs 기반의 전자 소자와 집적 회로가 현재 가장 각광을 받고 있는 실정이다. 그러나 GaAs의 경우 재료의 한계로 인해 더 높은 주파수 영역에의 한계가 존재한다. 이러한 한계를 극복하기 위하여 고안된 에피구조가 GaAs 기반의 metamorphic 구조이며, 이 구조는 경제적인 GaAs 기반위에 metamorphic 버퍼(buffer)를 사용하여 초고속 동작이 가능한 재료인 InP 계의 전자 소자 층을 성장시켜 GaAs 기반의 전자 소자가 가지는 경제적 특성과 동시에 channel층에 In의 양을 조절하여 고속 응답특성을 가지게 하는 InP 계열의 전자 소자의 주파수 특성의 장점까지 취한 구조이다. 또한 In의 양을 설계자가 원하는 만큼 조절이 가능하므로 그 활용의 범위가 전력소자 응용에서부터 저잡음소자 응용까지 매우 다양하다는 장점을 갖고 있다^[1~3].

밀리미터파 대역에서 고전력 및 저잡음 응용을 위해서 InAlAs/InGaAs MHEMT(Metamorphic High Electron Mobility Transistor) 구조를 사용하게 되는데, 이때 장벽층(barrier layer)의 높은 알루미늄성분이 게이트 아래 에칭된 영역에 표면 전위를 발생시키는 트랩을 형성하여 MHEMT소자의 특성을 저하시킨다. 따라서, MHEMT 소자의 성능 및 신뢰성을 확보하기 위해서는 질화막(SiNx)과 같은 절연막을 이용한 효과적인 패시베이션(passivation)이 필요하다. 이러한 패시베이션 층은 드러나 있는 전위장벽 표면을 안정화 시켜주어야 하므로 절연막 자체의 성질도 좋아야 할 뿐만 아니라 장벽층 표면과도 효과적으로 반응하여 이미 제작된 소자의 성능을 향상시켜야 한다.

전통적으로, MESFET(Metal Semiconductor Field Effect Transistor)이나 HEMT소자를 패시베이션하기 위해서 PECVD(Plasma Enhanced Chemical Vapor Deposition) 방식으로 증착된 질화막이 널리 사용되어 왔으나, 최근에 와서는 ICPCVD(Inductively Coupled Plasma-enhanced CVD) 방식의 박막 증착이 큰 인기를 얻고 있다. 그러나 기존의 ICPCVD 방식의 질화막을 이용하여 패시베이션된 소자에서 최대 전달컨덕턴스($g_{m,max}$) 및 최대 포화 드레인 전류($I_{DS,max}$)의 상당한 저하가 나타난다. 이것은 게이트 아래 에칭된 영역에 강한 플라즈마가 가해져서 생긴 손상 때문이다^[4~6].

본 논문에서는 RICPCVD(Remote ICPCVD) 방식을 사용하여 100nm InAlAs/InGaAs MHEMT소자에 새로운

양질의 질화막을 플라즈마의 의한 손상을 최소화하여 패시베이션하는 공정을 개발하였다. RICPCVD 방식으로 증착된 질화막은 PECVD 방식으로 증착된 질화막보다 고밀도, 저수소함유량 등 양질의 특성을 보여준다. 특히, 질화막이 증착되는 영역을 ICP가 발생하는 영역으로 부터 대략 34cm 정도 멀리 둬으로써 플라즈마에 의한 전자소자 손상을 최소화 하는데 성공하였으며, 기저 챔버 압력을 최소화하기 위해 추가적인 펌핑 시스템(cryo-pump)을 도입하여 양질의 질화막을 얻는데 성공하였다. RICPCVD를 사용하여 50nm 질화막을 패시베이션한 소자는 패시베이션하지 않은 소자에 비해 $g_{m,max}$ 는 22%(535mS/mm to 654mS/mm), $I_{DS,max}$ 는 20%(551mA/mm to 662mA/mm) 성능 향상을 보여주었다. 이와 함께, 90nm 이중 질화막 패시베이션을 적용하여 차단 주파수(f_c) 200GHz, 최대 발진주파수(f_{max}) 280GHz의 우수한 RF 특성을 보여주었다.

2. Remote ICPCVD 시스템에 의한 질화막

가. Remote ICPCVD 시스템

고밀도 플라즈마에 의해서 발생할 수 있는 손상을 최소화하기 위해서, BMR 테크놀로지사에서 기 개발되어 사용되어온 질화막 증착장비인 ICPCVD(HiDep™)를 약간 개조하였다. 먼저, 약 34cm 정도 움직일 수 있는 척(chuck)을 사용하여 ICP 생성영역과 질화막 증착영역을 분리하였다. Fig. 1에서 영역 I는 고밀도 플라즈마 생성영역을, 영역 III은 질화막 증착영역을 보여준다. 두 번째, 질화막이 증착되는 동안에 발생할 수 있는 이온 충돌을 최소화하기 위해 RF 척 바이어스 파워를 제거하였다. Fig. 1에서 보는 바와 같이

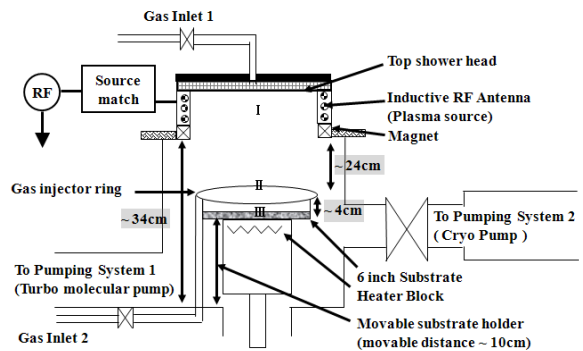


Fig. 1. Remote ICPCVD 시스템 챔버 구성도

RICPCVD시스템은 두 개의 가스 주입구(Gas Inlet 1, 2)를 가지고 있다. 실란(SiH₄)가스는 가스 주입구 2를 통해 가스 주입 링으로 나오며, 질소(N₂)를 포함한 나머지 가스는 모두 가스 주입구 1을 통해 샤워헤드로 나온다. 이는 영역 I에서 여기 되어온 질소 가스와 영역 2에서 열적으로 활성화된 실란가스를 효과적으로 결합시켜 영역 III에서 증착시키기 위함이다. 또한, 플라즈마 밀도를 강화시키거나 플라즈마 프로파일을 조절하기 위해 자석(magnet)이 사용되었다. 척의 온도는 400℃까지 변화시킬 수 있으며, 챔버 벽의 온도는 50℃까지 올릴 수 있다. ICP 소스 RF 파워 또한 2500 W까지 사용가능하다. 기저 챔버 압력을 최소화 하기 위해 추가 펌핑 시스템(cryo-pump)을 도입하였다.

나. Remote ICPCVD 질화막 특성 분석

소자에 적용하기에 앞서 증착되어진 질화막 자체에 대한 분석을 하기 위하여 질화막의 습식 식각률, 증착률, 굴절률을 측정하였다. 또한 질화막의 전기적인 특성을 알아보기 위해 MIM(Metal-Insulator-Metal)구조를 형성하여 항복 전압(breakdown field)을 측정하였다. 고밀도 플라즈마에 의한 손상을 최소화하기 위하여 소스 RF 파워는 350W로 고정하였다. 많은 실험을 통해, 350W ICP 소스 RF 파워가 RICPCVD 시스템에서 질소 플라즈마를 안정적으로 여기 시키기 위한 최소한의 파워로 판명되었다.

Fig. 2는 증착온도에 따른 BOE(NH₄F : HF = 7 : 1) 습식 식각률, 증착률, 굴절률을 보여준다. 질화막 내부에 포함된 수소 함유량을 간접적으로 나타내주는 습식 식각률은 증착온도에 따라 변화양상이 큼을 알 수 있다. 온도가 높을수록 습식 식각률이 낮아지는데, 이

는 높은 증착온도에서 Si-H 결합과 N-H결합에 존재하는 수소 원자가 더 많이 제거되어 질화막의 밀도가 더 높아졌음을 나타낸다. 증착온도 190℃에서 습식 식각률이 대략 120~150Å/min 정도 되는데, 이는 RPECVD(remote PECVD)시스템을 이용하여 증착된 질화막에 비해 훨씬 낮음을 알 수 있다. RPECVD 시스템 역시 기존의 PECVD시스템에서 야기되는 플라즈마에 의한 손상을 최소화하기 위해 개조된 시스템으로 같은 증착온도 190℃에서 습식 식각률이 대략 600~900Å/min 정도 된다.

증착률의 경우에는 ICP 소스 RF 파워에 대해서는 강한 의존성을 보인 반면, Fig. 2에서 보듯이 증착 온도에 대해서는 거의 일정함을 볼 수 있다. 높은 ICP 소스 RF 파워에서 높은 증착률을 보이는데, 이는 높은 소스 파워에서 플라즈마에 의해 더 많은 반응 가스들이 여기 됨을 나타낸다. 즉, 증착률은 증착 온도 보다는 반응에 참여하는 가스가 얼마나 많이 여기 되느냐에 달려 있음을 알 수 있다.

굴절률은 플라즈마에 의해 증착되는 질화막에서 가장 일반적으로 측정되는 광학적 특성으로, 질화막 증착시 공정 변수에 따라 예민하게 변하는 특성을 보인다. 플라즈마에 의한 화학 기상 증착법으로 증착된 질화막의 굴절률은 대략 1.8에서 2.2 사이의 값을 보이는데, 이를 통해 질화막의 구성비를 알 수 있다. 통상적으로 2.0을 기준으로 그 보다 크면 실리콘(Si)이 풍부하며, 이 보다 작으면 질소(N)가 풍부한 질화막이다. 증착온도가 증가함에 따라 굴절률이 증가하는 양상을 보이는데 이는 높은 증착온도에서 실란가스가 쉽게 더 많이 분해되어 질화막에 결합되는 실리콘의 양이 증가하기 때문이다.

증착된 질화막 내부에 남아있는 수소의 양은 누설 전류나 항복전압과 같은 박막의 전기적인 특성과 밀접한 관계를 가진다. 전기적인 특성을 보기위해, 직경 300um를 가진 MIM 구조를 만들어 누설 전류 및 항복 전압을 측정하였다. 전극으로 쓰인 금속은 타이타늄(Ti)과 금(Au)을 전자총 증발기(e-gun evaporator)를 이용하여 각각 500Å, 3500Å 증착하였으며, 절연막으로는 질화막을 증착온도 190℃에서 RICPCVD로 600Å, 비교를 위해서 RPECVD로 600Å 증착하였다. MIM 캐패시터의 DC I-V 특성은 반도체 파라미터 분석기(semiconductor parameter analyzer)를 이용하여 측정하였다. Fig. 3은 증착된 질화막의 전기적 특성을 보여준다.

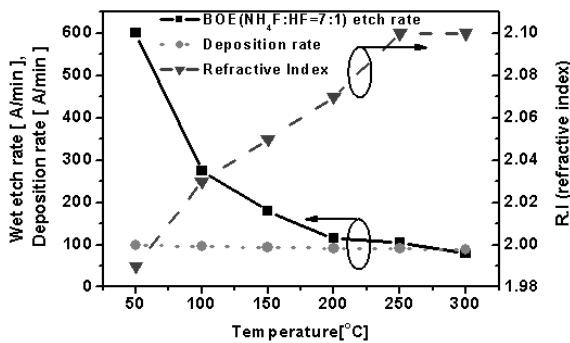


Fig. 2. 증착온도에 따른 습식 식각률(Wet etch rate), 증착률(Deposition rate), 굴절률(R.I)

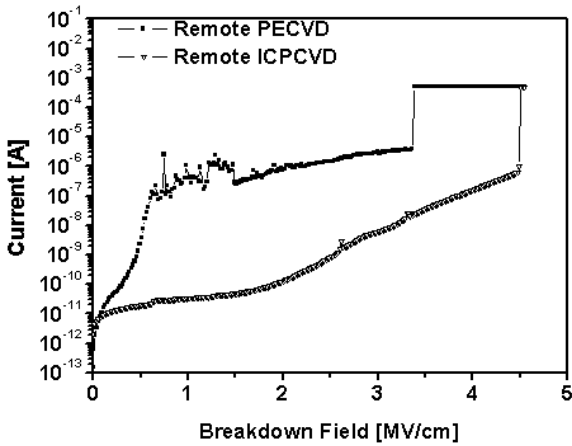


Fig. 3. 600Å 증착된 질화막의 전기적 특성

전자소자에 적용하기 위해 최적화된 공정 조건으로 RICPCVD와 RPECVD를 이용하여 증착된 질화막의 특성을 Table 1에 요약하였다.

Table 1. 질화막 증착 공정 조건 및 특성

Process Conditions	Remote PECVD	Remote ICPCVD
Source RF power(W)	50	350
Deposition temperature(°C)	190	190
Chamber pressure(mTorr)	200	80
Process gases	He/SiH ₄ /NH ₃	Ar/SiH ₄ /N ₂
Deposition rate(Å/min)	≈ 15	≈ 100
BOE wet etch rate (Å/min)	600~900	120~150
Film Stress(MPa)	Tensile (≈275)	Compressive (≈140)
Hydrogen contents (atomic %)	≈24	≈12
Breakdown Field(MV/cm)	3.3	4.5

위의 결과를 종합해 보면, ICPCVD에 의해 증착된 질화막이 PECVD에 의해 증착된 질화막보다 고밀도, 저수소 함유량을 보여준다.

3. Metamorphic HEMT 소자 제작

MHEMT의 각 에피층은 GaAs 기판위에 MBE (Molecular Beam Epitaxy) 방식으로 성장되었다. Fig. 4는 MHEMT 소자 제작에 사용된 에피 구조의 단면을 보여준다. Metamorphic 버퍼층은 마지막 인듐양이 50% 되도록 선형적으로 1µm 두께로 구성하였다. 능동층(active layers)은 15nm 도핑하지 않은 InGaAs 채널층(channel layer) 위에 4nm 도핑하지 않은 공간층(spacer layer)을 성장 시킨 이후에 5×10¹²cm⁻² 농도로 실리콘(Si)을 이용하여 평면도핑(planar doping) 하였으며, 그 위에 18nm 장벽층(barrier layer)을, 마지막에 실리콘 도핑된 이중 캡층(cap layers)을 성장하였다. 이 구조는 상온에서 면 캐리어 밀도(sheet carrier density)는 3.4×10¹²cm⁻², 전자 이동도(electron mobility)는 8,610cm²V⁻¹s⁻¹을 갖는다.

	In-mole (%)	Thickness (Å)	Concentration
n-InGaAs	0.40	100	1.0×10 ¹⁹ cm ⁻³
n-InGaAs	0.40	100	1.0×10 ¹⁸ cm ⁻³
i-InAlAs	0.45	180	undoped
n-planar doping			5×10 ¹² cm ⁻²
i-InAlAs	0.45	40	undoped
i-InGaAs	0.40	150	undoped
i-InAlAs	0.40	3,000	undoped
i-InAlAs	0~0.5	10,000	Inverse step graded

Fig. 4. 소자 제작에 사용된 에피 구조의 단면

위 에피 구조를 사용하여 먼저, 인산 계열의 용액(H₃PO₄/H₂O₂/H₂O)으로 메사(meas) 공정을 통해 각 소자들을 절연시켰다. 전자총 증발기를 이용하여 Ge/Au/Ni/Au 각각 증착하여 옴(ohmic) 전극을 형성한 이후에 300°C에서 30초간 열처리 하였다. 다음으로, 전자빔 리소그래피를 이용하여 100nm 게이트를 구현하였으며, T-게이트 형성을 위하여 2층 구조의 전자빔용 포토리지스트(UV-S/ZEP)를 사용하였다. 높은 항복전압 및 주파수 특성을 향상 시키고자 이중 recess 구조를 형성하였다. Recess 공정을 마친 후, 게이트 전극을 증착하기 전에 자연 산화막(native oxide)를 제거하기 위해 아

르곤(Ar) 플라즈마를 이용하여 표면 처리를 하였다^[7]. 게이트 전극은 전자총 증발기를 이용하여 Pt/Ti/Pt/Au를 각각 증착하였다. 게이트 전극 형성 후에, 소자 패시베이션을 위하여 질화막을 RICPCVD를 사용하여 약 50nm 증착하였다. 증착온도는 음 전극과 게이트 전극의 열적 저하를 방지하기 위하여 190℃를 유지하였다. 마지막으로, Ti/Au를 이용하여 패드(pad)를 형성하였다. Fig. 5는 HEMT 소자의 제작 공정을 보여준다.

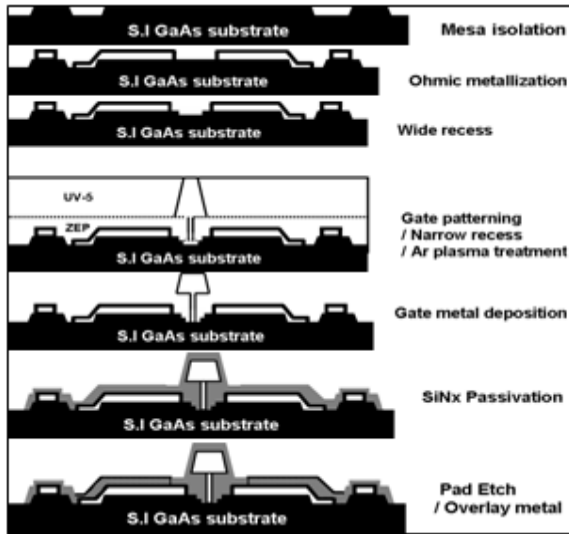


Fig. 5. HEMT 소자 제작 공정

4. Remote ICPCVD 질화막을 이용한 패시베이션

가. 질화막 패시베이션의 최적화

앞서 보고된 결과^[4~6]에 따르면, 기존의 ICPCVD를 사용할 경우 질화막 패시베이션을 한 이후에 소자 특성($g_{m,max}$ 와 $I_{DS,max}$)의 상당한 저하를 보였다. 그러나, RICPCVD를 사용하여 패시베이션된 소자에서는 소자 성능에 상당한 개선을 보였다. RICPCVD를 이용하여 100nm $In_{0.45}AlAs/In_{0.4}GaAs$ MHEMTs의 소자의 성능을 최적화하기 위해 패시베이션 전, 후에 ICP 소스 RF 파워 및 굴절률에 따른 소자 성능의 변화를 관찰하였다.

Fig. 6은 ICP 소스 RF 파워에 따른 $g_{m,max}$, $I_{DS,max}$ 및 항복 전압(BV_{GD})과 같은 소자 성능의 변화를 보여준다. 그림에서 보듯이 350 W ICP 소스 RF 파워에서 $g_{m,max}$ 와 $I_{DS,max}$ 의 가장 큰 성능 개선을 보여주었다. 반면에, BV_{GD} (0.1mA/mm의 게이트 전류에서 정의)은 350

W에서 패시베이션 후에 1.6V의 저하를 가져왔다. 그러나 이 값은 RPECVD를 이용하여 패시베이션 했을 때보다 적은 값이다. RPECVD를 이용할 경우에는 질화막 패시베이션 후에 대략 3~4V 전압 저하를 가져왔다. 높은 ICP 소스 RF 파워에서 $g_{m,max}$ 와 $I_{DS,max}$ 의 성능 개선이 작은 이유는, ICP 소스 RF 파워에 대한 의존성에서 보듯이 고밀도 플라즈마에 의해 야기된 표면 특성의 변화에 기인한다. 앞서 언급 했듯이, 350W ICP 소스 RF 파워는 질소 플라즈마를 안정적으로 여기시키기 위한 최소한의 파워이다. 따라서 소자 성능 개선을 최대 하기 위하여 ICP 소스 RF 파워는 350 W로 유지하였다.

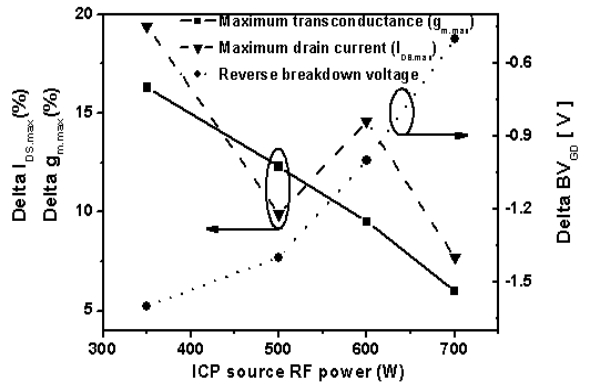


Fig. 6. ICP 소스 RF 파워에 따른 패시베이션 전, 후의 소자 성능($g_{m,max}$, $I_{DS,max}$ & BV_{GD})의 변화

다음으로, 굴절률의 변화에 따른 소자 성능의 변화를 관찰하였다. 소자 성능이 질화막 패시베이션 층의 Si/N 구성비에 따라 변한다는 사실은 잘 알려져 있다. 비록 굴절률이 정확한 Si/N의 구성비를 알려주지는 않지만, 굴절률은 Si/N의 구성비에 선형적으로 변한다. ICP 소스 RF 파워 350W, 증착온도 190℃에서 증착한 질화막 패시베이션의 굴절률에 따른 소자 성능($g_{m,max}$, $I_{DS,max}$ & BV_{GD})의 변화를 Fig. 7에 나타내었다. 굴절률 1.95를 가진 질화막으로 패시베이션한 소자에서 $g_{m,max}$ 는 22%(535 mS/mm에서 654 mS/mm), $I_{DS,max}$ 는 20%(551mA/mm에서 662mA/mm)의 최대 성능 개선을 보였다. BV_{GD} 은 상대적으로 큰 2.2V의 전압 저하를 보였다. 그러나, 여전히 RPECVD를 이용하여 패시베이션한 소자보다는 작은 값이다.

이러한 소자 성능($g_{m,max}$ 와 $I_{DS,max}$)의 개선은 아마도 질화막 패시베이션에 의해 게이트 recess된 영역에 존

재하는 표면 트랩의 영향이 억제되어 기생 저항을 감소시키는데 기인한다. Fig. 6, 7에서 볼 수 있듯이, $g_{m,max}$ 와 $I_{DS,max}$ 의 성능개선이 클수록 BV_{GD} 의 감소가 크다. 이것은 게이트 recess된 영역에 존재하는 표면 트랩의 영향이 더 나은 패시베이션 조건에 의해 더 많이 억압될수록, 기생 소스 저항과 기생 드레인 저항이 감소하기 때문이다. 즉, BV_{GD} 의 감소는 이러한 기생 저항의 감소에 기인한다. 게이트 recess된 영역에 존재하는 표면 트랩의 영향을 보기 위해 소자 시뮬레이션 툴을 이용하여, 게이트 recess된 영역에 표면 트랩 밀도를 감소시켰을 때 $I_{DS,max}$ 가 점진적으로 증가함을 볼 수 있다^[1]. 이 시뮬레이션 결과는 실험적으로 관찰된 질화막 패시베이션의 영향과 일치됨을 보여준다.

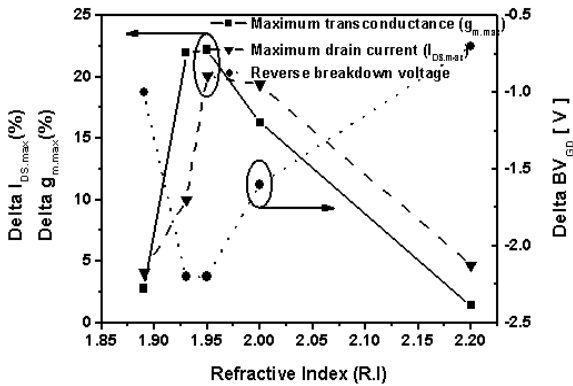


Fig. 7. 굴절률에 따른 패시베이션 전, 후의 소자 성능 ($g_{m,max}$, $I_{DS,max}$ & BV_{GD})의 변화

나. DC & RF 특성

Fig. 8은 50nm 질화막 패시베이션을 한 100nm T-게이트의 SEM(Scanning Electron Microscope) 이미지(위)와 질화막 패시베이션 전, 후에 측정된 DC 특성(아래)을 보여준다. 패시베이션 이후에 문턱전압(V_{th})이 약간 왼쪽, 음의 방향으로 움직였음을 볼 수 있다. 이는 게이트 recess된 영역에 존재하는 표면 트랩의 감소에 기인한다.

패시베이션 전, 후의 DC 드레인 전류-전압 곡선(위)과 순방향/역방향 게이트 쇼트키 다이오드 특성(아래)을 Fig. 9에 보였다. DC 드레인 전류-전압 곡선을 보면 무릎 전압(knee-voltage)이 패시베이션 후에 감소하였다. 이는 기생 소스 저항이 패시베이션 후에 게이트 recess된 영역에 존재하는 표면 트랩의 억압에 의해 감소하였음을 내포한다. 일반적으로, RPECVD를 이용

하여 패시베이션 할 경우에는 역방향 게이트 누설 전류는 커지는 경향을 보이고, 순방향 게이트 turn-on 전압은 작아지는 경향을 보인다. 이에 반하여, RICPCVD를 이용한 패시베이션의 경우 역방향 게이트 누설 전류는 약간 증가한 반면, 순방향 다이오드 특성의 변화는 거의 없음을 볼 수 있다. 이 결과는 RPECVD 이용하여 패시베이션 할 경우와 RICPCVD를 이용하여 패시베이션 할 경우에 InAlAs 표면에 대한 플라즈마의 영향이 다를 수 나타낸다.

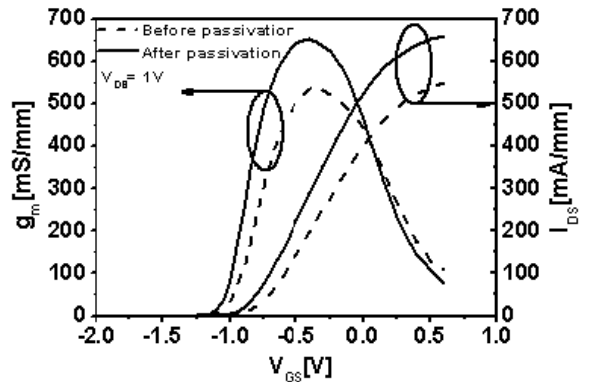
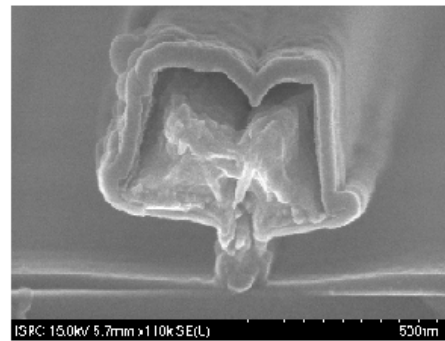


Fig. 8. 50nm 질화막 패시베이션 된 100nm T-gate SEM 이미지(위)와 패시베이션 전, 후의 DC 전달 특성(아래)

패시베이션 이후에 InAlAs/InGaAs MHEMTs 소자의 RF 성능 역시 측정하였다. 본 논문에서 RF 측정은 더 나은 신뢰성을 위하여 2층으로 패시베이션 한 후에 수행되었다. 소자의 밀폐성과 신뢰성을 높이기 위해 최종 패시베이션 층은 높은 절연 강도와 높은 기계적 강도를 지닌 절연체가 선호된다. 굴절률이 높은 질화막 즉, 실리콘(Si)이 풍부한 질화막의 BOE 습식 식각률이 질소(N)가 풍부한 질화막보다 더 낮다는 사실은

알려져 있으며, 소자에 적용하기에 앞서 실험을 통해 역시 확인 되었다. 이것은 실리콘이 풍부한 질화막이 질소가 풍부한 질화막보다 밀도가 높음을 내포한다. 그러나, Fig. 7에서 보듯이, 소자에 패시베이션으로 적용시에는 굴절률이 1.93~1.95 즉, 질소가 풍부한 질화막이 가장 우수한 성능을 보여주었다. 이 결과에 기초하여, 100nm 게이트 길이를 갖는 InAlAs/InGaAs MHEMT를 2층으로 패시베이션 하였다. 먼저, 굴절률 1.95인 질화막으로 대략 30nm 두께로 패시베이션 한 후에, 굴절률 2.05인 질화막을 이용해 대략 60nm 두께로 패시베이션 하였다. 즉, 처음 적용한 질화막은 소자 성능 개선에 최적화 되었으며, 밀도가 더 높은 두 번째 질화막은 외부로부터 소자를 보호하기 위해 증착되었다. 밀도가 더 높은 질화막이 습기나 이온으로부터 소자를 보호하는데 더 적합할 것이다.

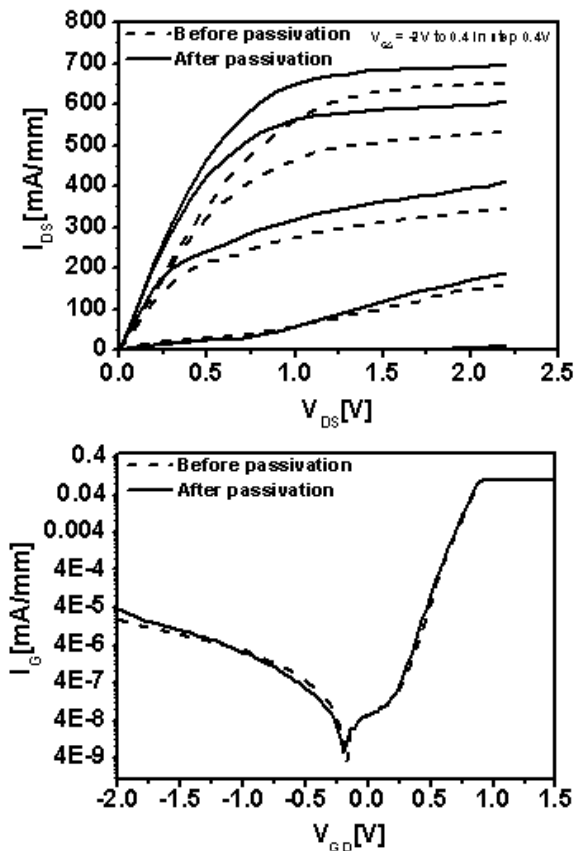


Fig. 9. 패시베이션 전, 후의 DC 드레인 전류-전압 곡선(위)과 순방향/역방향 게이트 쇼트키 다이오드 특성(아래)

단층으로 패시베이션한 경우와 두층으로 패시베이션한 경우에 소자의 DC 특성에는 차이가 없음을 확인하였다. Fig. 10은 30/60nm 두층으로 패시베이션한 100nm T-게이트의 SEM 이미지(위)와 패시베이션된 소자의 RF 성능을 보여준다. 0.5GHz부터 50GHz 까지 소신호 S 파라미터를 측정하였다. 그림에서 보듯이 차단 주파수(f_T)는 드레인 전압(V_{DS}) 1V, 게이트 전압(V_{GS}) -0.2V에서 전류 이득(H_{21})으로부터 외삽하여 200GHz를 보였고, 최대 발진주파수(f_{max})는 드레인 전압 2V, 게이트 전압 -0.2V에서 최대 가용한 이득(MAG)으로부터 외삽하여 280GHz를 보였다. 패시베이션 된 소자의 이러한 우수한 RF 성능은 훌륭한 패시베이션 공정으로 기생 저항의 감소로 말미암아 $g_{m,max}$ 와 $I_{DS,max}$ 와 같은 DC 특성의 개선에 기인한다.

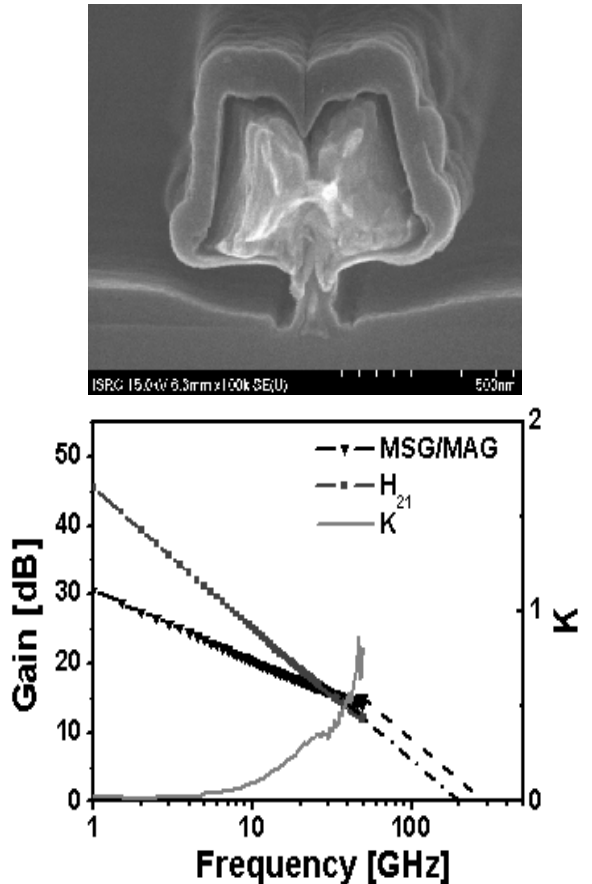


Fig. 10. 30/60nm 두층 패시베이션된 100nm T-gate SEM 이미지(위)와 패시베이션된 소자의 RF 성능(아래)

5. 결론

본 연구에서는 고밀도 플라즈마에 의해 야기되는 손상을 최소화하기 위해 새로운 형태의 ICPCVD 시스템(remote ICPCVD)을 사용하였다. 먼저, RICPCVD 시스템을 이용하여 증착한 질화막의 특성을 조사하였으며, 플라즈마에 의한 손상을 최소화하여 100nm In_{0.45}AlAs/In_{0.4}GaAs MHEMTs 소자에 성공적으로 적용하였다. 증착된 질화막에 포함된 수소 함유량을 줄이기 위해 실란(SiH₄)/암모니아(NH₃) 가스 대신에 실란(SiH₄)/질소(N₂) 가스를 사용하였다. 증착된 질화막은 고밀도, 저 수소 함유량의 양질의 특성을 보였으며, 이러한 양질의 특성을 지닌 질화막으로 패시베이션된 소자는 우수한 RF 성능(200GHz의 f_1 와 280GHz의 f_{max})과 함께 DC 특성($g_{m,max}$ 와 $I_{DS,max}$)에 상당한 개선을 보였다. 우수한 특성을 보인 InAlAs/InGaAs MHEMT는 높은 성능의 고주파 집적회로(MMIC)응용에 잠재적으로 적합할 것이며, 본 논문에서 얻은 결과는 RICPCVD를 이용하여 증착한 질화막이 InAlAs/InGaAs MHEMT 소자를 위한 다음 세대 패시베이션 기술로 적합한 후보임을 보여준다.

References

[1] Sungwon Kim, Kyoungchul Jang, Gyungseon Seol, Jincherl Her, and Kwangseok Seo, "Passivation Effects of 100nm In_{0.4}AlAs/In_{0.35}GaAs Metamorphic High-Electron-Mobility Transistors with a Silicon Nitride Layer by Remote Plasma-Enhanced Chemical Vapor Deposition", Japanese Journal of Applied Physics, Vol. 46, No. 4B, pp. 2341~2343, 2007.

[2] M. Chertouk, H. Heiss, D. Xu, S. Kraus, W. Klein, G. Bohm, G. Trankle, and G. Weimann "Metamorphic

InAlAs/InGaAs HEMT's on GaAs Substrates with a Novel Composite Channels Design", IEEE Electron Device Letters, Vol. 17, No. 6, pp. 273~275, June 1996.

[3] S. Bollaert, Y. Cordier, V. Hoel, M. Zaknoune, H. Happy, S. Lepilliet, and A. Cappy, "Metamorphic In_{0.4}Al_{0.6}As/In_{0.4}Ga_{0.6}As HEMT's GaAs Substrate", IEEE ELECTRON DEVICE LETTERS, Vol. 20, No. 3, pp. 123~125, March 1999.

[4] Y. C. Chou, R. Lai, G. P. Li, P. Nam, R. Grundbacher, M. Barsky, H. K. Kim, Y. Ra, A. Oki, and D. Streit, "Innovative Nitride Passivation of 0.1 um InGaAs/InAlAs/InP HEMTs using High-Density Inductively Coupled Plasma CVD(HD-ICP-CVD)", Proc. Indium Phosphide and Related Materials, pp. 315~318, 2002.

[5] Y. C. Chou, P. Nam, G. P. Li, R. Lai, H. K. Kim, R. Grundbacher, E. Ahlers, Y. Ra, Q. Xu, M. Biedenbender, and A. Oki, "Innovative Nitride Passivation for Pseudomorphic GaAs HEMTs and Impact on Device Performance", IEEE 40th Annual International Reliability Physics Symposium, pp. 235~240, 2002.

[6] Y. C. Chou, R. Lai, G. P. Li, Jun Hua, P. Nam, R. Grundbacher, H. K. Kim, Y. Ra, M. Biedenbender, E. Ahlers, M. Barsky, A. Oki, and D. Streit, "Innovative Nitride Passivated Pseudomorphic GaAs HEMTs", IEEE Electron Device Letters, Vol. 24, No. 1, pp. 7~9, January, 2003.

[7] Sung-Won Kim, Kang-Min Lee, Jae-Hak Lee, and Kwang-Seok Seo, "High-Performance 0.1-um In_{0.4}AlAs/In_{0.35}GaAs MHEMTs With Ar Plasma Treatment", IEEE Electron Device Letters, Vol. 26, No. 11, pp. 787~789, November 2005.