

VDL Mode-2를 위한 버스트 모드 AGC 루프 및 프리앰블 검출기

정희원 김 종 만*, 종신회원 은 창 수**

Burst Mode AGC Loop and Preamble Detector for VDL Mode-2

Jong-man Gim* *Regular Member*, Chang-soo Eun** *Lifelong Member*

요 약

본 논문에서는 VDL(VHF Digital Link) Mode-2 D8PSK 변조 방식에 적용 가능한 Burst Mode AGC Loop와 Preamble 검출기를 제안하고 구현한 결과를 제시하였다. 일반적으로 AGC 방법은 연속 모드와 버스트 모드로 구분할 수 있다. 연속모드는 아날로그 피드백 방법으로도 우수한 성능을 얻을 수 있다. 그러나 연속모드에서 사용한 AGC 루프를 버스트 모드에 적용하는 것은 곤란하며 응답속도가 빠른 디지털 AGC 루프가 적합하다. 버스트 모드 통신에서 수신기의 AGC 루프는 휴지 구간에서 최대 이득을 갖도록 설계해야 신호 레벨이 작을 때에도 버스트의 존재 여부를 알 수 있다. 만약 버스트 시작 위치에 프리앰블이 있을 경우 버스트 구간에서 AGC 루프가 충분한 응답 속도를 갖지 못하면 프리앰블 시작점에서 수 심벌구간 동안 신호가 포화(saturation) 된다. 이렇게 되면 프리앰블 검출에 실패하거나 검출이 되었다 하더라도 프리앰블을 이용하여 복조 시에 필요한 각종 파라미터 추정 에 영향을 미쳐 원하는 성능을 얻기 어려워진다. 본 논문에서는 이런 이유에서 AGC 루프와 프리앰블 검출기와의 연관성을 분석하고 버스트 모드에 적합한 AGC 루프와 프리앰블 검출기에 대해서 기술한다.

Key Words : VDL Mode-2, D8PSK, Burst Mode AGC Loop, Preamble Detection, VGA

ABSTRACT

In this paper, we proposed a burst mode AGC loop and preamble detector applicable for VDL(VHF Digital Link) mode-2 using D8PSK modulation scheme and the performance analysis of proposed schemes is described. Generally the AGC scheme can be divided into two types, continuous and burst mode AGC. The continuous mode is performed well only with an analog feedback AGC loop. But the analog feedback AGC loop is not suitable for burst mode since its gain lock time is more than preamble duration, which causes the preamble detector misses preamble. Hence a fast digital AGC loop is required for burst mode. Also the AGC loop has to be designed with full gain during idle time to detect bursts although the signal level is very low. If the time to acquire gain lock is slow, the preamble detector fail to detect burst due to saturation of a lot of preamble samples. The receiver performance might be down even if the burst was detected because the preamble is used to estimate several parameters need to demodulation at receiver. In this paper we analysed relationships between the AGC loop and preamble detector. we present an AGC loop and preamble detector in burst mode.

I. 서 론

VHF 디지털 링크 (VDL)는 국제 민간 항공 기

구 (ICAO)의 항공 통신 패널 (ACP: Aeronautical Communication Panel)에서 표준화 작업이 진행되어 온 차세대 공공간 항공 통신 시스템이다. 현재 VDL

* 본 논문은 국토해양부 “항공선진화사업”의 일환으로 수행되었음.

* (주)파인텔레콤 연구 2팀(jmkim@pinetelecom.com), ** 충남대학교 전기정보통신공학부 교수
논문번호 : KICS2009-04-137, 접수일자 : 2009년 4월 1일, 최종논문접수일자 : 2009년 7월 8일

은 용도와 변조 방식에 따라 3가지 모드로 국제표준 및 권고방식 그리고 기술 지침이 규정되어 있으며, 각각 모드-2,3,4로 불린다. 각 모드별 주요 특징을 표 1에 나열 하였다.

국제적으로 VHF 대역에서 항공통신을 위한 주파수 대역은 118~137MHz이며, 채널당 대역폭은 25 kHz로 분할되어 있다. 현재 항공통신의 수요 증가에 따라 주파수 자원의 고갈 문제로 기존의 AM 아날로그 통신 시스템에서 디지털 방식으로 전환의 기로에 있다. VDL-M2는 변조방식으로 D8PSK를 사용하며 접속방식은 CSMA 그리고 심벌 레이트는 10,500 sps이다^{[1][2][3]}.

본 논문에서는 상기 3개의 모드 중 모드-2에 초점을 맞추고 있고, D8PSK 수신기 개발 관점에서 버스트 모드 AGC 루프와 프리앰블 검출기에 대해 기술한다. 일반적으로 AGC 방법은 연속 모드와 버스트 모드로 구분할 수 있다. 연속 모드는 아날로그 피드백 방법으로도 우수한 성능을 얻을 수 있다. 그러나 연속모드 AGC 루프를 버스트 모드에 적용하는 것은 곤란하며 응답속도가 빠른 디지털 AGC 루프가 적합하다. 버스트 모드 통신에서 수신기의 AGC 루프는 휴지 구간에서 최대 이득을 갖도록 설계해야 작은 신호 레벨에서도 버스트의 존재 여부를 알 수 있다. 만약 버스트 시작에 프리앰블이 있을 경우 버스트 구간에서 충분한 AGC 응답 속도를 갖지 못하면 프리앰블 시작점에서 수 심벌구간 동안 신호가 포화되어 프리앰블 검출에 실패하거나 검출이 되었다 하더라도 프리앰블을 이용하여 복조시에 필요한 각종 파라미터 추정에 영향을 준다. 본 논문은 이런 이유에서 AGC 루프와 프리앰블 검출기와의 연관성을 분석하고 버스트 모드에 적합한 AGC 루프와 프리앰블 검출기에 대해서 기술한다.

그림 1은 디지털 하향 변환기^[4]의 구조이다. 샘플 레이트는 디지털 다운 컨버터(DDC) 출력 샘플(84ksps)을 2배 보간 필터링(168ksps)하여 심벌 레이트의 16배로 차등복호기에 입력되어 수신에 필요한 모든 처리를 수행한다.

표 1. 모드 별 주요 특징
Table 1. Keynote of VDL Mode-x.

항 목	Mode-2	Mode-3	Mode-4
변조방식	D8PSK	D8PSK	GFSK
전송속도	31.5kbps	31.5kbps	19.2kbps
접속방식	CSMA	TDMA	STDMA
용 도	데이터	음성/데이터	감시

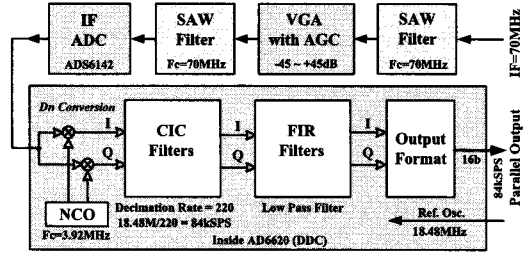


그림 1. 디지털 하향 변환기 구조
Fig. 1. Digital Down Converter.

II장에서는 연속 모드 AGC 루프와 버스트 모드 AGC 루프의 동작을 비교한 후 버스트 모드에 적합한 AGC 루프의 구조를 제안하고 III장에서는 프리앰블 검출을 위한 변수를 정의하여 제안된 프리앰블 검출기의 구조를 설명하였고 모의실험과 구현결과를 제시하였다. 끝으로 IV장에서 결론을 맺었다.

II. 자동 이득 제어

2.1 연속 모드 AGC 루프

VDL Mode-2는 버스트 모드로 동작하기 때문에 버스트 검출과 이득의 안정화가 중요시 된다. 송신시에 램프업과 수신기의 AGC를 위해 영 심벌 3개를 프리앰블 앞에 붙이는데 수신기의 AGC 동작은 3심벌 이내(380us)에 이득이 안정화 되어야 한다.

아래 그림 2는 일반적인 아날로그 AGC 루프의 구조이고 그림 3은 연속모드 AGC 루프가 버스트 신호에 어떻게 반응하는지 알기 위해 스텝 감쇄기를 10dB 증감한 결과이다. 작은 신호에서 큰 신호가 입력되었을 때와 큰 신호에서 작은 신호가 입력되었을 때 응답이 다른 것을 확인할 수 있다. 즉 신호가 작을 경우 AGC 루프는 최대 이득에서 머물다 갑자기 큰 신호가 입력되면 포화 상태에서 이득

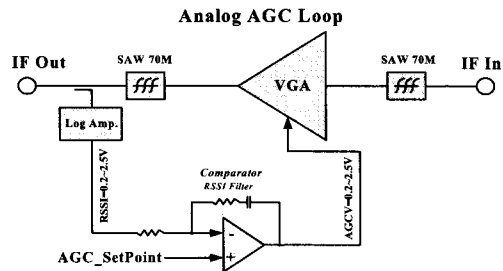


그림 2. 아날로그 AGC Loop 블록도
Fig. 2. Block Diagram of Analog AGC Loop.

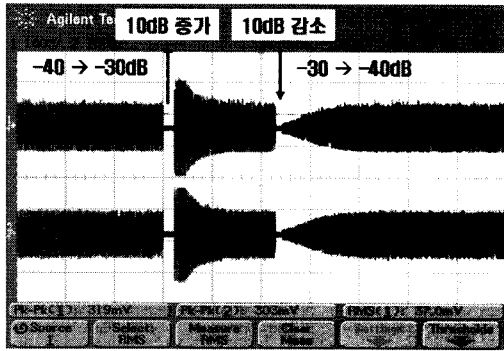


그림 3. 아날로그 AGC Loop 응답
Fig. 3. Response of Analog AGC Loop.

이 서서히 감소 안정화 되고, 큰 신호에서 머물다 작은 신호를 만나면 진폭이 증가 안정화됨을 볼 수 있다. 이는 프리앰블 시작 전에 버스트 신호의 이득을 빠르게 안정화시키기에는 무리가 있음을 의미한다. 즉 아날로그 AGC 루프는 동작 대역폭을 원하는 대로 실시간 가변하기 어렵다. 만약 동작 속도를 위해 루프 대역폭을 크게 하면 AGC 동작이 수신신호의 포락선을 따라가 신호를 왜곡 시킨다.

2.2 버스트 모드 AGC 루프

VDL Mode-2 표준안은 그림 4와 같이 송신 시에 고출력 증폭기의 안정화와 수신기에서 AGC 수행을 위해 영 심벌 3개를 프리앰블 앞에 붙이는데 수신기에서는 3심벌 이내(380us)에 이득이 안정화 되어야 한다. 이를 만족하기 위해 본 연구에서는 ADC와 DAC를 이용하여 AGC 루프를 디지털로 처리하여 동적으로 루프 대역폭을 조절할 수 있도록 하였다. 그림 4의 가로축은 송신 심벌 인덱스를 나타내고 인덱스 '0'이 프리앰블 첫 번째 심벌에 해당된다. 만약 이득 조절의 불안정성으로 프리앰블 영역

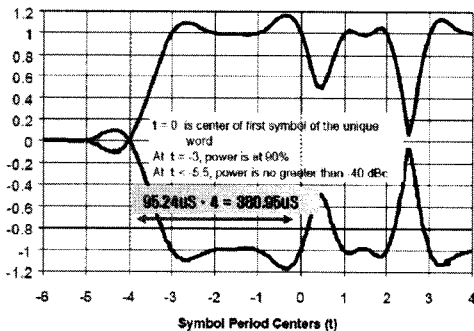


그림 4. 송신 신호 Ramp Up 규정
Fig. 4. Transmit Signal Ramp Up Rule.

이 포화되거나 이득이 균일하지 못하면 상관기를 이용하여 프리앰블을 검출하는데 악영향을 주어 검출에 실패할 수도 있다.

그림 5는 논문 [5]에서 제시된 송신기의 출력을 나타내며 중간주파수(IF)는 70MHz이고 본 연구에서 구현결과를 실험할 때 송신 신호로 사용된다.

본 연구에서는 디지털 IF 샘플링 기법을 적용하였기 때문에 IF ADC와 DDC를 거쳐 나온 신호의 처리 지연시간(latency)이 680us가 되어 프리앰블 시작 전 램프 업 구간(380us)보다 커서 베이스 밴드 신호를 이용하여 AGC 루프를 구성하기 곤란하였다. 그래서 중간 주파수(IF) 대역에서 대역제한(SAW 출력)된 수신 신호 전력을 이용(Log Amp.)하는 AGC 회로를 설계하였다. 그림 6은 제안한 AGC 루프를 나타내고 그림 7은 여기에 적용된 상태머신이다. 버스트 모드로 AGC가 동작하려면 미리 설정해야할 파라미터들이 있다. 여기서 SetPoint는 최종 수신 신호의 크기를 조절하고 Mu_Fast와 Mu_Slow는 AGC 루프의 응답속도를 결정한다. 그

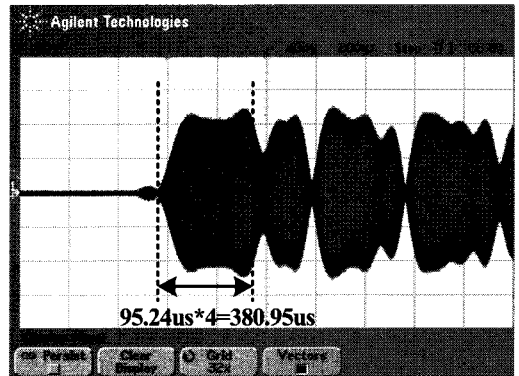


그림 5. 송신 버스트와 Ramp Up 파형
Fig. 5. Transmit Burst and Ramp Up.

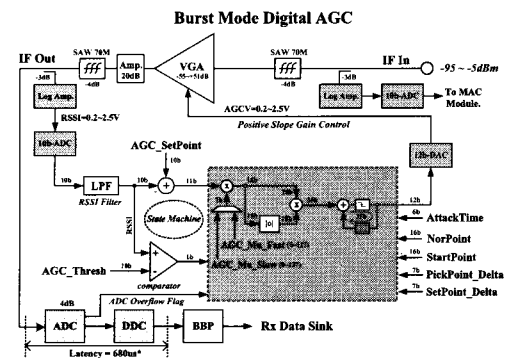


그림 6. 버스트 모드 AGC 루프 블록도
Fig. 6. Block Diagram of Burst Mode AGC Loop.

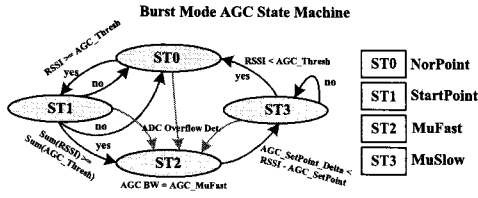


그림 7. 버스트 모드 AGC 루프 상태 천이도
Fig. 7. State Machine for Burst Mode AGC Loop.

리고 AGC_Thresh는 버스트 검출 최소 신호 입력 레벨을 결정하며 측정이 필요하다. 임의의 상태에서 ADC 오버플로가 발생하면 ST2 상태로 진입하여 안정화 되면 ST3 상태로 이동한다.

AGC 루프의 동작은 현재의 RSSI 값과 원하는 신호의 크기 값(AGC SetPoint)과의 차가 AGC 에러 신호가 되고, 이 신호는 프리앰블 시작 전 램프 업 영역에서는 빠르게 응답하고 프리앰블 구간부터 버스트 끝까지는 느리게 응답하는 상태 머신에 따라 AGC 대역폭을 조절하게 된다. 보통 ADC 칩은 입력 신호가 너무 커서 입력범위를 벗어나면 오버플로 통보 신호를 제공하는데 본 설계에서 이 신호를 AGC 루프에 적용하였다. 즉 AGC 동작 중 오버플로가 발생하면 그림 7의 상태머신은 응답속도가 빠른 ST2(Mu_Fast) 상태로 돌아가고 이득이 안정화되면 ST3(Mu_Slow) 상태로 이동한다. 그림 6에서 특이할 점은 이득 에러가 크면 클수록 더 빠르게 동작하도록 이득 에러와 그 크기를 곱하였다. 역으로 이득 에러가 작을 경우에는 더 느리게 동작하기 때문에 안정한 AGC 동작을 얻을 수 있다. 그림 7에서 AGC 임계값(AGC_Thresh)을 영으로 설정하면 4개의 상태에서 2개의 상태(ST2, ST3)로만 동작하게 된다. 대개 AGC 임계값을 결정하기 위해서는 송신 버스트가 없을 때 노이즈 레벨을 측정해야 한다. 실험상 유선 링크의 경우 노이즈 레벨 측정은 비교적 수월하였으나 무선 링크에서는 측정이 쉽지 않았다.

아래 그림 8과 그림 9는 본 설계에서 사용한 VGA와 파워 검출기의 이득 곡선이다. VGA는 -45 ~ +45dB까지 이득을 조절할 수 있고 파워 검출기는 -87dBm ~ +10dBm까지 검출할 수 있다. 수신 신호의 전력 검출용 ADC는 10비트이고, 이득 제어용 DAC는 12비트로 하였으며 변환율은 1Msps 이다.

그림 10~12는 그림 6과 같이 구현한 결과이다. 그림 10에서는 램프 업 구간에서 ADC 오버플로가 발생한 것을 볼 수 있다. 이는 버스트가 없을 때

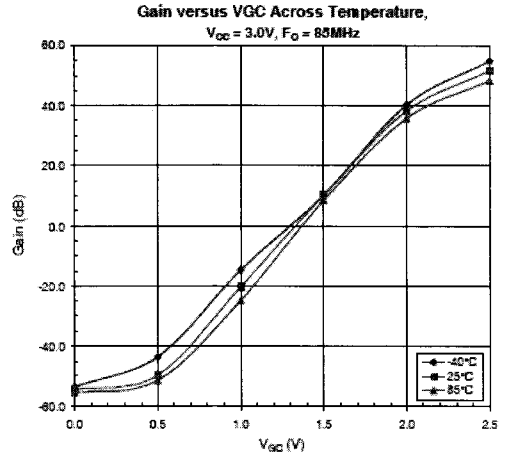


그림 8. VGA RF2673 이득 특성 곡선
Fig. 8. VGA RF2673 Gain vs VGC.

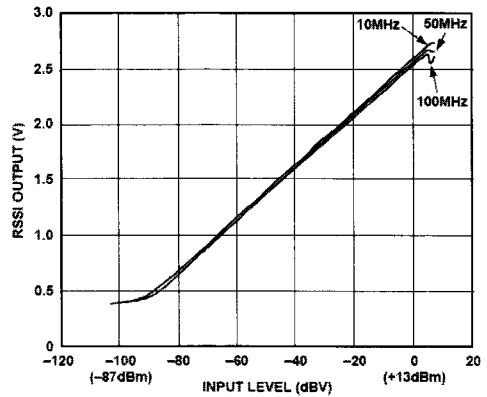


그림 9. 파워 검출기 AD8310 특성 곡선
Fig. 9. Log Amp. AD8310 RSSI vs Input Level.

표 2. AGC Loop 주요 칩셋
Table 2. Main Chip Sets for AGC Loop.

번호	항목	품번	비고
1	VGA	RF2673	-45 ~ +45dB
2	Log Amp.	AD8310	-87 ~ +10dB
3	Serial ADC	AD7273	10bits
4	Serial DAC	LT2630A	12bits
5	SAW Filter	TB0505A	BW=50kHz

최대 이득상태에 머물다 버스트 출현 시에 이득이 빠르게 감소 안정화되기 때문이다. 그림 11은 램프 업 구간에서 베이스 밴드 신호가 포화된 것을 보여 준다. 그림 12는 AGC의 이득 제어 신호와 수신 신호세기(RSSI)를 나타낸다.

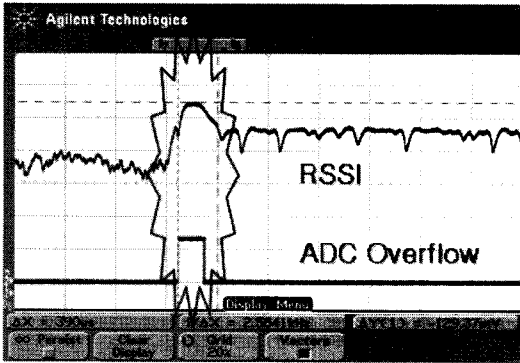


그림 10. 램프 업에서 RSSI와 ADC 오버플로 신호
Fig. 10. RSSI and ADC Overflow Flag.

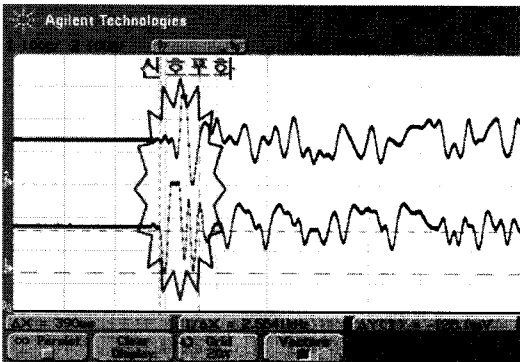


그림 11. 램프 업에서 포화된 기저대역 I/Q 신호
Fig. 11. Saturated Baseband I/Q Signals.

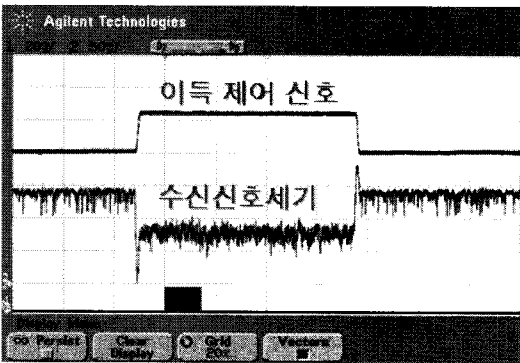


그림 12. AGC 제어 및 RSSI 신호
Fig. 12. Gain Control Signal and RSSI.

2.3 AGC와 프리앰블 검출기와의 연관성

버스트 모드에서 프리앰블을 정상적으로 검출하기 위해서는 버스트 시작시 안정적인 이득 조절이 선행되어야 한다. 즉 AGC 동작의 실패는 프리앰블 검출 실패로 이어지며 결국 버스트 수신에 실패하게 된다. VDL Mode-2에서 지상 장비의 수신 감도

는 -102dBm이며 탑재장비는 -98dBm을 만족해야 한다. 이것을 달성하려면 수신기의 AGC 동작 범위가 100dB 이상이 되어야 한다. 연속모드에서 100dB의 AGC 동작범위를 만족하는 것은 버스트 모드에 비해 구현하기 비교적 쉽다. 하지만 버스트 모드로 프리앰블 영역을 침범하지 않고 100dB 범위의 이득을 안정화 시키는 것은 결코 쉬운 일이 아니다.

결국 AGC 동작이 불안정할 때에도 프리앰블 검출이 가능하도록 프리앰블 검출기를 설계해야 한다.

다음 장에서 제안된 프리앰블 검출기 구조를 자세히 설명한다.

Ⅲ. 프리앰블 검출기

3.1 전송 프레임 구조

VDL Mode-2에서 전송 프레임 구조^[6]는 아래 그림 13과 같이 송신시의 램프 업과 수신기에서 AGC 동작을 위한 영 심벌 3개와 48비트의 Unique Word, 25비트의 길이 필드, 그리고 Data 필드로 구성되어 있다. 수신기는 세 개의 영 심벌 구간 이내에 이득을 안정화해야 프리앰블 검출에 이롭다.

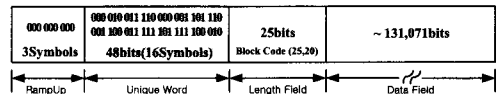


그림 13. VDL Mode-2 전송 프레임 구조
Fig. 13. Tx Frame Structure of VDL Mode-2.

3.2 프리앰블 검출기

프리앰블 검출은 초기 주파수 동기 및 심벌 타이밍 동기 이전에 수행되어야 하는 부분이다. 따라서 반송파 주파수 및 위상 그리고 타이밍 옵셋이 있는 경우에도 안정적으로 동작할 수 있는 알고리즘의 도출이 필요하다. 특히 VDL Mode-2 시스템의 경우 송·수신기 간의 주파수 옵셋과 도플러 주파수 천이 값을 같이 고려할 경우 최대 960Hz의 초기 주파수 옵셋이 존재할 수 있다. 이는 D8PSK 심벌 하나 당 약 33도의 위상 회전을 야기할 수 있는 정도의 주파수 옵셋이므로 기존에 사용되던 프리앰블 검출 방법을 바로 적용할 경우 심한 성능 저하를 야기할 수 있다. 이러한 문제들을 해결하기 위하여 본 설계에서는 차등복호를 수행한 다음 수신 신호와 수신기에서 생성된 프리앰블 패턴과의 상관값을 계산하고 해당 신호의 절대값을 취한 결과를 설정

된 임계값과 비교하여 프리앰블의 존재 여부를 판단하는 방법을 사용한다. 본 설계에서 고려한 프리앰블 검출 알고리즘을 도식화하면 그림 14와 같다.

그림 14와 같이 오버 샘플링된 기저대역 신호는 차등복호기를 통과한 다음 상관기에 입력된다. 상관기는 차등복호기 출력 신호와 수신기에서 가지고 있는 프리앰블 패턴을 이용하여 상관값을 구한 다음 해당 복소수 신호의 크기를 구한다. 이렇게 구해진 크기를 임계값과 비교하여 임계값보다 클 경우 프리앰블이 존재하는 것으로 판단한다.

그림 14와 같은 상관기를 이용하여 구한 상관값을 신호 대 잡음비(SNR)에 따라 관찰하면 그림 15와 같다. 시뮬레이터의 구조 상 프리앰블의 정확한 시작점은 25번째 샘플 값이며, SNR이 증가함에 따라 정확한 프리앰블의 시작점을 그림 14와 같은 구조의 프리앰블 검출기로 찾아낼 수 있다. 주파수 오프셋이 존재하는 경우 상관기의 출력 신호를 살펴보면 그림 16과 같다. 이때 사용한 주파수 오프셋 값은 960Hz이다. 주파수 오프셋이 존재하는 경우에도 상관기의 출력 값이 크게 열화되지 않음을 확인할 수 있다. 그러나 프리앰블 검출기에서 가장 중요한 문제는 ‘문턱값을 어떻게 설정할 것인가?’이다.

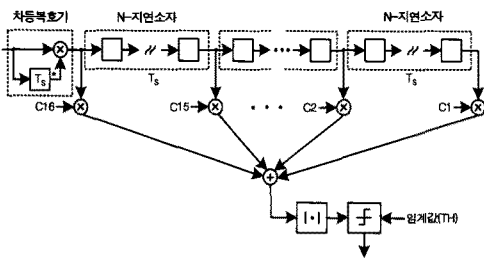


그림 14. 프리앰블 검출용 상관기 구조
Fig. 14. Correlator for Preamble Detection.

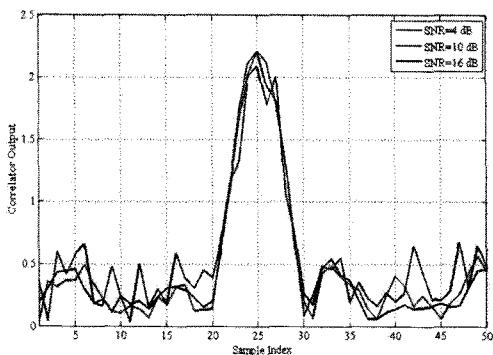


그림 15. 주파수 오프셋 0Hz에서 상관기 출력
Fig. 15. Correlation Value @ Freq. Offset 0Hz.

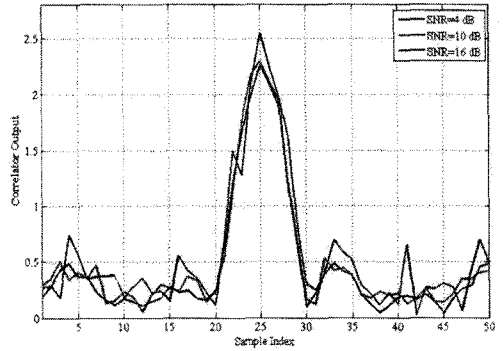


그림 16. 주파수 오프셋 960Hz에서 상관기 출력
Fig. 16. Correlation Value @ Freq. Offset 960Hz.

3.3 프리앰블 검출 문턱 값 결정

앞 절에서 설명한 프리앰블 검출기에서 가장 중요한 요소는 문턱 값을 결정하는 것이라 할 수 있다. 다음 표 3에 문턱 값의 특성을 요약하였다.

표 3의 특성들을 만족하기 위해서는 임계값이 하나의 고정된 값이 되어서는 안 된다. 위 조건을 만족하기 위해 다음 표 4와 같이 변수를 정의하고 그림 17에 그 구조를 나타내었다. 본 설계에서는 문턱값 결정을 위해 $|C[n]|$ 값과 $|S[n]|$ 값의 적절한 조합만을 이용하였다.

표 3. 프리앰블 검출을 위한 문턱 값 특성
Table 3. Threshold Value for UW Detection.

- 휴지 구간에서 최소의 오보 확률 특성
- 데이터 영역에서 최소의 오보 확률 특성
- 심벌 크기 변화 및 주파수 오프셋과 무관한 검출 특성
- 프리앰블 구간에서 동적 임계값 특성
- 최소 신호 레벨에서도 최소의 누설 확률 특성

표 4. 문턱 값 결정을 위한 변수 정의-1
Table 4. Variable definition-1 for Threshold.

$$C[n] = \frac{1}{16} \sum_{i=1}^{16} c_i^* \cdot r_{n-i} \quad (1)$$

$$S[n] = \frac{1}{16} \sum_{i=1}^{16} (I_{n-i}^2 + Q_{n-i}^2) \quad (2)$$

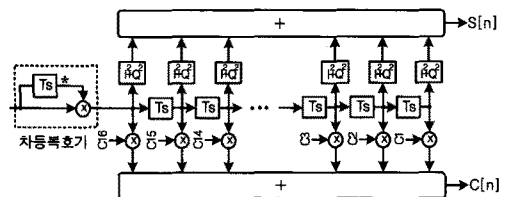


그림 17. S[n] 및 C[n] 상관기 구조
Fig. 17. S[n] and C[n] Correlator.

표 4에서 $C[n]$ 은 차등복호 후 상관기 출력 값을 의미하고 $S[n]$ 은 16심벌 구간의 평균 신호 전력 값을 나타낸다.

그림 17에서 T_s 는 심벌주기이고 하나의 심벌 당 16샘플이 있다. 즉 지연소자 16개가 하나의 T_s 가 된다. 그림 18은 $|S[n]|$ 및 $|C[n]|$ 을 도식화한 것이다. 그림 19는 그림 17의 출력을 입력으로 하는 제안된 프리앰블 검출기 구조를 나타낸다.

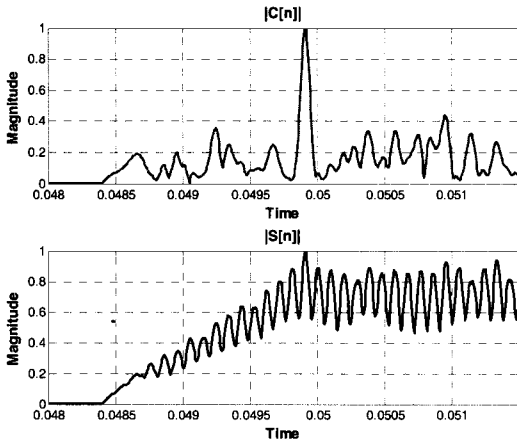


그림 18. 프리앰블 구간에서 $|C[n]|$ 및 $|S[n]|$ 값 플롯
Fig. 18. Plot of $|C[n]|$ and $|S[n]|$ in the Preamble Region.

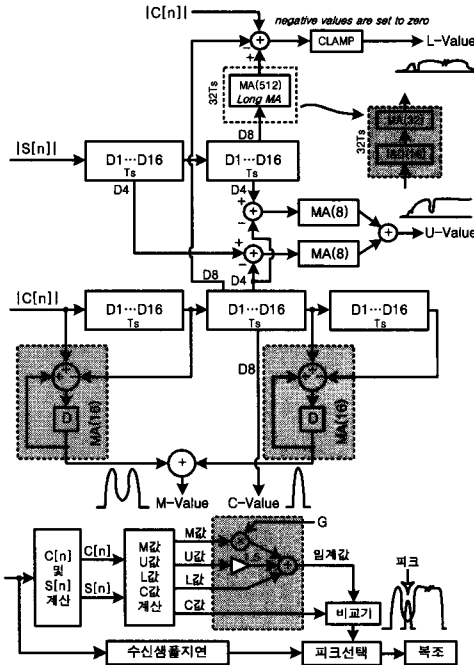


그림 19. 제안 프리앰블 검출기 구조
Fig. 19. Proposed Preamble Detector.

표 5는 그림 19 구조에서 문턱 값을 계산하기 위한 수식이고 MA는 이동평균을 의미하며 I&D는 누적하여 덤프하는 것을 의미한다. 문턱값 결정을 위해 여러 가지 값을 더한 주된 이유는 프리앰블 구간이 아닌 다른 영역(휴지구간 또는 데이터 영역)에서 오보 확률을 최소화하기 위함이다.

최종 임계값은 표 6에서 식 (1)과 같이 표현되고 여기서 G는 최적값을 선택하기 위한 임의의 이득 (Gain) 값이다. 즉 G를 변경하여 최적의 성능을 구하면 된다. 최종 프리앰블 검출은 표 6의 식 (1)보다 큰 상관값 중 피크가 초기동기 지점이 된다. 그리고 여기서 피크값을 찾는 윈도우 크기는 16이다.

그림 20은 표 5에 정의된 중간변수를 그림으로 도식화한 것이다. 그림 20에서 M값과 U값은 깊은 널을 갖고 있어 상관 값을 중에서 피크 값을 찾는 윈도우를 16 샘플 이내로 제한하는 기능을 한다.

표 5의 L값은 상관기 출력을 32 심벌구간 이동 평균한 값에서 상관값을 뺀 것으로 데이터 영역과 버스트 끝부분에서 오보확률을 줄이는 역할을 한다. 이 값들은 VDL Mode-2에 국한되지 않고 다른 프리앰블 검출기에도 적용할 수 있다. 그림 21에서 상관값 피크는 표 6 식(1)의 임계값 널(null) 중앙에 위치하는 것을 보여준다. 그리고 위상은 프리앰블 피크 부분에서 영이 되는 것을 볼 수 있는데 이는 주파수 오프셋이 없음을 의미한다.

표 5. 문턱 값 결정을 위한 중간 변수 정의-2
Table 5. Variable definition-2 for Threshold.

C-Value	$= C[n - 24] $ 지연(1.5심벌)된 상관기 출력
M-Value	$= MA_{16p}(C[n]) + MA_{16p}(C[n - 32])$ 프리앰블 영역 피크검출 윈도우
U-Value	$= MA_{8p}(S[n - 4] - C[n - 20]) + MA_{8p}(S[n - 20] - C[n - 20])$ 데이터 영역 마스크
L-Value	$= MA_{32p}\{I\&D_{16p}(S[n - 24])\} - C[n - 24] + C[n] $ 데이터 영역 및 끝부분 마스크

표 6. 최종 문턱 값 결정
Table 6. Final Threshold Value.

$$Threshold = G \cdot M_{value} + 1.5 \cdot U_{value} + L_{value} \quad (1)$$

$$C_{value} > Threshold \quad (2)$$

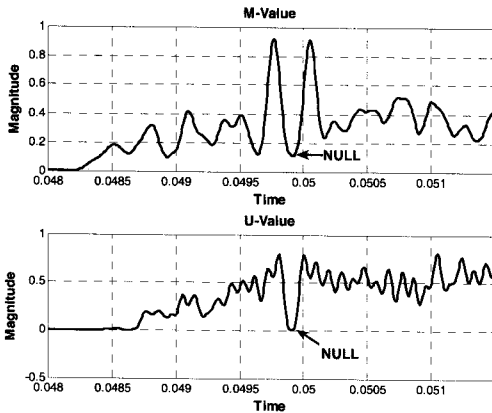


그림 20. 프리앰블 구간에서 M-값 및 U-값 플롯
Fig. 20. M-Value and U-Value Plot.

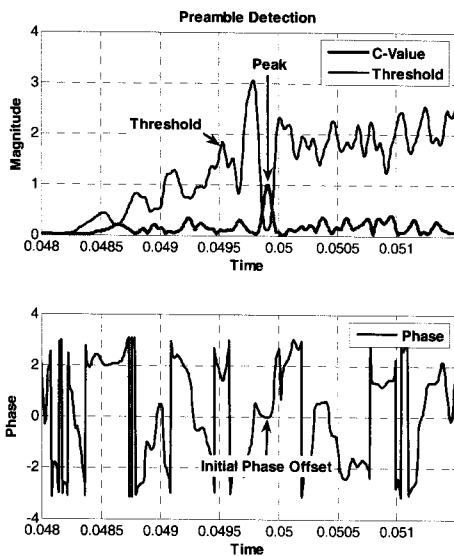


그림 21. 문턱값 및 상관값 출력 크기와 위상
Fig. 21. Threshold Value, Mag. and Phase.

3.4 프리앰블 검출기 모의실험 결과

프리앰블 검출기의 성능을 분석하기 위해 다음과 같이 두 가지 방법으로 모의실험을 수행하였다. 프리앰블 구간에서 오보는 본래의 프리앰블 위치에서도 검출이 된다면 복조가 가능하기 때문에 오보 확률 계산에서 배제하였다. 특히 데이터 구간에서 오보는 수신 중인 버스트를 초기화할 수 있기 때문에 오보확률이 최소화 되어야 한다.

- AGC 동작이 완벽히 이루어져 프리앰블 이득이 일정한 경우(이상적).
- AGC 동작의 불안정으로 인한 프리앰블 첫 심벌이 16번째 보다 2배 큰 경우(현실적).

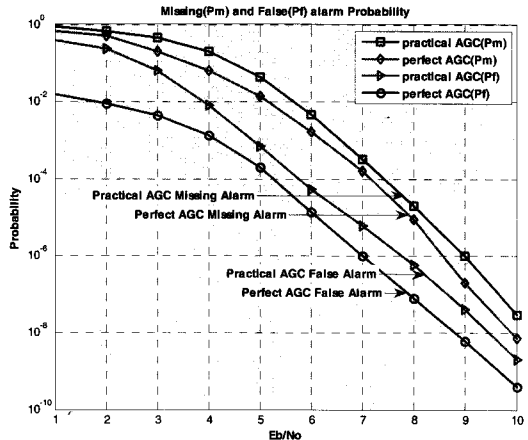


그림 22. 누실 확률 및 오보 확률
Fig. 22. Missing Alarm and False Alarm.

그림 22는 모의실험 결과이고 Eb/No 10dB에서 이상적 AGC인 경우 누실확률은 10^{-8} , 오보확률이 10^{-9} 이하임을 확인할 수 있다.

3.5 프리앰블 검출기 구현 결과

그림 19의 구조로 구현한 결과를 그림 23~25에 제시하였다. 그림 23은 상관값의 출력파형과 수신 신호의 크기를 나타낸다.

그림 24를 보면 데이터 구간에서 그림 21과 같이 임계값이 높게 나타난 이유는 버스트 구간의 전력에 더해졌기 때문이다. 표 6의 식 (1)에서 G 값은 최소 신호레벨에서 누실 확률이 최소가 되도록 설정한다.

그림 25에서는 프리앰블 구간에서 상관값의 크기와 위상을 나타낸다. 상관값의 피크 부분에서 위상이 '0'도임을 확인할 수 있고 이 값은 초기 주파수 오프셋 추정에 사용된다.

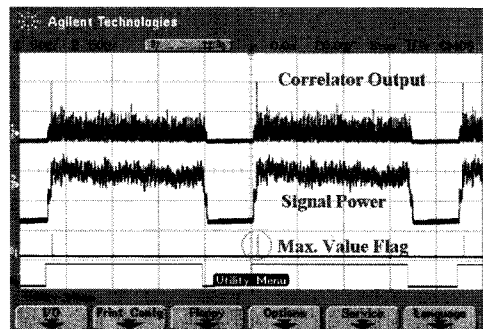


그림 23. 상관기 출력과 수신 신호 전력
Fig. 23. C-Value and Received Signal Power.

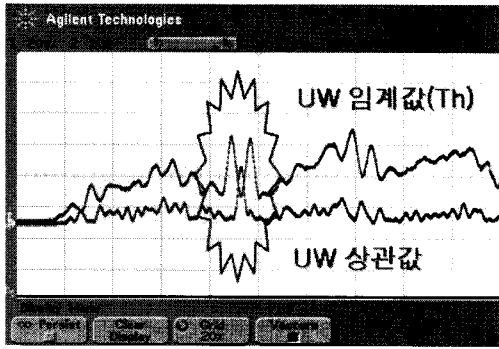


그림 24. 프리앰블 검출 문턱값 및 상관값
Fig. 24. Threshold Value and C-Value.

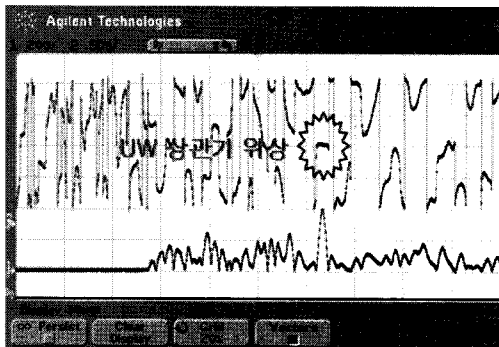


그림 25. 상관값 크기와 상관 위상
Fig. 25. Mag. and Phase of C-Value.

IV. 결 론

본 논문에서는 VDL Mode-2에 적용 가능한 버스트 모드 AGC 루프와 프리앰블 검출에 필요한 문턱 값 결정 변수를 정의하여 그 구조를 제안하였고 모의실험과 구현결과를 제시하였다. 구현한 버스트 모드 AGC는 프리앰블 시작 전 램프 업 구간에서 이득이 안정화됨을 확인하였다. 모의실험 결과에 의하면 제안된 프리앰블 검출기는 이상적인 AGC인 경우에는 E_b/N_0 10dB에서 오보확률이 10^{-9} , 누실 확률은 10^{-8} 이하임을 확인하였고 현실적인 AGC인 경우와 약 0.5dB 차이를 보였다. 이 결과는 약간의 변경만으로 VDL Mode-3에서도 적용가능하며 버스트 모드 AGC 루프와 프리앰블 검출기를 구현 하는데 유익한 참고 자료가 될 것으로 사료 된다.

참 고 문 헌

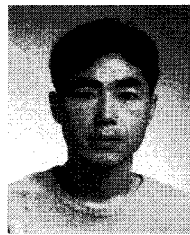
[1] ICAO, "VHF air-ground digital link (VDL)",

International Standards and Recommended Practices, Annex 10, Volume III, Part I, Chap. 6, 2000.

- [2] Honeywell, "VHF Digital Link (VDL) Primer", http://www.honeywellcommnav.com/documents/technical/vhf_primer.pdf.
- [3] IATA, "VHF Digital Link Mode 2", http://www.iata.org/NR/rdonlyres/4F42598A-951F-4FC3-A419-E160E0FD961F/0/VLD_Modes2.pdf.
- [4] Product Specification, "AD6620, 67 MSPS Digital Receive Signal Processor", Analog Devices, 2001.
- [5] 김종만 외, "VDL Mode-2 송,수신기 성능분석 및 협대역 디지털 변조신호 생성", 한국항행학회 논문지 11권 1호, pp.9~16, 2007.
- [6] RTCA, "Signal-in-space minimum aviation system performance standards for advanced VHF digital data communications including compatibility with digital voice techniques", RTCA D0-244A, Chap 3.0, 2000.

김 종 만 (Jong-man Gim)

정회원



2001년 2월 원광대학교 전자공학과 학사 졸업
2003년 2월 전북대학교 정보통신공학과 석사 졸업
2003년 3월~현재 (주)파인텔레콤 선임연구원
2008년 8월 충남대학교 정보통신공학과 박사과정 수료

<관심분야> 모뎀 설계, 디지털 신호처리, RF 회로 설계

은 창 수 (Chang-soo Eun)

종신회원



1985년 2월 서울대학교 전자공학과 학사 졸업
1987년 2월 서울대학교 전자공학과 석사 졸업
1995년 8월 텍사스 오스틴 대학교 박사 졸업
1997년 9월~현재 충남대학교

전기정보통신공학부 교수

<관심분야> RF 및 마이크로파 회로, 통신 신호 처리