

---

# Logic 공정 기반의 비동기식 1Kb eFuse OTP 메모리 IP 설계

이재형\* · 강민철\* · 김려연\* · 장지혜\* · 하판봉\* · 김영희\*

## Design of an Asynchronous eFuse One-Time Programmable Memory IP of 1 Kilo Bits Based on a Logic Process

Jae-Hyung Lee\* · Min-Cheol Kang\* · Liyan Jin\* · Ji-Hye Jang\* · Pan-Bong Ha\* · Young-Hee Kim\*

### 요 약

본 논문에서는 로직 공정 기반의 저전력 eFuse OTP 메모리 셀을 제안하였다. eFuse OTP 메모리 셀은 프로그램과 읽기 모드에 최적화되도록 각각의 트랜지스터를 사용하였으며, WL과 BL의 기생적인 커패시턴스를 줄이므로 읽기 모드에서의 동작 전류를 줄였다. 그리고 저전력, 저면적의 eFuse OTP 메모리 IP 설계를 위하여 비동기식 인터페이스, 분리된 I/O, 디지털 센싱 방식의 BL 감지 증폭기 회로를 사용하였다. 모의실험 결과 읽기 모드에서의 동작 전류는 VDD, VIO 각각 349.5 $\mu$ A, 3.3 $\mu$ A로 나왔다. 그리고 동부하이텍 0.18 $\mu$ m generic 공정으로 설계된 eFuse OTP 메모리 IP의 레이아웃 면적은 300 × 557 $\mu$ m<sup>2</sup>이다.

### ABSTRACT

We propose a low-power eFuse one-time programmable (OTP) memory cell based on a logic process. The eFuse OTP memory cell uses separate transistors optimized at program and read mode, and reduces an operation current at read mode by reducing parasitic capacitances existing at both WL and BL. Asynchronous interface, separate I/O, BL SA circuit of digital sensing method are used for a low-power and small-area eFuse OTP memory IP. It is shown by a computer simulation that operation currents at a logic power supply voltage of VDD and at I/O interface power supply voltage of VIO are 349.5 $\mu$ A and 3.3 $\mu$ A, respectively. The layout size of the designed eFuse OTP memory IP with Dongbu HiTek's 0.18 $\mu$ m generic process is 300 × 557 $\mu$ m<sup>2</sup>.

### 키워드

eFuse, OTP, low-power, asynchronous interface, digital sensing

## I. 서 론

일반적으로 MCU, Power IC, 디스플레이 구동 칩, CMOS 이미지 센서 등에 사용되는 프로그램 메모리는 EPROM, EEPROM, 플래시 메모리와 같은 비휘발성 메모리이다. 그러나 이들 비휘발성 메모리는 긴 공정 TAT (Turn-Around Time), 복잡도의 증가, 낮은 신뢰성, 높은 제조 비용을 유발하는 부가적인 공정을 필요로 한다[1]. 그래서 추가 공정이 필요 없는 eFuse나 안티퓨즈 (antifuse) 방식의 로직 공정 기반 설계가 가능한 OTP (One-Time Programmable) 메모리 IP가 많이 사용되고 있다. 안티퓨즈 방식의 OTP 메모리 셀은 얇은 게이트 산화막 (gate oxide)에 항복전압 (breakdown voltage)보다 높은 전압을 인가하여 전기적으로 단락시켜 프로그램하게 된다. 안티퓨즈 OTP 메모리 IP는 프로그램 전압이 5.5V~8.5V이므로 로직 트랜지스터와 5V의 MV (Medium Voltage) 트랜지스터를 필요로 한다[2][3]. 그런데 로직 트랜지스터와 3.3V의 MV 트랜지스터만 제공하는 공정에서는 프로그램 전압에서 3.3V의 트랜지스터가 견딜 수 없으므로 안티퓨즈 OTP는 부적합하다. 반면 eFuse (electrical Fuse) OTP 셀은 폴리실리콘 게이트에 10mA~20mA 정도의 과전류를 흘려 eFuse (electrical fuse)를 blowing하여 퓨즈를 선택적으로 끊어 준다. eFuse의 경우는 3.3V 트랜지스터로 프로그램이 가능하다.

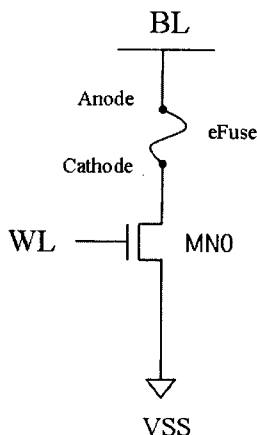


그림 1. 기존의 eFuse 셀 회로도 [4].  
Fig. 1. Conventional eFuse cell circuit.

기존의 eFuse 셀은 그림 1의 셀 회로도에서 보는바와 같이 eFuse link와 NMOS 트랜지스터로 구성되어 있으며, eFuse의 프로그램 이전 저항은 50~100Ω 정도이다. eFuse를 blowing하는 경우 BL (Bit-Line)과 WL (Word-Line)에 I/O 인터페이스 전압인 VIO (=3.3V) 전압을 인가하면 eFuse와 MN1을 통해 프로그램 전류가 흐르면서 eFuse의 저항은 수 100kΩ 이상이 된다. 이와 같이 eFuse는 전도상태 (conductive state)와 고저항 상태 (highly resistive state) 중 하나로 프로그램 된다.

그런데 기존의 eFuse 셀은 그림 1의 NMOS 트랜지스터인 MN에 의해 프로그램과 읽기 동작이 이루어지므로 프로그램 전류를 만족하기 위해서는 NMOS 트랜지스터의 채널 폭 (channel width)은 커야 한다. 그리고 BL에 기생하는 저항을 줄여 프로그램 전압을 낮추기 위해서 BL의 메탈 폭 (metal width)은 커야한다. 이런 경우 WL과 BL의 기생 커패시턴스가 증가하므로 읽기 모드에서의 스위칭에 의한 동작전류가 증가하는 문제가 있다.

본 논문에서는 저전력 eFuse OTP 메모리 IP를 구현하기 위해 저전력 eFuse 셀을 제안하였다. 제안된 eFuse 셀은 eFuse, 프로그램 전류를 흘릴 수 있는 큰 채널 폭의 NMOS 트랜지스터, 읽기 모드용 작은 채널 폭의 NMOS 트랜지스터로 구성되어 있으며, BL의 메탈 폭은 신호선에 해당되는 폭 (0.3μm)을 사용하였다. 그래서 읽기 모드에서 RWL (Read Word-Line)과 BL의 기생하는 커패시턴스를 줄여 읽기 모드의 동작전류를 줄일 수 있었다. 또한 저전력, 저면적 OTP 메모리 IP 설계를 위해 비동기식 인터페이스, 분리된 I/O (separate I/O), 디지털 BL 센싱 회로를 사용하였다. 1Kb eFuse OTP 메모리 IP는 동부하이텍 0.18μm Generic 공정을 이용하여 설계되었다.

## II. 회로 설계

설계된 비동기식 1Kb eFuse OTP 메모리 IP의 주요 특징은 표 1과 같다. 1Kb OTP 메모리의 셀 어레이 (cell array)는 128행 (rows) × 8열 (columns)로 구성되어 있으며, 사용되는 전원전압은 로직 전압인 VDD (=1.8V)와 I/O 인터페이스 전압인 VIO (=3.3V)가 사용된다.

동작 모드는 프로그램, 읽기 모드와 대기 모드가 지원되며, IP 면적을 줄일 수 있는 비동기식 인터페이스 방식 [2]을 사용하고 있다. 한 비트당 프로그램 전류가 10mA~20mA 정도이므로 eFuse OTP 메모리 IP는 바이트 단위로 프로그램은 불가능하고 표 1에서 보는바와 같이 한 비트씩 하고 있다. 그리고 읽기 모드는 한 바이트씩 수행된다.

표 1. 비동기식 1Kb OTP 메모리의 주요 특징.  
Table 1. Major specifications of an asynchronous OTP memory of 1 kilo bits.

항목	주요 특징	
공정	DBH 0.18μm Generic	
메모리 용량	1Kb (128행 × 8열)	
전원 전압	VDD	1.8V
	VIO	3.3V
온도	-40~125℃	
동작 모드	프로그램/읽기/대기 모드	
Program bit/Read bit	1b/8b (분리된 I/O)	
Access Time	200ns	

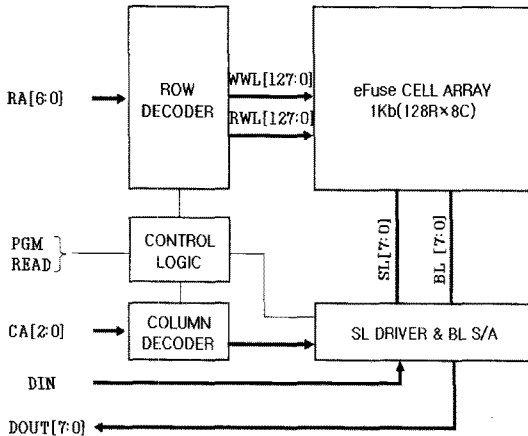


그림 2. 1Kb eFuse OTP 메모리 IP의 블록도.  
Fig. 2. Block diagram of an eFuse OTP memory IP of 1 kilo bits.

비동기식 1Kb eFuse OTP 메모리 IP는 그림 2의 블록도에서 보는 바와 같이 128행 × 8열의 eFuse OTP 메모리 셀 어레이, 행 어드레스 A[6:0]을 디코딩하여 128개 WL

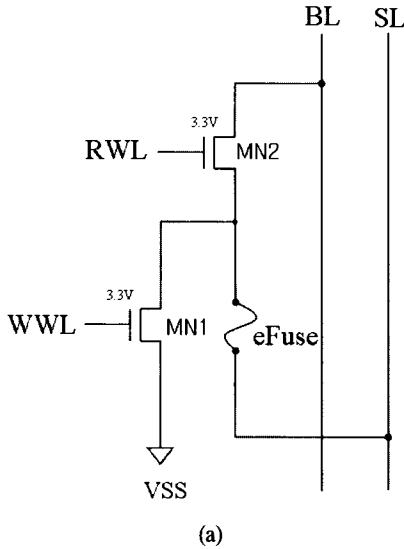
중 하나를 선택해주는 행 디코더, SL (Source Line) 구동 회로와 BL S/A (Bit-Line Sense Amplifier), 제어신호 (RD, PGM)에 따라 프로그램과 읽기 모드에 적합한 내부 제어 신호를 공급하는 제어 로직으로 구성되어 있다. SL 구동 회로는 8개의 구동회로로 구성되어 있으며, 행 어드레스인 CA[2:0]의 디코딩에 의해 선택되는 SL을 구동하는 회로이다. 그리고 BL S/A는 읽기 모드에서 OTP 셀의 eFuse를 프로그램한 유·무에 따라 BL[7:0]을 통해 나오는 데이터를 디지털 데이터를 센싱 하여 DOUT[7:0]으로 출력하는 회로이다.

설계된 eFuse OTP 메모리 셀은 그림 3(a)의 회로도와 같이 eFuse link, 프로그램용 NMOS 트랜지스터 (MN1)와 읽기 모드용 NMOS 트랜지스터 (MN2)로 구성되어 있으며, eFuse의 프로그램 이전 저항은 50~100Ω 정도이다. 그림 3(b)는 eFuse OTP 메모리 셀의 레이아웃 사진을 보여주고 있다. eFuse OTP 메모리 셀의 레이아웃 크기는 25.81μm × 3.76μm이다. 그리고 그림 3(c)는 128행 × 8열 셀 어레이 회로도를 보여주고 있다. 셀 어레이는 64행 × 8열의 sub-array로 나뉘어져 있으며, 2 sub-array를 선택하는 행 어드레스는 A6이다.

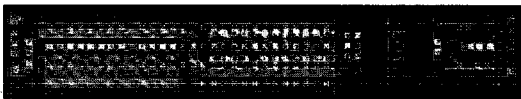
표 2는 동작 모드별 eFuse OTP 메모리 셀 노드에서의 바이어스 전압을 보여주고 있다. 프로그램 모드에서 선택된 WWL은 VIO로 활성화된다. 그리고 선택되지 않은 WWL은 0V를 유지하므로 OTP 셀의 eFuse link는 BL로부터 격리된다. 프로그램 모드에서 eFuse OTP 셀을 프로그램하기 위해서는 DIN에 VDD를 인가하고 PGM에 펄스를 인가하면 SL과 WWL에 VIO 전압이 인가되면서 eFuse와 MN1을 통해 프로그램 전류가 흐른다. 이렇게 하면 eFuse는 프로그램되고 eFuse의 저항은 수 100kΩ 이상이 된다. 만약 프로그램 되지 않는 셀인 경우 DIN은 0V를 인가하고 SL은 0V를 유지하기 때문에 eFuse의 저항은 변화가 없다.

설계된 eFuse OTP 메모리 IP에서 프로그램된 셀은 DIN에 로직 '1'이 인가된 경우이고 프로그램 되지 않은 셀은 DIN에 로직 '0'이 인가된 경우이다. 한편 읽기 모드에서는 BL을 VDD 전압으로 프리차지 (precharge)시킨 뒤 RA[6:0]의 디코딩에 의해 128개의 RWL 중 한 RWL만 VDD 전압으로 활성화된다. 만약 eFuse가 프로그램 되지 않은 셀의 경우 그림 3(a)의 MN2, eFuse link를 통해 전류 경로가 제공되어 BL은 0V로 방전되며, DOUT은 로직 '0'가 출력된다. 한편 프로그램된 셀은 eFuse가 고저항상

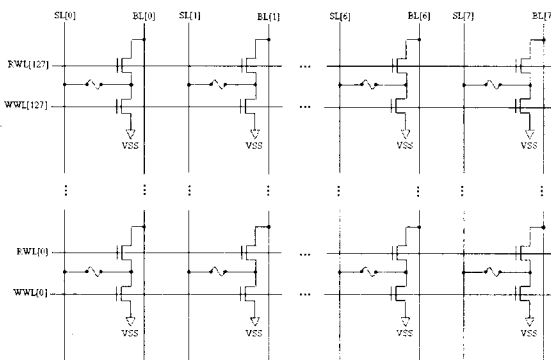
태 (highly resistive state)에 있으며, BL 전압은 VDD로 프리차징 된 상태를 유지하므로 DOUT은 로직 '1'이 출력 된다.



(a)



(b)



(c)

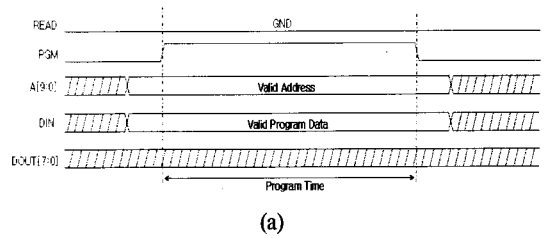
그림 3. (a) eFuse OTP 메모리 셀 회로도 (b) 셀 레이아웃 사진 (c) 128행 × 8열 셀 어레이 회로도.  
Fig. 3. (a) eFuse OTP memory cell circuit, (b) cell layout picture, and (c) cell array circuit of 128 rows and 8 columns.

표 2. 동작 모드별 eFuse OTP 메모리 셀의 노드별 바이어스 전압.

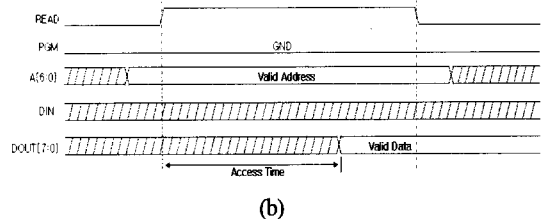
Table 2. Each node bias voltage of an eFuse OTP memory cell at each operation mode.

	프로그램 모드		읽기 모드	
	0	1	×	×
WWL	VIO		0	
RWL	0		VDD	
DIN	0	1	×	×
SL	0	VIO	0	0
BL	Floating	Floating	0	VDD
DOUT	×	×	0	1
eFuse	Broken	Unbroken	Unblown	Blown

저전력, 저면적의 OTP 메모리 IP 설계를 위해 비동기식 인터페이스, 분리된 I/O 방식 [5]을 채택하였다. 그림 4(a)는 비동기식 eFuse OTP 메모리 IP의 프로그램 모드에서의 타이밍 다이어그램이다. 프로그램 동작은 어드레스와 입력 데이터를 먼저 인가한 상태에서 PGM 신호가 high로 활성화 되면 선택되는 OTP 메모리 cell에 한 비트 (bit)의 입력 데이터 DIN을 프로그램하게 된다. 그림 4(b)는 비동기식 OTP 메모리에서의 읽기 모드에서의 타이밍 다이어그램이다.



(a)



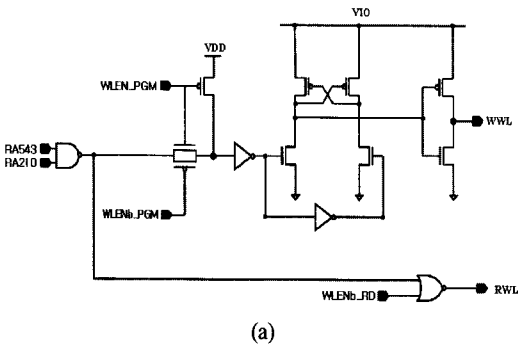
(b)

그림 4. (a) 프로그램 모드에서의 타이밍 다이어그램 (b) 읽기 모드에서의 타이밍 다이어그램.

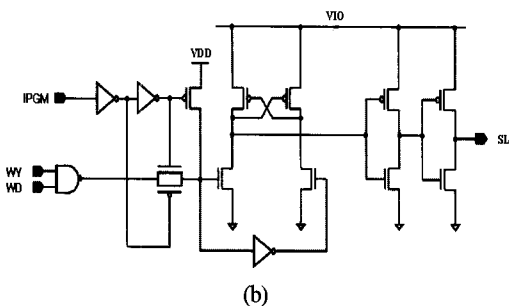
Fig. 4. Timing diagrams (a) at program mode and (b) at read mode.

읽기 동작은 읽어낼 어드레스를 먼저 인가한 후 READ 신호를 high로 활성화시키면 선택된 셀의 바이트 데이터가 access time이 지난 이후 DOUT[7:0] port로 출력된다. 이때 PGM 신호는 low 상태를 유지해야 되며, DIN은 don't-care 상태이다. 그리고 설계된 비동기식 1Kb eFuse OTP에서는 입력 포트와 출력 포트로 나누어 사용하는 분리된 I/O 방식을 사용하였다.

그림 5(a)의 WL 구동회로는 프로그램 모드로 진입하게 되면 A6에 의해 선택된 WLEN\_PGM과 WLENb\_PGM은 각각 로직 '1'과 로직 '0'로 된다. 이 상태에서 행 어드레스인 A[5:0]을 디코딩하여 선택되는 WWL만 VIO로 구동되고 선택되지 않은 WWL은 0V를 유지하도록 한다. 그림 5(b)의 SL 구동 회로는 프로그램 모드에서 eFuse의 양극(anode)에 VIO 전압을 공급한다. DIN이 로직 '1'인 경우 SL에 VIO 전압을 공급하고, DIN이 로직 '0'인 경우 SL을 0V로 구동한다. 그리고 읽기 모드에서는 IPGM 신호가 로직 '0' 상태이므로 SL은 0V를 구동하도록 한다.



(a)



(b)

그림 5. (a) WL 구동회로 (b) SL 구동회로.  
Fig. 5. (a) WL driving circuit and (b) SL driving circuit.

설계된 eFuse OTP 메모리 IP는 비트 단위로 프로그램되고 바이트 단위로 읽기 동작을 수행한다. 읽기 모드에서는 RWL이 활성화되기 이전에 짧은 펄스의 PRECHARGE 신호에 의해 그림 6의 MP0이 ON되면서 BL은 VDD 전압으로 프리차징 된다. RWL이 활성화되면서 로직 '1'로 프로그램된 셀에 연결된 BL은 VDD 전압을 유지하는 반면, 로직 '0'로 프로그램된 셀은 eFuse link의 저항이 50~100Ω 정도이므로 BL을 0V로 방전시킨다. eFuse OTP 메모리 셀의 데이터가 BL에 충분히 전달된 뒤 SAENb (Sense Amplifier Enable) 신호가 0V로 활성화되면 디지털 센싱 방식의 BL 감지 증폭기는 BL 전압인 VDD 또는 0V를 센싱하여 DOUT으로 읽은 데이터를 출력한다. 높은 임피던스를 갖는 PMOS 부하 트랜지스터 MP1은 RWL이 선택되어 있는 동안 ON되어 BL을 VDD로 pull-up시키는 부하 (load)로 작용한다. 그래서 '1' 데이터를 읽는 경우 선택된 셀에서 100kΩ 이상의 높은 저항을 갖는 eFuse에 의해 BL의 VDD 프리차징 전압을 방전하지 않도록 한다.

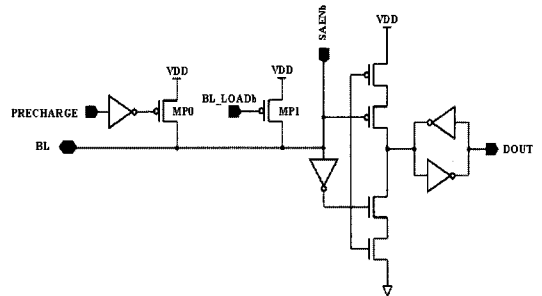


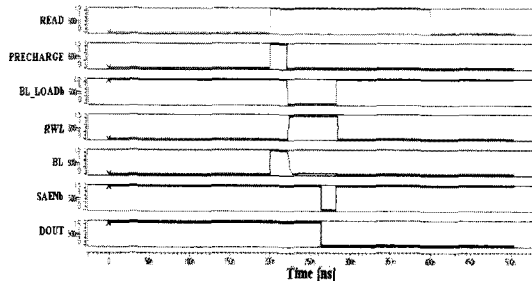
그림 6. 디지털 센싱 방식의 BL 감지 증폭기.  
Fig. 6. BL sensing amplifier of digital sensing method.

### III. 모의실험 및 측정결과

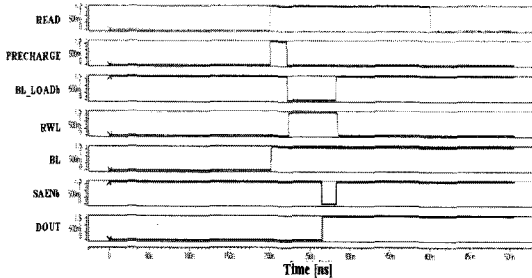
본 논문에서는 동부하이텍 0.18μm generic 공정을 이용하여 비동기식 1Kb eFuse OTP 메모리 IP를 설계하였다.

그림 7은 읽기 모드에서 eFuse OTP 메모리 IP로 들어오는 제어신호 (READ), 그림 2의 제어 로직에서 나오는 PRECHARGE, BL\_LOADb, SAENb 신호의 타이밍 다이어그램을 보여주고 있다. 읽기 명령어 (read command)가

들어오면 그림 7에서 보는바와 같이 PRECHARGE 신호에 의해 BL은 VDD 전압으로 프리차징 된다. BL이 프리차징 된 이후 RWL이 활성화되면서 셀의 데이터가 BL에 전달된다. BL에 셀의 데이터가 충분히 전달되면 SAENb 신호에 의해 BL S/A에 의해 BL의 디지털 데이터는 센싱되어 DOUT 노드로 출력된다. 그림 7(a)는 '0'로 프로그램된 셀이고, 그림 7(b)는 '1'로 프로그램된 셀의 모의실험 결과를 보여주고 있다. 한편 SPICE 모의실험 결과 설계된 eFuse OTP 메모리 IP의 읽기 모드에서 동작 전류는 1.98V의 VDD, 3.6V의 VIO에서 각각 349.5 $\mu$ A, 3.3 $\mu$ A로 나왔다.



(a)



(b)

그림 7. 읽기 모드에서의 모의실험 결과.

- (a) '0'로 프로그램된 셀의 경우
- (b) '1'로 프로그램된 셀의 경우

Fig. 7. Simulation result at read mode : (a) in case that the cell is programmed with '0' and (b) with '1'.

그림 8은 0.18 $\mu$ m generic 공정을 이용하여 설계된 비동기식 1Kb eFuse OTP 메모리 IP의 레이아웃 사진을 보여주고 있으며, 레이아웃 면적은 300 $\mu$ m $\times$ 557 $\mu$ m이다.

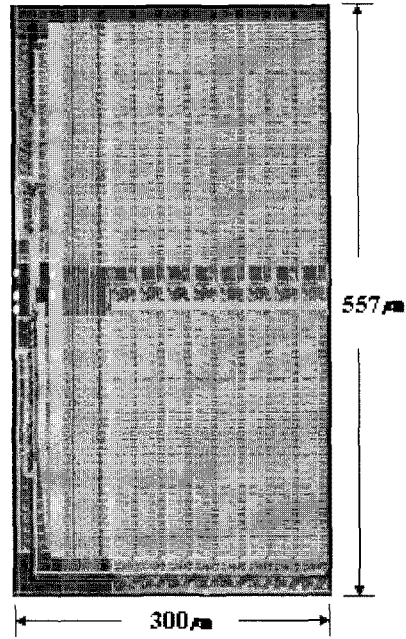


그림 8. 0.18 $\mu$ m eFuse OTP 메모리 IP의 레이아웃 사진.

Fig. 8. Layout picture of the designed eFuse OTP memory IP with the 0.18 $\mu$ m generic process.

#### IV. 결 론

시스템 IC 분야에서는 로직 공정 기반의 OTP 메모리 IP 설계가 요구되어진다. 그래서 본 논문에서는 로직 공정 기반의 비동기식 1Kb eFuse OTP 메모리 IP를 설계하였다.

설계된 eFuse OTP 메모리 IP는 저전력 eFuse 메모리 셀, 비동기식 인터페이스, 분리된 I/O, 디지털 BL 센싱 회로를 사용하였다. 제안된 eFuse 메모리 셀은 읽기 모드에서 WL과 BL의 기생하는 커패시턴스를 줄여 읽기 모드의 동작전류를 줄일 수 있었다. 그리고 저전력 eFuse OTP 메모리 IP 설계를 위해 전류 감지 증폭기 대신 디지털 센싱 방식의 감지증폭기를 사용하였다. 한편 비동기식 인터페이스 방식과 분리된 I/O 방식을 사용하므로 저면적의 IP를 구현할 수 있다.

동부하이텍 0.18 $\mu$ m generic 공정을 이용하여 설계된 비동기식 1Kb eFuse OTP 메모리 IP의 레이아웃 면적은 300 $\times$ 557 $\mu$ m<sup>2</sup>이다. 그리고 읽기 모드에서 동작전류는 1.98V의 VDD, 3.6V의 VIO에서 각각 349.5 $\mu$ A, 3.3 $\mu$ A이다.

### 참고문헌

- [1] Hyouk-kyu Cha, Ilhyun Yun, Jibong Kim, Byeong-Cheol So, Kanghyup Chun, Ilku Nam, and Kwyro Lee, "A 32-KB Standard CMOS Antifuse One-Time Programmable ROM Embedded in a 16-bit Microcontroller", *IEEE Journal of Solid-State Circuits*, vol.41, no.9, Sep. 2006.
- [2] 김영희 외, "동기식 256bit OTP 메모리 설계", *한국해양정보통신학회논문지*, vol.7, no.12, pp.1227-1234, July 2008.
- [3] Y. H. Kim et al., "Design of Asynchronous Multi-Bit OTP Memory", *IEICE Trans. Electron.*, vol. E92-C, no. 1, pp. 173-177, Jan. 2009.
- [4] N. Robson et al., "Electrically Programmable Fuse (eFuse): From Memory Redundancy to Autonomic Chips", *Proceedings of Custom Integrated Circuits Conference*, pp. 799-804, Sep. 2007.
- [5] 백승면 외, "UHF RFID 태그칩용 저전력, 저면적 비동기식 EEPROM 설계", *한국해양정보통신학회논문지*, vol.11, no.12, pp.2366-2372, Dec. 2007.

### 저자소개



이 재 형(Hyung-Jae Lee)

2007.2 창원대학교 전자공학과 공학석사  
2007.3~현재 창원대학교 전자공학과 박사과정

※ 관심분야: NVM IP 설계, 1T-RAM IP 설계



김 러 연(Li-Yan Jin)

2007.7 연변대학교 컴퓨터공학과 공학사  
2007.9~현재 창원대학교 전자공학과 석사과정

※ 관심분야: NVM IP 설계, High-Speed I/O Interface 설계



장 지 혜(Ji-Hye Jang)

2008.2 창원대학교 전자공학과 공학사  
2008.3~현재 창원대학교 전자공학과 석사과정

※ 관심분야: NVM IP 설계, High-Speed I/O Interface 설계



강 민 철(Min-Cheol Kang)

2008.2 제주대학교 전자공학과 공학사  
2008.3~현재 창원대학교 전자공학과 석사과정

※ 관심분야: NVM IP 설계, High-Speed I/O Interface 설계



하 판 봉(Pan-Bong Ha)

1981.2 부산대학교 전기공학과 공학사  
1983.2 서울대학교 전자공학과 공학석사

1993.2 서울대학교 전자공학과 공학박사  
1987.3~현재 창원대학교 전자공학과 교수  
※ 관심분야: 임베디드 시스템, SoC 설계



김 영 희(Young-Hee Kim)

1989.2 경북대학교 전자공학과  
공학사

1997.2 포항공과대학교  
전자전기공학과 공학석사

2000.8 포항공과대학교 전자전기공학과 공학박사

1989.1~2001.2 현대전자 책임연구원

2001.3~현재 창원대학교 전자공학과 교수

※관심분야: 저전압/저전력/고속 메모리 설계, LCD  
구동 칩 설계, CMOS 이미지 센서 설계, RFID 태그  
칩 설계