

# LCD 생산공정의 전게이트 시각 검사를 위한 공정 제어장치 개발

박형근<sup>1\*</sup>

<sup>1</sup>남서울대학교 전자공학과

## Development on the Process Control System for Full Gate Visual Test of LCD Manufacturing Process

Hyoung-Keun Park<sup>1\*</sup>

<sup>1</sup>Department of Electronic Engineering, Namseoul University

**요 약** 본 연구개발에서는 정해진 환경에서 최대의 불량검출 능력을 발휘할 수 있도록 공정을 개선하기 위하여 전 게이트 시각검사에 필수적인 FGV 패턴발생 장치와 공정제어 장치를 개발하였다. 본 연구개발을 통하여 접촉손실 (Tact Loss)을 0에 근접 한 수준으로 유지할 뿐만 아니라 손실 및 에러 발생시 신속한 대처가 가능하여 모듈의 수율을 향상시킬 수 있을 것으로 기대된다. 또한 세부 동작 시퀀스를 제어하기 위한 H/W와 S/W 시스템을 생산라인에 실 장하고 성능점검 및 인증을 수행한 결과 Tact에 의한 Pixel 불량률의 경우는 98.1%, Line 불량률의 경우는 99.1%의 검출 율을 나타내었으며, Gate 및 Visual 레벨 테스트를 포함한 모듈공정 전체의 수율이 98.3%까지 증가하였다.

**Abstract** This research developed process control device and FGV pattern generating device essential for full gate visual inspection to improve process so that defect detection capability may be maximized in specified environment. The devices developed in this research, which can be swiftly replaced in case loss or error occurs, are anticipated to improve module yield as well as maintain tact loss near '0'. In addition, as a result of mounting H/W and S/W system to control detailed operation sequence in production line and executing performance check and verification, detection rates were 98.1% and 99.1% respectively for pixel defect by tact and line defect, and yield of the entire module process including gate and visual level test increased up to 98.3%.

**Key Words** : LCD, Manufacturing process, Yield improvement, FGV test

### 1. 서론

현재 국내·외의 디스플레이 산업에서의 경쟁력은 사용자의 요구에 부응하는 제품을 얼마나 적시에 적절한 가격으로 출시하는가에 달려있다. 또한 국외, 특히 중국 과 대만의 거센 추격을 받을 뿐만 아니라 시장조사기관 에서는 지속적인 가격하락을 예상하고 있다. 이를 극복하 고 국내업체가 세계시장에서 경쟁력을 확보하기 위해서 는 수율의 극대화가 필수적이다. 그러나 국내 LCD 생산 라인에서 모듈의 수율이 장기적으로 정체상태가 되고 있 으며 이는 곧 LCD 산업의 지속적인 성장과 이익의 극대

화에 가장 큰 걸림돌이 되고 있다. 따라서 본 연구에서는 정해진 환경에서 최대의 불량검출 능력을 발휘할 수 있 도록 공정을 개선하기 위하여 Full Gate Visual 테스트에 필수적인 패턴발생 및 공정제어 장치를 개발하였다. 본 연구개발을 통하여 접촉손실(Tact Loss)을 '0(zero)'에 근 접한 수준으로 유지할 뿐만 아니라 손실 및 에러 발생시 신속한 대처가 가능하여 모듈의 수율을 향상시킬 수 있 을 것으로 기대된다. 또한 세부 동작 시퀀스를 제어하기 위한 H/W와 S/W 시스템을 생산라인에 실장하고 성능검 검 및 인증을 수행하였다.

본 논문은 2008년도 남서울대학교 학술연구비 지원에 의하여 연구되었음.

\*교신저자 : 박형근(phk315@nsu.ac.kr)

접수일 09년 04월 14일 수정일 (1차 09년 05월 15일, 2차 09년 06월 23일, 3차 09년 06월 29일) 게재확정일 09년 07월 22일

## 2. 과제개발 내용

### 2.1 LCD 기술현황 및 생산공정

우리나라의 LCD 산업분야는 세계적 기술력과 생산량을 자랑하고 있을 뿐만 아니라 세계 기술표준을 선도하고 있는 대표적인 분야 중 하나이다. 그러나 반도체 Wafer 및 LCD 검사와 같은 고난이도의 첨단 검사장비인 경우에는 현실적으로 외국검사장치 자체를 수입함으로써 LCD 패널 수출의 증가와 함께 주요 생산공정용 장비의 대일 수입 의존도 역시 증가하는 결과를 초래하고 있다. 특히, 향후 국가 기간산업과 미래 유망산업으로의 위치를 확고히 해 나가고 있다는 산업의 특수성으로 인해 특별히 현장상황에 맞춘 개발 작업이 필요한 경우의 검사장비는 국내업체가 특화하여 개발하는 것이 필수적이다.

또한 LCD는 일반 컬러TV용 브라운관(CRT) 모니터와는 달리 화소 하나 하나가 반도체로 구성돼 생산과정에서 정밀한 검사가 요구되므로 검사장비의 역할이 매우 중요하다. 이와 같이 반도체-디스플레이 생산 라인에서 테스트의 중요성이 커지는 가운데 공정 마지막뿐 아니라 중간 단계에서도 테스트 작업이 확대되면서 이 시장을 겨냥한 장비 업체들의 움직임도 빨라지고 있다. 왜냐하면 300mm 웨이퍼나 7세대 LCD 라인 등 대형 라인의 등장으로 개별 웨이퍼나 유리기판 가격도 크게 높아지면서 불량률이 발생할 경우 입는 피해도 함께 커졌기 때문이다. 300mm 웨이퍼의 경우 200mm 제품에 비해 웨이퍼 1장에 반도체가 2.5배 가량 많이 집적되므로 가격도 높아질 수밖에 없다.

Cell 공정으로 만들어진 패널에 편광판과 PCB, BLU(Backlight Unit) 등의 부착 및 검사과정으로 이루어지는 모듈공정에서 편광판은 패널의 상·하단에 부착하며, 편광판은 여러 방향으로 진동하면서 입사되는 빛을 한쪽 방향으로만 진동하는 편광이 되도록 하는 기능을 가지고 있는 것으로 90°로 교차되어 있다. 또한, TAB을 부착함으로써 PCB 기판에 연결이 가능하도록 하며, 검사 후 일정 시간의 Aging을 거친다[1].

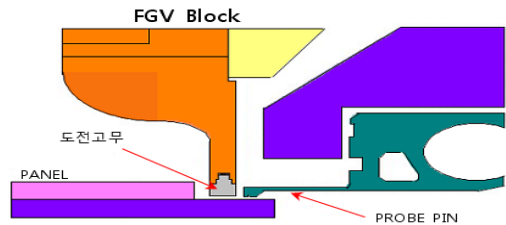
이러한 대형 LCD 패널을 대량으로 생산한 후 필수적으로 수행해야 하는 Aging 검사공정, Cooling 공정, Final Test 공정, QA공정, 최종 외관 검사, Packing 공정, Gate 레벨 테스트, Visual 테스트 등의 각종 검사공정은 장비 자체는 물론 공정이 복잡할 뿐만 아니라 검사과정 중에서 접촉손실(Tact Loss), 배경보다 어두운 흑점(Black spot)이나 배경보다 밝은 얼룩인 백점(White spot), 굵힘 등과 같은 결함이 있게 되면 결국 LCD의 해당되는 화소(pixel) 또는 라인(line)에서 색상을 제대로 표현하지 못하

게 된다.[2,3] 따라서 BLU(Back Light Unit)의 휘도와 표면을 검사할 수 있는 알고리즘, 그리고 동시에 공정개선을 위한 알고리즘이 탑재된 자동 검사장비의 필요성이 국내·외 LCD 관련 부품 및 장비업체에서 대두되어 왔다[4-6].

또한 검사 공정상의 비효율성으로 인하여 정상 패널이 불량으로 판정될 경우 폐기되거나 재작업해야 하고 불량 판정의 실패는 모듈의 수율을 떨어뜨리는 결과를 나타낸다. 더욱이 사용자의 요구 증대 및 관련 기술의 발전으로 현재 생산되고 있는 LCD 웨이퍼의 규격이 급격히 증가할 뿐만 아니라 고가의 대형 패널들이 등장함에 따라 생산 공정상에서 모듈의 수율을 높이기 위한 지속적인 연구개발과 공정개선을 위한 제어장치에 대한 연구가 필수적이다.

### 2.2 개발내용

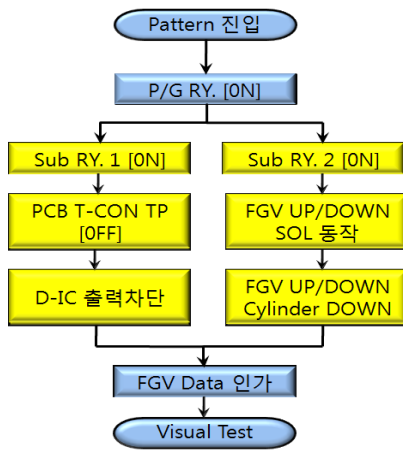
본 연구에서는 LCD 모듈이 조립된 상태에서 일정시간 동안 패널에 Signal 전원과 Back Light 전원을 인가시켜 패턴을 구동시키면서 동작 상태를 확인할 수 있도록 FGV(Full Gate Visual) 테스트를 위한 패턴발생 장치를 개발하였다. 기존의 Gate 레벨 테스트가 이루어지는 장비의 경우 테스트를 위해 사용되는 프로브(probe) 핀의 접촉으로 인하여 불량이 발생할 경우 이를 검출하지 못하는 실정이다. FCGS(Full Contact Gate Signal)는 FGV 시스템을 기존의 Gate 테스트 공정에 적용해야 하므로 개발된 시스템의 구동을 위한 신호이며, 이를 통하여 기존 생산 공정과의 연동시 발생할 수 있는 에러를 방지함으로써 생산라인 구동 품질을 최적화할 수 있다. 따라서 본 연구에서는 최종 테스트과정에서 Gate 테스트를 위한 장비와 패널 사이에 접촉으로 인한 불량을 검출할 수 있도록 기존 Gate 테스트를 위한 FCG 패턴과 함께 그림 1에서와 같이 FGV 테스트 패턴을 삽입함으로써 FCG 테스트 과정에서 발생하는 접촉손실을 검출할 수 있다. 이를 통하여 검사 효율을 증가시킬 뿐만 아니라 기존에 검출할 수 없었던 접촉손실의 검출이 가능하였고, 검사 장비내의 UP/DOWN Shaft를 제어함으로써 결과적으로 접촉손실(Tact Loss)을 줄일 수 있다.



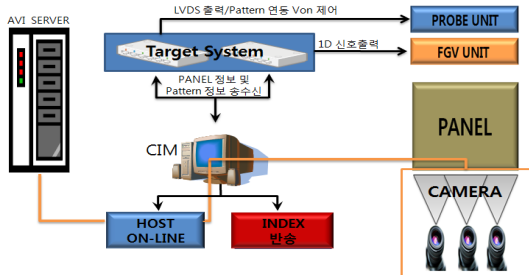
[그림 1] FGV 테스트 개념도

본 시스템의 세부동작은 그림 2와 같이 테스트용 Pattern을 발생시켜 프로브 핀을 이용한 Gate 레벨 테스트부(P/G RY.)를 동작시킴으로써 얼룩, 잔상을 검사하고 FGV 테스트부(Sub RY. 1, 2)에서 T-CON(timing control) Tap의 동작을 정지시키고 동시에 FGV 테스트를 실행한다.

테스트 결과 데이터를 그림 3과 같이 CIM (Computer-Integrated Manufacturing) 시스템과 Daisy-Chaining기능으로 여러 대의 컴퓨터를 연결할 수 있는 AVI(Advanced Visual Interface) 서버를 통하여 원격지의 엔지니어가 손실 및 에러 발생 시 신속하게 대처가 가능할 뿐만 아니라 효율적인 생산 관리 및 모니터링 그리고 공정개선을 위한 제어에도 이용할 수 있도록 하였다. 또한, 카메라를 사용한 Visual 테스트 결과와 FGV 테스트 및 Gate 레벨 테스트 결과를 CIM에서 연동이 가능하도록 함으로써 Gate와 Visual 레벨 테스트를 상호 보완할 수 있다.



[그림 2] 시스템 동작 순서도



[그림 3] 생산라인에서의 실장을 위한 개념도

그림 3에서 고속 디지털 인터페이스로 사용되며, 낮은 전력 소비 및 뛰어난 노이즈 내성의 특징을 가진 LVDS(Low-Voltage Differential Signaling) 출력과 패턴

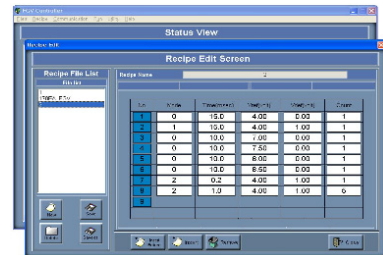
신호에 연동하여 전원을 자동 설정하는 PROBE단과 Full Gate Visual 검사를 위해 패턴정보와 패턴정보를 송수신 함으로써 ID 신호를 처리하는 FGV단으로 구성하였다.

### 3. 제작 및 성능평가

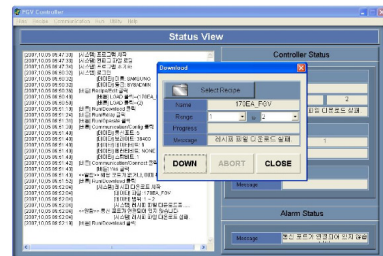
본 연구개발에서는 정해진 환경에서 최대의 불량검출 능력을 발휘할 수 있도록 FGV 테스트에 필수적인 FGV 패턴발생 장치와 공정제어 장치를 그림 4와 같이 개발하였으며, 테스트 및 제어를 위한 윈도우는 그림 5, 그림 6과 같다.



[그림 4] FGV 테스트 패턴발생 및 공정제어시스템



[그림 5] 테스트 및 제어윈도우(I)



[그림 6] 테스트 및 제어윈도우(II)

그림 5는 엔지니어가 패턴의 유형을 설정하기위한 윈도우이며, 설정된 패턴에 대한 검사 및 결과 데이터의 송수신 윈도우는 그림 6과 같다.또한 LCD 생산라인의 모듈

공정상의 실장 테스트에서 1,000 패널당 Tact에 의한 불량유형별 검출 결과는 표 1과 같고, 개발된 시스템에 대한 성능평가표는 표 2와 같다.

**[표 1]** Tact에 의한 불량유형별 검출결과

구 분	기 준	개발된 시스템
Pixel 불량	검출 불가능	98.7%
Line 불량	검출 불가능	99.1%
모듈공정수율	96%	98.3%

**[표 2]** 성능 평가표

평가항목	단위	결과	비고
1. Pixel Frequency	Hz	8 ~ 250MHz	Variable
2. Accuracy	PPM	25PPM	-
3. Horizontal Timing	Scan	Hz	10 ~ 200KHz
	Front Porch	Dot	0~999 Dot
	Display Time	Dot	50~2048 Dot
4. Vertical Timing	Scan	Hz	10~200Hz
	Front Porch	Line	0~999 Lines
	Display	Line	20~2048Lines
	Resolution	Step	1/2Line Steps
5. Code & Interface	-	BCD & RS-232C	-
6. Pattern Number	-	133 patterns	-
7. Timing format Number	-	250 formats	-
8. Storage type	-	EEPROM	R/W
9. Power requirement	V	110/220V	HVS
	Hz	50/60Hz	Output

#### 4. 결론

본 논문에서는 정해진 환경에서 최대의 불량검출 능력을 발휘할 수 있도록 공정을 개선하기 위하여 FGV 테스트에 필수적인 FGV 패턴발생 장치와 공정제어 장치를 개발하였다. 개발된 시스템은 LCD 생산공정중 모듈공정의 최종 테스트과정에서 Gate 테스트를 위한 장비와 패널 사이에 접촉으로 인한 불량을 검출할 수 있도록 구동 품질을 최적화하고 FCG 테스트 패턴 중간에 FGV 검사 패턴을 삽입함으로써 검사 효율을 증가시킬 뿐만 아니라 기존에 검출할 수 없었던 접촉손실의 검출이 가능하였다. 생산라인에 실장 테스트 결과 Tact에 의한 Pixel 불량률의 경우는 98.1%, Line 불량률의 경우는 99.1%의 검출율을 나타내었으며, Gate 및 Visual 레벨 테스트를 포함한 모듈 공정 전체의 수율이 98.3%까지 증가함을 나타내었다. 테

스트 결과에서 검출 실패의 경우는 주로 불량률이 아닌 패널을 불량으로 판정하는 Over-Kill에 의해 발생되었으며, 이를 개선하기 위한 후속 연구가 수행된다면 공정 변경 및 신규 설치시 막대한 비용이 소요되는 장치산업의 특성상 투자비용의 최소화는 물론 검출능력을 극대화하는데 기여할 것으로 사료된다.

#### 참 고 문 헌

- [1] 한국디스플레이연구조합, <http://kdia.org/lib/lib.jsp>, 디스플레이의 이해.
- [2] M. Pedram, "Power Minimization in a Backlit TFT-LCD Display by Concurrent Brightness and Contrast Scaling", Proc. of DATE, Vol. 1, pp.10252, Feb. 2004.
- [3] M. S. Son et. al., "Electrical simulation of the flicker in poly-silicon TFT-LCD pixels for the large-area and high-quality TFT-LCD development and manufacturing", IEEE Solid-State Electronics Vol. 48, No. 11, pp.2307-2313, Dec. 2004.
- [4] Kim C. G, Kim et, al., "Driving cold cathode fluorescent lamps in parallel", Electronics Letters, Vol. 41, Issue 4, pp. 163-164, Feb. 2005
- [5] J. Y. Hwang, "Liquid crystal aligning capabilities and EO characteristics of the photoaligned TN-LCD on a photo-cross linkable polyimide based polymer", Mol. Liquid Crystal, No. 412, pp.259-268, 2004.
- [6] K. N. Choi, "Area-Mura Detection in TFT-LCD Panel", IS&T/SPIE Symp. on Electronic Imaging, Vision Geometry XII, pp.151-158, Jan. 2004.

박형근(Hyoungeun Park)

[정회원]



- 1995년 2월 : 원광대학교 대학원 전자공학과 (공학석사)
- 2000년 2월 : 원광대학교 대학원 전자공학과 (공학박사)
- 1998년 5월 ~ 2001년 9월 : (주) 미디어서비스기술연구소 선임연구원
- 2005년 3월 ~ 현재 : 남서울대학교 전자공학과 교수

<관심분야>

마이크로프로세서응용, 임베디드시스템, SOC