

논문 2009-46SD-8-15

고 해상도 VCO 튜닝 기법을 이용한 MB-OFDM UWB용 주파수 합성기

(A Frequency Synthesizer for MB-OFDM UWB with Fine Resolution
VCO Tuning Scheme)

박 준 성*, 남 철**, 김 영 신*, 부 영 건*, 허 정***, 이 강 윤***

(Joon-Sung Park, Chul Nam, Young Shin Kim, Young Gun Pu, Jeong Hur, and Kang-Yoon Lee)

요 약

본 논문에서는 UWB용 송수신기에서 LO 주파수를 생성해주는 주파수 합성기의 설계 결과를 보여주고 있다. 빠른 채널 스위칭 시간을 만족하기 위해서 1개의 PLL 과 여러 개의 분주기들과 SSB 믹서를 이용한 Sub-Band Generator로 구성하였으며, 전류 소모 및 면적을 최소화 하도록 설계하였다. 또한, 효과적인 주파수 플래닝을 통하여, 1개의 PLL로부터 생성된 6336 MHz의 단일 주파수를 입력으로 받아 UWB Band Group 1에 해당하는 3432 MHz, 3960 MHz, 4488 MHz의 중심 주파수를 발생시키는 Sub-Band Generator를 설계하였다. VCO의 튜닝 범위를 넓히면서도, 해상도를 높이기 위하여 MIM 커패시터, Varactor, DAC를 이용한 새로운 고 해상도 VCO 튜닝 기법을 제안하였다. 또한, 본 논문에서 제안한 주파수 합성기의 구조는 기저 대역 모뎀의 ADC를 위한 클럭을 공급하기 때문에, 모뎀에서 ADC에 클럭을 공급하기 위한 PLL을 제거할 수 있는 장점이 있다. VCO의 튜닝 범위는 1.2 GHz이며, 6336 MHz의 출력 주파수에서의 위상 잡음은 1 MHz 오프셋에서 -112 dBc/Hz 로 측정 되었다. UWB용 PLL 및 Sub-Band Generator는 0.13 μ m CMOS 공정으로 설계하였으며, 전체 Chip 면적은 2 x 2 mm² 이다. 전력 소모는 1.2 V 의 공급 전원에서 60 mW이다.

Abstract

This paper describes a 3 to 5 GHz frequency synthesizer for MB-OFDM (Multi-Band OFDM) UWB (Ultra-Wideband) application using 0.13 μ m CMOS process. The frequency synthesizer operates in the band group 1 whose center frequencies are 3432 MHz, 3960 MHz, and 4488 MHz. To cover the overall frequencies of group 1, an efficient frequency planning minimizing a number of blocks and the power consumption are proposed. And, a high-frequency VCO and LO Mixer architecture are also presented in this paper. A new mixed coarse tuning scheme that utilizes the MIM capacitance, the varactor arrays, and the DAC is proposed to expand the VCO tuning range. The frequency synthesizer can also provide the clock for the ADC in baseband modem. So, the PLL for the ADC in the baseband modem can be removed with this frequency synthesizer. The single PLL and two SSB-mixers consume 60 mW from a 1.2 sV supply. The VCO tuning range is 1.2 GHz. The simulated phase noise of the VCO is -112 dBc/Hz at 1 MHz offset. The die area is 2 x 2 mm².

Keywords : UWB, Frequency Synthesizer, SSB, Mixer

* 학생회원 ** 정회원, *** 평생회원,
건국대학교 전자정보통신공학부

(Department of Electronic Engineering, Konkuk University)

※ 이 논문(저서)은 2009년도 정부재원(교육인적자원부 학술연구조성사업비)으로 한국학술진흥재단의 지원을 받아 연구되었음(KRF-2008-331-D00409).

접수일자: 2009년6월15일, 수정완료일: 2009년8월6일

I. 서 론

UWB(Ultra WideBand)는 3.1 ~ 10.6 GHz의 넓은 주파수 대역을 사용하며 총 14개의 sub-band로 구성되 어지는데, 높은 채널 수용력 때문에 UWB 시스템은 짧은 범위의 무선 통신망에서 매우 높은 데이터(>100

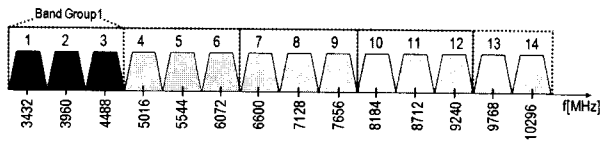


그림 1. MB-OFDM의 주파수 스펙트럼
Fig. 1. Frequency Spectrum of MB-OFDM.

Mb/s)를 전송시킬 수 있는 좋은 해결책이다. 개인 컴퓨터나 전자 애플리케이션에서 이용할 수 있는 UWB 스펙트럼의 효율적인 사용에 대한 다른 방법 중에서 MB-OFDM의 접근은 몇몇 산업적인 조직들에서 강한 지지를 받아왔다^[1]. 그림 1은 MB-OFDM의 주파수 스펙트럼을 보여주고 있다.

MB-OFDM 표준은 9.5 ns의 빠른 스위칭 시간을 요구하기 때문에 채널 스위칭을 위해 성능이 매우 좋은 주파수 합성기가 사용되어야 한다. 따라서, 프로그래머블 분주기를 사용하는 기존의 integer-N 주파수 합성기는 빠른 주파수 스위칭을 실현하는 것이 불가능하다^[2].

또 다른 예로 3개의 PLL과 3개의 믹서를 사용하여 UWB 송수신기를 설계한 사례가 있다^[3]. 3개의 PLL에서 나오는 주파수를 이용하여 믹서를 통해 주파수를 합성해서 생성하는 구조를 가지고 있다. 이 구조 또한 3개의 PLL과 3개의 믹서를 사용했다는 점에서 면적과 전류 소모가 크다는 단점이 있다.

본 논문에서는 이러한 문제점을 해결하기 위해서 한 개의 PLL과 두 개의 SSB 믹서를 사용해서 저 전력 및 작은 면적을 갖는 주파수 합성기를 설계하였다.

II. 본 론

1. 주파수 합성기의 구조

그림 2는 주파수 합성기의 구조를 보여주고 있다. 설계된 주파수 합성기는 33 MHz의 기준 클럭을 외부에서 받아서 6336 MHz의 주파수를 발생시킨다. PLL은 LC VCO (Voltage-Controlled Oscillator)와 전체 192의 분주비를 갖는 주파수 분주기, PFD (Phase Frequency Detector), 전하 펌프 (Charge Pump) 로 구성된다.

그림 2의 구조에서 볼 수 있듯이, 제안하는 주파수 합성기 구조는 기저 대역 모뎀의 ADC에 클럭을 공급할 수 있다. 이에 따라, 기저 대역 모뎀에서는 ADC에 클럭을 공급하기 위한 PLL을 따로 필요로 하지 않아

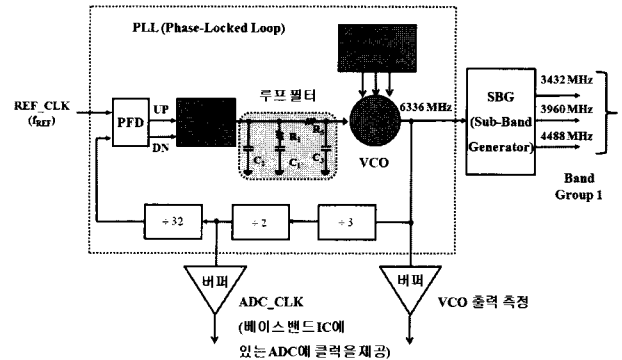


그림 2. 제안하는 주파수 합성기의 구조
Fig. 2. Block diagram of the proposed frequency synthesizer.

서 면적 및 전력 소모 측면에서 유리한 장점을 가질 수 있다.

주파수 분주기의 6 분주기는 UWB 기저 대역 모뎀의 ADC에 1.056 GHz의 클럭을 공급하며, 듀티 사이클을 50 %로 맞추기 위해 3 분주기 다음에 2 분주기가 오는 구조로 구성하였다. VCO의 출력 주파수인 6336 MHz는 3 분주기에 의하여 2112 MHz로 분주되고, 이어서 2 분주기에 의하여 1056 MHz로 분주된다.

2 개의 SSB 믹서는 UWB Band Group 1에 해당하는 3개의 주파수인 3432 MHz, 3960 MHz, 4488 MHz의 중심 주파수를 발생시킨다.

2. 구성 블록

그림 3 (a)는 위상 잠음 특성을 만족시키기 위한 LC 타입의 VCO의 구조를 보여주고 있다^[4]. VCO는 6336 MHz의 높은 중심 주파수를 갖기 때문에, VCO의 출력의 양단에서 보이는 유효한 커패시터 값은 매우 작다. 따라서, 최대 커패시턴스와 작은 인덕턴스 값을 사용하는 것이 VCO의 튜닝 범위를 넓히는데 있어서 유리하다고 할 수 있다. 본 설계에서는 Q 값과 튜닝 범위 사이의 최적의 설계를 하기 위해서 0.6 nH의 인덕턴스 값을 사용하였다.

그림 3 (b)에서 볼 수 있는 바와 같이, 6336 MHz의 높은 중심 주파수를 갖는 VCO는 Q 값을 높이기 위한 고정 MIM 커패시터와 MIM 튜닝 커패시터 बैं크, varactor 튜닝 커패시터 बैं크, 그리고 멀티 레벨 varactor 튜닝 커패시터로 구성된다.

MIM 커패시턴스와 스위치로 구성된 일반적인 튜닝 커패시터 बैं크는 스위치의 접합 커패시턴스 때문에 작은 커패시턴스 변화량을 갖는 UWB 용 VCO의 튜닝에

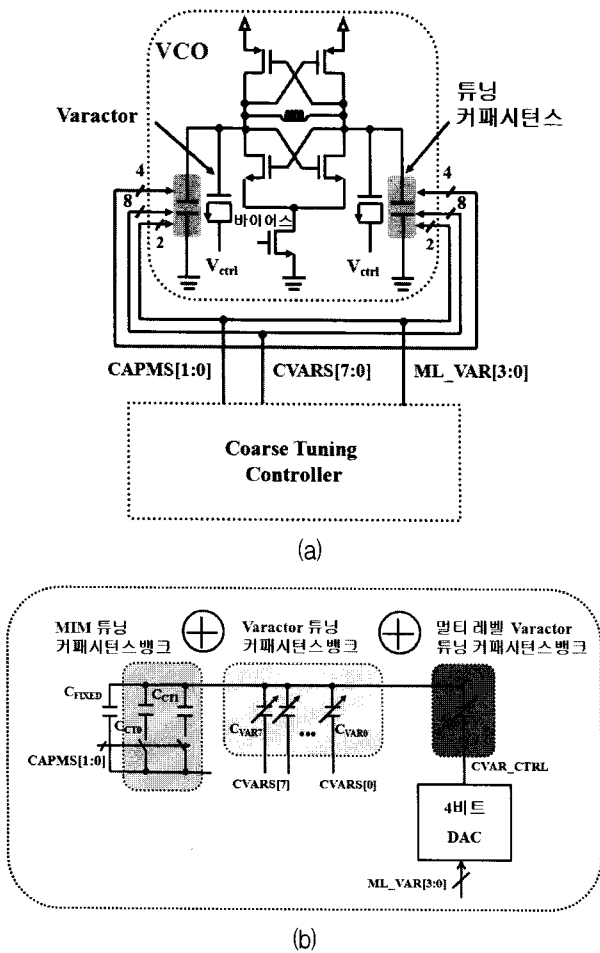


그림 3. (a) VCO의 구조 (b) 제안된 VCO의 튜닝 커패시턴스
 Fig. 3. (a) Block diagram of the VCO
 (b) Tuning capacitances of the proposed VCO.

는 적합하지 않다. 따라서, 본 논문에서는 그림 3 (b)와 같이 MIM 커패시터와 varactor 커패시터로 구성된 새로운 튜닝 커패시턴스를 제안하였다.

그림 4 (a)~(c)는 제안하는 VCO 혼성 coarse 튜닝 기법을 단계 별로 보여주고 있다. MIM coarse 튜닝 커패시터 부분은 CAPMS[1:0]의 2 비트에 의하여 조정되며, 1.2 GHz의 범위를 커버한다. 보다 세밀한 튜닝을 위한 varactor coarse 튜닝 커패시터 뱅크는 CVARS[7:0]의 8개 비트로 조정된다.

VCO의 coarse 튜닝은 다음의 3 단계로 진행된다.

첫 번째, 그림 4 (a)에서 볼 수 있는 바와 같이, MIM coarse 튜닝 단계에서 MIM 커패시터는 CAPMS[1:0]의 2개 비트에 의해 조정되며, 넓은 VCO 튜닝 범위를 커버한다. 이 때, VCO 컨트롤 전압 Vctrl은 0.6V로 고정한다.

두 번째, 그림 4 (b)와 같이, varactor coarse 튜닝 단

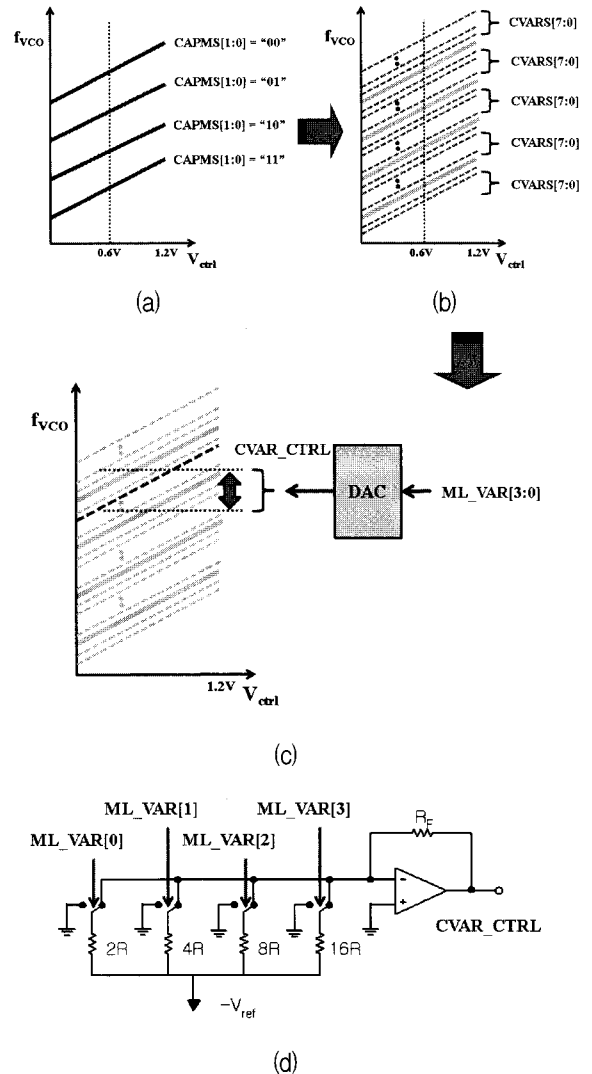


그림 4. 제안하는 VCO 혼성 coarse 튜닝 기법 (a) MIM coarse 튜닝 (b) Varactor coarse 튜닝 (c) Varactor 멀티 레벨 coarse 튜닝 (d) 멀티 레벨 varactor 튜닝에 사용된 DAC

Fig. 4. Proposed mixed-mode coarse tuning scheme for the VCO. (a) MIM coarse tuning. (b) Varactor coarse tuning. (c) Varactor multi-level coarse tuning. (d) DAC used in multi-level varactor tuning.

계에서는 varactor 튜닝 커패시터 뱅크가 CVARS[7:0]의 8 비트로 조정된다. 이는 CAPMS[1:0]에 의해서 커버되는 넓은 튜닝 간격 내에서 정밀한 튜닝을 가능하게 한다.

세 번째, 그림 4 (c)와 같이, 제안된 멀티 레벨 varactor coarse 튜닝 기법을 이용하여, CVARS[7:0]에 따른 튜닝 간격을 다시 정밀하게 튜닝한다. 또한, 그림 4 (d)에서 볼 수 있는 바와 같이, ML_VAR[3:0]의 4개 비트를 이용하여 4 비트 DAC의 출력인 CVAR_CTRL

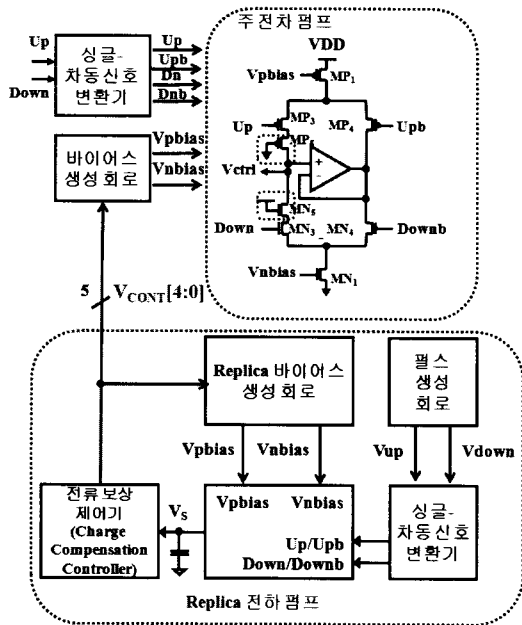


그림 5. 전류 불일치 보상 기능을 가진 전하 펌프
Fig. 5. Charge pump with current mismatch compensation capability.

을 조정하며, DAC의 출력은 varactor의 한 쪽 단자를 조정하여 정밀한 튜닝을 가능하게 한다.

제안된 coarse 튜닝 기법을 이용하여 LC-VCO는 넓은 튜닝 범위를 가지면서도 위상 잡음과 lock time 특성을 만족할 수 있다.

그림 5는 전류 불일치 보상 기능을 가진 전하 펌프 회로를 보여주고 있다. 전류원의 정확성과 선형성의 향상을 위해서는 전류원의 출력 저항을 증가시키는 방향으로 설계 되어야 한다. 그러나 일반적으로 0.13 μm 공정에서 전원 전압은 1.2 V로 낮기 때문에 캐스코드 단수를 줄이는 방향으로 설계하였다.

그림 5에서 전류 불일치 보상 회로를 이용하여 전하 펌프의 up/down 전류 불일치를 줄일 수 있으며, Replica 전하 펌프와 Replica 바이어스 생성 회로를 전류 불일치를 보상하기 위해 추가하였다^[5]. 이 보상 기법을 이용하여 up/down 전류 불일치를 1% 이하로 줄일 수 있었다.

그림 6은 Sub-Band Generator의 주파수 플래닝을 보여주고 있다. 위의 주파수 플래닝에서 고려해야 할 사항은 주파수 합성 블록인 SSB 믹서의 개수를 최소화 하는 것이다. SSB 믹서의 경우 Sub-Band Generator를 구성하는 다른 블록에 비해 전력 소모가 크고, 가장 큰 면적을 차지하기 때문에 믹서의 개수를 최소화해야 전체 블록의 전력 소모 및 면적을 최소화할 수 있다.

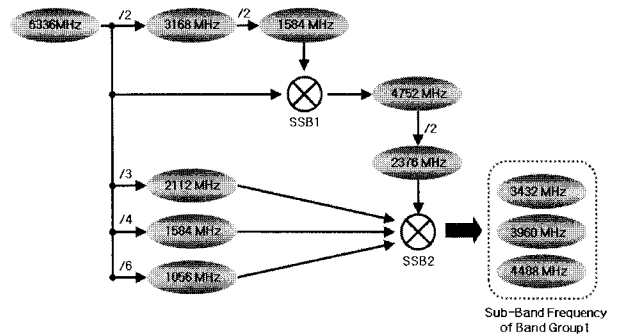


그림 6. Sub-Band Generator의 주파수 플래닝
Fig. 6. Frequency Planning of Sub-Band Generator.

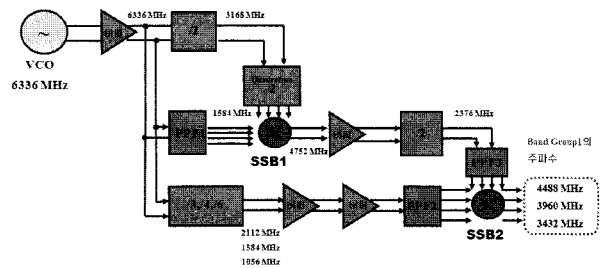


그림 7. Sub-Band Generator의 구조
Fig. 7. Block diagram of the Sub-Band Generator.

그림 7은 제안한 Sub-Band Generator (SBG)의 구조를 보여주고 있다. VCO로부터 6336 MHz의 차동 신호를 받아, 먼저 버퍼로 입력신호 레벨을 키워주고 이 신호를 기본으로 하여 각 구성 블록으로 전달된다. 먼저, PPF를 통한 6336 MHz의 quadrature 신호와 6336 MHz를 4 분주하여 얻은 1584 MHz의 신호를 1차적으로 SSB 믹서 (SSB1) 에서 믹싱을 하여 4752 MHz의 신호를 얻는다.

다음으로 VCO의 출력인 6336 MHz를 3 분주기, 4 분주기 그리고 6 분주기를 이용하여 2112 MHz, 1584 MHz, 1056 MHz의 주파수 신호를 얻는다. 이 3 가지 출력 신호 가운데, 스위치를 이용하여 1개 신호만 사용할 수 있도록 설계하였다.

첫 번째 SSB 믹서에서 얻은 4752 MHz의 주파수를 다시 2 분주기를 통해서 2376 MHz의 주파수를 생성하고, 이 신호와 3 분주기, 4 분주기, 6 분주기로 구성된 블록에서 출력된 주파수인 2112 MHz, 1584 MHz, 1056 MHz를 SSB 믹서 (SSB2) 믹싱하여 본 설계에서 원하는 UWB Band Group 1에 해당하는 3432 MHz, 3960 MHz, 4488 MHz의 LO 주파수를 생성한다.

3 분주기와 4 분주기, 6 분주기의 전력 소모는 최소화하기 위하여 각 LO 주파수를 발생시킬 때 해당되는 블록만 동작하도록 설계하였다. 6 분주기를 구성하는 2

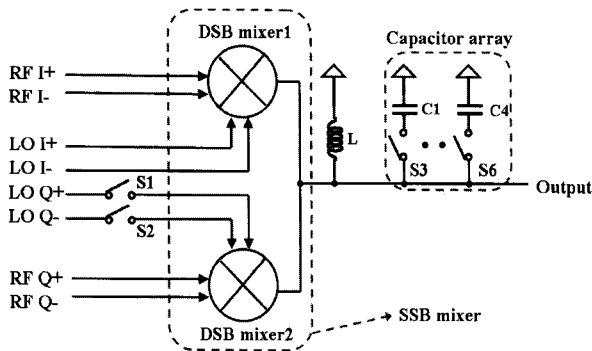


그림 8. SSB 믹서
Fig. 8. SSB Mixer.

분주기와 3 분주기 사이에는 큰 부하 임피던스를 구동시키기 위해 버퍼를 삽입하였다.

PPF는 UWB 송수신기의 Up/Down 변환 믹서를 구동시키기 위한 quadrature 신호를 생성하기 위해 사용하였다. SSB Mixer를 구동시키기 위해서는 PPF에서 일정 수준 이상의 출력 신호를 내보내야 하며, PPF에서 신호가 감쇄하는 것을 보상하기 위한 버퍼를 추가하였다.

UWB 시스템에 사용되는 주파수 합성기의 출력 신호는 UWB 송수신기의 Up/Down 변환 믹서를 위한 LO (Local Oscillator)로 사용되기 때문에 Single-Side Band (SSB) 신호가 되어야 한다.

그림 8과 같이 SSB 믹서는 2개의 Double-Side Band (DSB) 믹서의 조합으로 구성할 수 있으며, 이는 Single-Side Band 신호를 발생시키는데 사용된다.

본 논문에서는 완전한 차동 구조의 설계를 위해 DSB 믹서는 Gilbert DSB 믹서로 설계하였다. SSB 믹서의 출력 신호는 하모닉 성분에 대한 특성이 좋아야 하며, 큰 전압 스윙을 가져야 한다. 이를 위해, SSB 믹서 출력단에 LC 필터를 삽입하여 공진 주파수를 조정할 수 있도록 설계하였다.

공진 주파수인 3432 MHz, 3960 MHz, 4488 MHz는 그림 8에서 보여주고 있는 바와 같이, 커패시터와 스위치로 구성된 커패시터 열로 조정이 가능하며 인덕터가 병렬로 연결되어 있다. 하모닉 성분은 SSB 믹서 출력단의 LC 공진 부하를 통해 감쇄시킬 수 있다. 또한, DSB mixer2에 입력되는 Q신호의 위상을 스위치 S1, S2를 이용하여 180° 바꿀 수 있도록 설계하여 SSB 믹서가 RF 주파수와 LO 주파수의 합 또는 차 성분을 출력할 수 있다.

그림 9는 SSB 믹서의 동작 원리를 보여주고 있다.

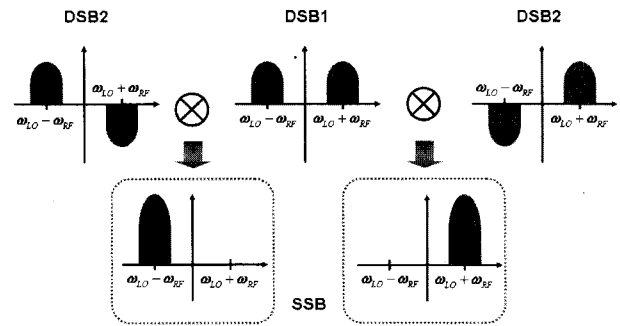


그림 9. SSB 믹서의 동작 원리
Fig. 9. Operating Principle of SSB Mixer.

DSB의 출력 신호를 이용하여 SSB 믹서의 신호 출력 과정은 다음과 같이 정리될 수 있다. LO 입력 quadrature 신호 중 90°와 270°에 해당하는 Q 신호를 스위치 단을 이용하여 위상을 바꿔주었을 경우 양쪽 DSB의 출력 신호는 식 (1) 과 (2)와 같이 표현될 수 있다.

$$DSB1 = \frac{2}{\pi} g_m v_{RF} \cos(\omega_{LO} - \omega_{RF})t + \frac{2}{\pi} g_m v_{RF} \cos(\omega_{LO} + \omega_{RF})t \quad (1)$$

$$DSB2 = -\frac{2}{\pi} g_m v_{RF} \cos(\omega_{LO} - \omega_{RF})t + \frac{2}{\pi} g_m v_{RF} \cos(\omega_{LO} + \omega_{RF})t \quad (2)$$

DSB1의 출력 신호는 식 (1)과 동일하며 DSB2의 출력은 Q에 해당하는 입력신호의 입력을 바꿔줌으로써 나오는 출력이다. 식 (1)과 (2)을 합함으로써 최종 SSB 믹서의 출력은 식 (3)과 같다.

$$SSB \text{ Mixer} = \frac{4}{\pi} g_m v_{RF} \cos(\omega_{LO} + \omega_{RF})t \quad (3)$$

LO 주파수와 RF 주파수를 합성하여 $\omega_{LO} + \omega_{RF}$ 의 주파수 출력을 낼 수 있으며, LO 입력 신호 중 Q의 위상을 180°로 바꿔주게 된다면 $\omega_{LO} - \omega_{RF}$ 의 주파수 출력도 낼 수 있어 원하는 합성 주파수를 얻을 수 있다.

III. 실험 결과

UWB용 주파수 합성기 및 Sub-Band Generator는 0.13 μm CMOS RF 공정으로 설계하였으며, 전체 칩 면적은 3 x 2 mm², 전원 전압은 1.2 V이다. 그림 10은 제작된 칩의 레이아웃을 보여주고 있다.

그림 11은 측정 환경을 보여주고 있다. COB (Chip

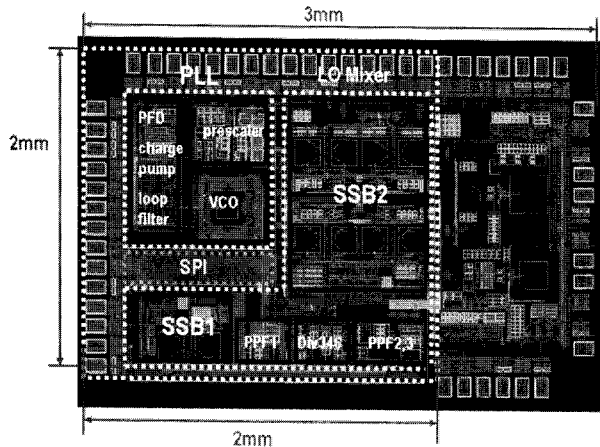


그림 10. 칩 레이아웃
Fig. 10. Chip Layout.

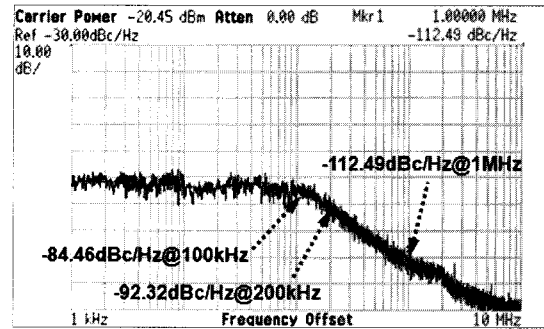


그림 13. Phase Noise 측정 결과
Fig. 13. Phase Noise measurement result.

표 1. 성능 요약
Table 1. Performance summary.

공정	0.13 μm CMOS RF
칩 면적	2 x 2 mm^2
전원 전압	1.2 V
VCO 튜닝 범위	1.2 GHz
전력 소모	60 mW
위상 잡음 @ 1 MHz 오프셋	-112 dBc/Hz

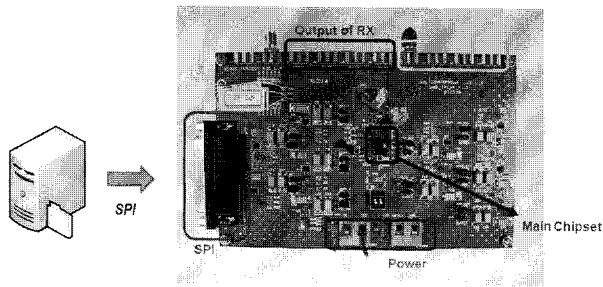


그림 11. 측정 환경
Fig. 11. Measurement Environment.

표 2. 기존 연구 결과와의 성능 비교
Table 2. Performance Comparison with Prior Works.

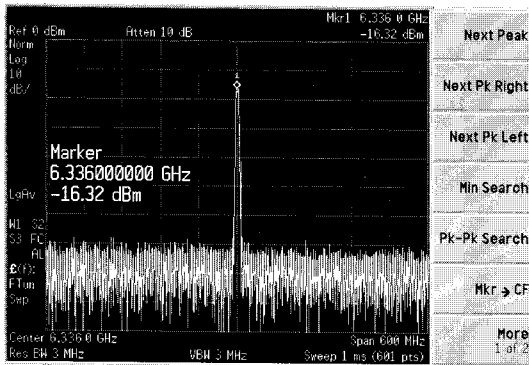


그림 12. VCO 출력의 스펙트럼
Fig. 12. Spectrum of VCO output.

	참고문헌 [6]	참고문헌 [7]	This Work	단위
주파수	3.432 ~ 7.92	3.432 ~ 4.488	3.432 ~ 4.488	GHz
전력 소모	46	27	60	mW
위상 잡음 @ 1 MHz 오프셋	-110	-104	-112	dBc/Hz
공급 전압	2.7	2.7	1.5	V
칩 면적	2 x 2	1 x 1.1	2 x 2	mm^2
공정	0.18 μm SiGe	0.25 μm CMOS	0.13 μm CMOS	-

On Board) 패키징을 하였으며, 내부의 컨트롤 비트들은 SPI (Serial Peripheral Interface)를 통해서 제어되도록 설계하였다.

그림 12는 VCO 출력의 스펙트럼을 보여주고 있다. 6336 GHz의 중심 주파수에서 -16 dBm의 출력 레벨을 나타내고 있다.

그림 13은 PLL의 위상 잡음 측정 결과를 보여주고 있다. 1 MHz 오프셋에서 -112 dBc/Hz의 결과를 나타내고 있으며, 이는 시스템 스펙을 만족한다.

표 1은 주파수 합성기의 측정된 성능 요약을 보여주고 있다. 위상 잡음은 1 MHz 오프셋에서 -112 dBc/Hz이며, 이는 시스템 스펙을 만족한다.

표 2는 기존 연구 결과와의 성능 비교를 보여주고 있다. 참고 문헌 [6]에서는 성능 및 전력 소모를 위해서

0.18 μm SiGe 공정을 사용하였으므로, 공정비용이 비싸다는 단점이 있다.

참고 문헌 [7]과 비교했을 경우, 공급전압에 비해서 전력 소모는 다소 크지만, 이는 제한된 주파수 대역 (3432 MHz ~ 4488 MHz) 에 해당하는 밴드를 구현했던 다른 연구에 비해, 단일 주파수를 이용하여 LO 믹서의 주파수 플래닝을 통하여 효율적으로 MB-OFDM UWB의 통신대역을 더 확장할 수 있다는 장점이 있다.

본 논문에서는 0.13 μm 의 CMOS 공정을 통해 빠른 주파수 호핑을 지원하는 MB-OFDM UWB용 주파수 합성기를 설계하였다. 또한 위상 잡음에 대한 특성이 다른 설계 구조에 비해서 우수하며 출력 신호의 스윙 레벨을 고려하여 하모닉을 제거할 수 있는 구조의 SSB 믹서를 구현하였다는 점에서도 우수하다고 할 수 있다.

IV. 결 론

본 논문은 동작 주파수가 Band Group 1인 UWB용 주파수 합성기에 관한 논문이다. 제안된 주파수 합성기는 PLL 블록과 Sub Band Generator 블록으로 나눌 수 있다. PLL 블록에서는 VCO의 튜닝 범위를 넓히기 위한 LC-VCO의 새로운 coarse 튜닝 기법이 제안되었다. 또한, 본 논문에서 제안한 주파수 합성기의 구조는 기저 대역 모뎀의 ADC에 클럭을 공급할 수 있다.

본 논문에서는 효과적인 주파수 플래닝을 통하여, 6336 MHz의 단일 주파수를 입력으로 받아 UWB Band Group 1에 해당하는 3432 MHz, 3960 MHz, 4488 MHz의 중심 주파수를 발생시킬 수 있도록 주파수 합성기를 설계하였다.

VCO의 튜닝 범위 1.2 GHz이며, 6336 MHz의 출력 주파수에서의 위상 잡음은 1 MHz 오프셋에서 -112 dBc/Hz 이었다. UWB용 주파수 합성기는 0.13 μm 공정으로 설계하였으며, 전체 Chip 면적은 $2 \times 2 \text{ mm}^2$ 이다. 전력 소모는 1.2 V의 공급 전원에서 60 mW이다.

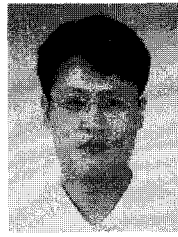
참 고 문 헌

- [1] A. Batra, J. Balakrishnan, G.R. Aiello, J.R. Foerster, and A. Dabak, "Design of a multiband OFDM system for realistic UWB channel environments," IEEE Trans. Microw. Theory Tech., vol. 52, no. 9, pp. 2123-2138, Sep. 2004.
- [2] Gerry C. T. Leung and Howard C. Luong. "A 1-V 5.2GHz CMOS Synthesizer for WLAN Applications", IEEE J. Solid-State Circuits, vol. 39, pp 1873-1882, Nov. 2004.
- [3] Razavi, B., Aytur, T., Lam, C., Fei-Ran Yang, Kuang-Yu Li, Ran-Hong Yan, Han-Chang Kang, Cheng-Chung Hsu, Chao-Cheng Lee, "A UWB CMOS Transceiver", IEEE J. Solid-State Circuits, vol.40, pp 2555 - 2562, Dec. 2005
- [4] Kang-Yoon Lee, Hyunchul Ku, YoungBeom Kim, "A Fast Switching Low Phase Noise CMOS Frequency Synthesizer with a New Coarse Tuning Method for PHS Applications", IEICE Transaction on Electronics, Vol. E89-C, No. 3, pp. 420-428, March 2006.
- [5] Hyungki Huh, Yido Koo, Kang-Yoon Lee, Yeon kyeong Ok, Sung ho Lee, Dae hyun Kwon, Jeong woo Lee, Joon bae Park, Kyeong ho Lee, Deog-Kyoon Jeong, Won chan Kim, "A CMOS Dual-Band Fractional-N Synthesizer with Reference Doubler and Compensated Charge Pump", 2004 IEEE International Solid-State Circuits Conference, pp.100-101, Feb. 2004.
- [6] A. Ismail, A. Abidi, "A 3.1 to 8.2 GHz direct conversion receiver for MB-OFDM UWB communications", 2005 IEEE International Solid-State Circuits Conference, pp.208-593, Feb. 2005.
- [7] D. Leenaerts, R. van de Beek, G. van der Weide, J. Bergervoet, K.S. Harish, H. Waite, Y. Zhang, C. Razzell, R. Roovers, "A SiGe BiCMOS 1ns fast hopping frequency synthesizer for UWB radio", 2005 IEEE International Solid-State Circuits Conference, pp.202-593, Feb. 2005.

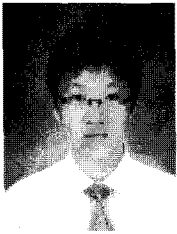
저 자 소 개



박 준 성(학생회원)
 2008년 건국대학교 전자공학과
 학사 졸업.
 2008년~현재 건국대학교 전자
 정보통신공학과 석사과정.
 <주관심분야 : RF / 아날로그 집
 적회로 설계>



남 철(정회원)
 2001년 서울대학교 전기공학부
 석사 졸업
 2004년~현재 (주) 실리콘하모니
 수석 연구원
 2007년~현재 건국대학교 전자
 정보통신공학과 박사과정.
 <주관심분야 : RF / 아날로그 집적회로 설계>



김 영 신(학생회원)
 2008년 백석대학교 정보통신학부
 학사 졸업.
 2008년~현재 건국대학교 전자
 정보통신공학과 석사과정.
 <주관심분야 : RF / 아날로그 집
 적회로 설계>



부 영 건(학생회원)
 2008년 건국대학교 전자정보통신
 공학과 석사 졸업.
 2008년~현재 건국대학교 전자
 정보통신공학과 박사과정.
 <주관심분야 : RF / 아날로그 집
 적회로 설계>



허 정(정회원)
 1983년 서울대학교 전자공학과
 석사 졸업.
 1991년 서울대학교 전자공학과
 박사 졸업
 1991년~현재 건국대학교
 전자공학부 교수
 <주관심분야 : 안테나, RF 및 Microwave 회로>



이 강 윤(정회원)
 2003년 서울대학교 전기공학부
 박사 졸업.
 2000년~2005년 (주)지씨티리씨치
 책임 연구원
 2005년~현재 건국대학교
 전자공학부 조교수
 <주관심분야 : RF · 아날로그 집적회로설계, 아날
 로그/디지털 Mixed Mode 설계>