

논문 2009-46SD-8-11

# 온도 및 공정 보상 전류 미러를 이용한 정밀한 전류 레퍼런스

## ( An Accurate Current Reference using Temperature and Process Compensation Current Mirror )

양 병 도\*

( Byung-Do Yang )

### 요 약

본 논문에서는 온도 및 공정 보상 전류 미러(temperature and process compensation current mirror: TPC-CM)를 이용한 정밀 전류 레퍼런스를 제안하였다. 온도 변화에 영향을 받지 않는 기준 전류는 절대 온도에 비례하여 증가하는 PTAT(proportional to absolute temperature) 전류와 온도에 반비례하여 감소하는 CTAT(complementary to absolute temperature) 전류의 합으로 생성된다. 그러나 온도 계수(temperature coefficient)와 기준 전류의 크기는 공정 변화에 크게 영향을 받는다. 이런 공정 변화를 보정하기 위하여, 제안된 TPC-CM에서는 온도 계수와 기준 전류의 크기를 조절하는 두 개의 이진 가중치 전류 미러(binary weighted current mirror)를 이용하였다. 제작된 각 칩마다 PTAT 전류와 CTAT 전류를 측정 후, 기준 전류의 크기가 온도에 상관없이 일정하도록, TPC-CM의 스위치 코드를 결정하고 그 값을 비휘발성 메모리에 저장한다. 시뮬레이션에서 TPC-CM는 공정변화 영향을 19.7%에서 0.52%로 줄였다. 제안된 전류 레퍼런스는 3.3V 0.35 $\mu$ m CMOS공정을 이용하여 제작되었으며, 측정된 칩의 기준 전류 변화율은 20 $^{\circ}$ C~100 $^{\circ}$ C에서 0.42%였다.

### Abstract

In this paper, an accurate current reference using temperature and process compensation current mirror (TPC-CM) is proposed. The temperature independent reference current is generated by summing a proportional to absolute temperature (PTAT) current and a complementary to absolute temperature (CTAT) current. However, the temperature coefficient and magnitude of the reference current are influenced by the process variation. To calibrate the process variation, the proposed TPC-CM uses two binary weighted current mirrors which control the temperature coefficient and magnitude of the reference current. After the PTAT and CTAT current is measured, the switch codes of the TPC-CM is fixed in order that the magnitude of reference current is independent to temperature. And, the codes are stored in the non-volatile memory. In the simulation, the effect of the process variation is reduced to 0.52% from 19.7% after the calibration using a TPC-CM in chip-by-chip. A current reference chip is fabricated with a 3.3V 0.35 $\mu$ m CMOS process. The measured calibrated reference current has 0.42% variation for 20 $^{\circ}$ C~100 $^{\circ}$ C.

**Keywords :** CMOS, Current reference, Current mirror, Temperature compensation, Process compensation

### I. 서 론

전류 레퍼런스(current reference)는 아날로그 기본

\* 정회원, 충북대학교 전자정보대학 컴퓨터정보통신 연구소

(College of Electrical and Computer Engineering, Chungbuk National University)

※ 이 논문은 2008년도 충북대학교 학술연구지원사업의 연구비지원에 의하여 연구되었음 (This work was supported by the research grant of the Chungbuk National University in 2008)

접수일자: 2008년10월22일, 수정완료일: 2009년8월4일

회로 중의 하나로서, 현재의 고성능 아날로그 집적회로에서는 온도, 공정, 전압의 변화에 둔감한 전류 레퍼런스 회로를 필요로 하고 있다. 지난 수 십 년 동안 온도 변화를 보상할 수 있는 다양한 정밀 전류 레퍼런스 회로들이 제안되었다<sup>[2~4]</sup>. 전류 레퍼런스는 저항과 BJT를 이용하여 온도 변화에도 일정한 전류를 만들 수 있다. 그러나 온칩 저항과 BJT는 공정 변화에 영향을 크게 받기 때문에, 온도 계수(temperature coefficient)와 기준 전류의 크기는 칩 제작 후 trimming 기술에 의해서 조절되어야 한다. 참조논문<sup>[3]</sup>에서 제안된 전류 레퍼런스는

온도 계수가 28ppm/°C로 매우 작지만, 공정 변화에 따른 기준 전류의 변화율이 15%로 매우 크다.

본 논문에서는 공정 변화를 보상하기 위해 정밀한 온도 및 공정 보상 전류 미러(temperature and process compensation current mirror: TPC-CM)를 제안하였다.

## II. 전류 레퍼런스 구조

그림 1은 일반적인 온도 보상 전류 발생기이다. PTAT-CTAT 전류 발생기는 온도에 비례하는 PTAT (proportional to absolute temperature) 전류와 온도에 반비례하는 CTAT (complementary to absolute temperature) 전류를 생성한다. 온도 변화에 일정한 온도 보상 전류( $I_{TC}$ )는 그림 1(b)와 같이 PTAT 전류( $I_{PTAT}$ )와 CTAT 전류( $I_{CTAT}$ )의 합으로 만들어진다<sup>[1]</sup>.

그림 2는 PTAT-CTAT 전류 발생기 회로이다. 여기서 PTAT 전류는 다이오드 D1과 D2, 저항  $R_{PTAT}$ 에 의해서 생성된다. 다이오드 D2는 다이오드 D1보다 K배 크다. PTAT 전류의 방정식은 다음과 같이 유도된다<sup>[1]</sup>.  $I_{D1}=I_{D2}$ 이기 때문에 D2 다이오드에 흐르는 PTAT 전류의 방정식은 수식 (4)와 같다.

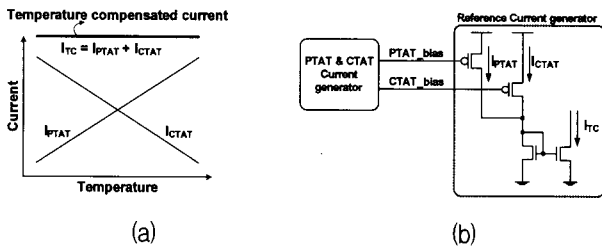


그림 1. 일반적인 온도 보상 전류 발생기 (a) 기본원리 (b) 회로

Fig. 1. Typical temperature compensated current generator (a) basic principle (b) circuit.

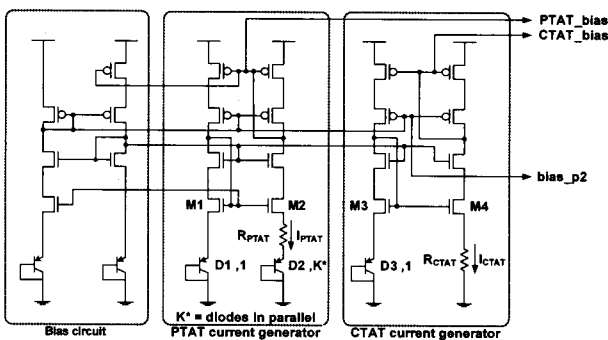


그림 2. PTAT-CTAT 전류 발생기  
Fig. 2. PTAT and CTAT current generator.

$$V_{D1} = V_{D2} + I_{D2} \times R_{PTAT} \quad (1)$$

$$I_{D1} = I_S e^{V_{D1}/nV_T} \rightarrow V_{D1} = nV_T \ln \frac{I_{D1}}{I_S} \quad (2)$$

$$I_{D2} = K I_S e^{V_{D2}/nV_T} \rightarrow V_{D2} = nV_T \ln \frac{I_{D2}}{K I_S} \quad (3)$$

$$I_{PTAT} = \frac{nk \ln K}{qR_{PTAT}} \times T \quad (4)$$

본 논문에서 사용한 저항은 사용된 온도(T) 범위 내에서 양의 온도 계수를 가지는 poly 저항을 사용하였다. 사용한 poly 저항의 온도의 따른 저항 값의 수식 (5)와 같다. 여기서 저항의 1차 온도 계수(the first temperature coefficient of resistance,  $TC_{1R}$ )의 값은 334.77ppm/°C이고, 저항의 2차 온도 계수(the second temperature coefficient of resistance,  $TC_{2R}$ )의 값은 3.0775ppm/°C이다.

$$R(T) = R(T_0) \times [1 + TC_{1R}(T - T_0) + TC_{2R}(T - T_0)^2] \quad (5)$$

수식 (4)의 PTAT 전류를 보면 온도에 비례하여 전류가 증가함을 알 수 있다. 온도에 따라 변하는 저항 값은 무시할 수 없지만, 상대적으로 적은 양의 변화이기 때문에 온도가 증가함에 따라 PTAT 전류는 증가하는 것으로 볼 수 있다. PTAT 전류의 온도 계수 방정식은 다음과 같다<sup>[1]</sup>.

$$TC_{IPTAT} = \frac{1}{IPTAT} \frac{\partial IPTAT}{\partial T} = \left( \frac{1}{T} - \frac{1}{R_{PTAT}} \times \frac{\partial R_{PTAT}}{\partial T} \right) \quad (6)$$

저항  $R_{CTAT}$ 에 흐르는 전류를 결정하는 다이오드 D3의 전압강하를 이용하는 CTAT 전류는 다음과 같이 표현된다.

$$I_{CTAT} = \frac{V_{D3}}{R_{CTAT}} = I_S e^{V_{D3}/nV_T} \quad (7)$$

$$TC_{ICTAT} = \frac{1}{ICTAT} \frac{\partial ICTAT}{\partial T} = \frac{1}{V_{D3}} \frac{\partial V_{D3}}{\partial T} - \frac{1}{R_{CTAT}} \frac{\partial R_{CTAT}}{\partial T} \quad (8)$$

수식 (7)에서, 첫 번째 항인 다이오드 전압의 온도 계수는  $-2300\text{ppm}/^\circ\text{C}$ 이고, 두 번째 항인 저항의 온도 계수는  $334.77\text{ppm}/^\circ\text{C}$ 이므로 전체 CTAT 전류의 온도 계수는 음의 값을 가진다. 따라서 온도가 증가함에 따라 CTAT 전류는 감소한다<sup>[1]</sup>.

그림 1과 같이 온도 보상 전류( $I_{TC}$ )는 양의 온도 계수를 가지는 PTAT 전류와 음의 온도 계수를 가지는 CTAT 전류의 합에 의해서 생성된다. 그러나 공정 변화에 따라 다이오드의 열 전압(thermal voltage)과 저항 값이 변하기 때문에, PTAT와 CTAT 전류도 변하게 된다. 따라서 기존 방식의 전류 레퍼런스 회로에서는 공정 변화에 따른 기준 전류 변화가 크게 된다.

### III. 제안된 전류 레퍼런스

기준 전류는 PTAT 전류와 CTAT 전류의 합으로 만들어지는데, 온도 변화에 영향을 받지 않는 전류를 만들기 위해서는 PTAT 전류의 온도 계수 절대 값과 CTAT 전류의 온도 계수 절대 값은 서로 같아야 한다. 이를 위해서 PTAT 전류는 고정하고, CTAT 전류만을

조절해서 두 전류의 온도 계수를 같아지도록 하였다.

그림 3(a)는 고정된 PTAT 전류의 기울기를 나타낸 그림이고, 그림 3(b)는 CTAT 전류의 기울기 변화를 나타낸 그림이다. N비트 이진 가중치 전류 미러(binary weighted current mirror)를 이용하여  $2^N$ 의 해상도로 CTAT 전류의 기울기를 미세 조절할 수 있도록 하였다. 그림 3(c)는 고정된 PTAT 전류와 조정 가능한 CTAT 전류의 합을 나타낸 그림이다. 고정된 PTAT 전류와 조정 가능한 CTAT 전류 중 기울기의 절대값이 PTAT 전류의 기울기의 절대값과 같은 CTAT 전류 값을 선택하여 더하면, 그 합은 온도변화에 영향을 받지 않는 전류가 된다. 그러나 공정에 따라 PTAT 전류의 크기가 변하게 되면 온도 변화의 영향을 제거하기 위하여 CTAT 전류의 값도 조절함으로써 크기와 온도가 보상된  $I_{TC}$ 의 값을 변하게 된다. 따라서 공정 변화에 따른 영향을 보상하여 일정한 크기의 전류를 생성할 필요가 있다. 제안된 전류 레퍼런스에서는 기준 전류의 레벨을 M비트 이진 가중치 전류 미러(binary weighted current mirror)를 이용해서  $2^M$ 의 해상도로 조절할 수 있게 제작하여 일정한 크기의 전류를 생성할 수 있도록 하였다.

제안된 회로에서는 이진 가중치 전류 미러를 사용했기 때문에 온도 계수와 기준 전류의 레벨은 쉽게 조절 가능하다. 공정의 변화가 크더라도, 두 개의 전류 미러에 맞는 스위치 코드를 찾음으로써, 온도 변화에 영향을 받지 않는 정밀한 기준 전류를 보장할 수 있다. 두 개의 스위치 코드는 제작된 각 칩의 CTAT와 PTAT 전류를 측정함으로써 찾을 수 있다.

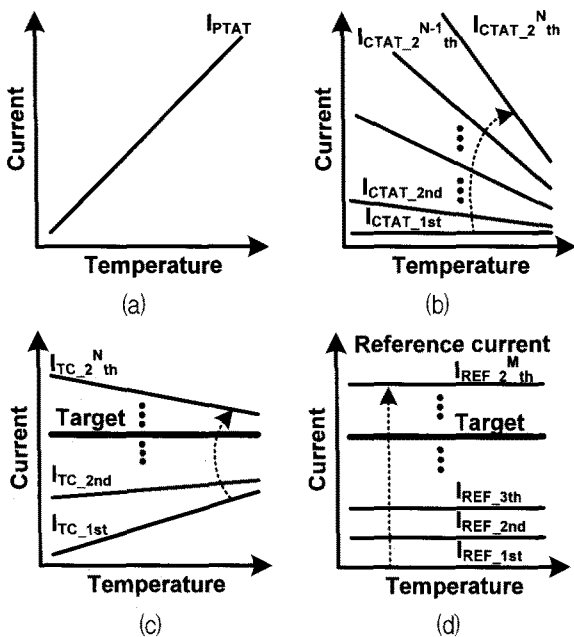


그림 3. (a) 온도에 대한 고정된 PTAT 전류 (b) 온도에 대한 조절 가능한 CTAT 전류 (c) 온도에 대한 ITC 전류 (d) 기준 전류의 레벨 조절  
 Fig. 3. (a) fixed PTAT current vs. temperature (b) Adjustable CTAT current vs. temperature (c) ITC current vs. temperature (d) reference current level adjusting.

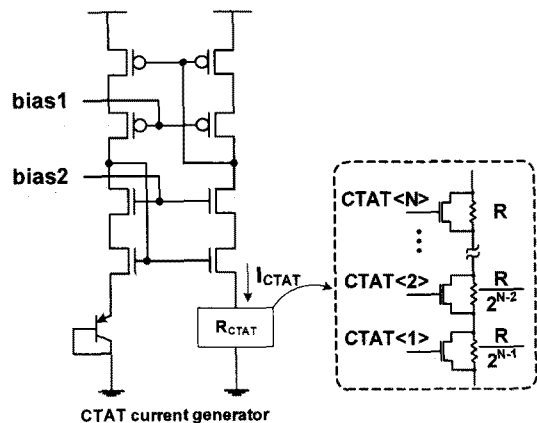


그림 4. 저항열을 이용한 기존의 CTAT 전류 조절 회로  
 Fig. 4. CTAT current adjusting circuit using a string of resistors.

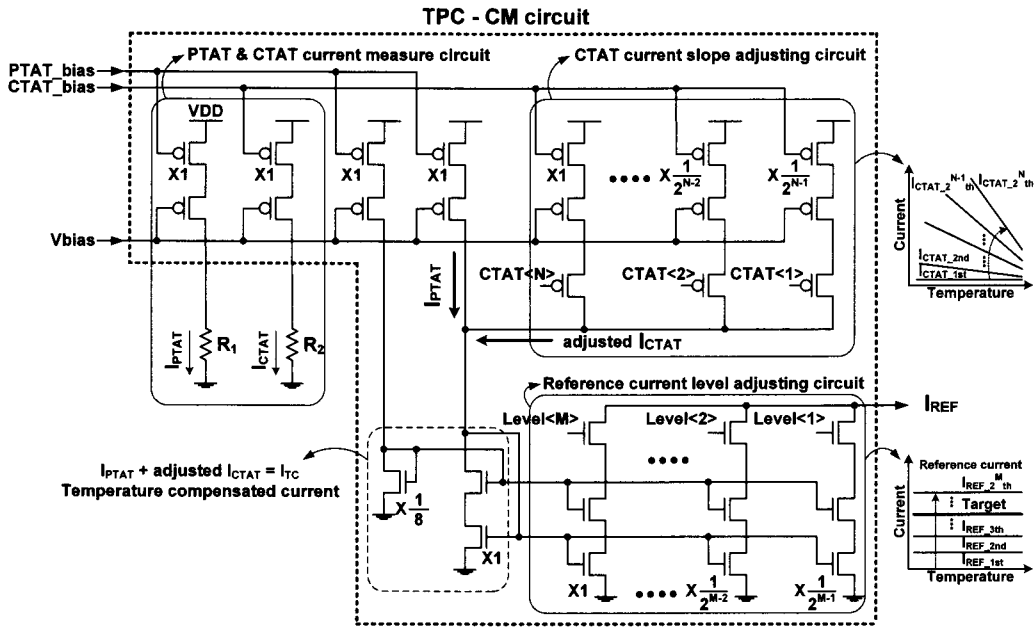


그림 5. 온도 및 공정 보상 전류 미러  
Fig. 5. Temperature and process compensation current mirror (TPC-CM) circuit.

그림 4는 CTAT 전류 기울기를 조절하는 일반적인 방법은 칩의 CTAT와 PTAT 전류를 측정 후, 이진 가중치 저항(binary weighted resistors)들로 만들어진 저항  $R_{CTAT}$ 의 값을 연결된 스위치를 사용하여 변경시키는 것이다.<sup>[1]</sup> 하지만, 이진 가중치 저항들을 구현하기 위해서는 큰 면적이 필요하다. 특히, CTAT 스위치 코드의 수가 선형적으로 증가하게 되면, 이에 따라 요구되는 저항은 지수 형태로 증가하게 된다.

그림 5는 제안된 TPC-CM 회로이다. TPC-CM는 PTAT와 CTAT 전류 측정 회로, CTAT 전류 기울기 조절회로, PTAT 전류와 CTAT 전류를 합치는 회로, 기준 전류 레벨 조절 회로로 구성되어 있다. TPC-CM는 PTAT와 CTAT 전류 발생기로부터 PTAT와 CTAT 바이어스 전압을 받아들이며, 각각의 전류를 발생시킨다. 그리고 TPC-CM은 두 개의 스위치 코드를 가지고 CTAT 전류의 기울기와 기준 전류의 레벨을 조절하여, 제안된 회로에서는 온도 변화에 영향을 받지 않는 정밀한 기준 전류를 발생시킨다. 제안된 방식은 트랜지스터의 크기를 조절해서 전류의 크기를 결정하는 방식이기 때문에 트랜지스터 사이의 미스매치(mismatch)에 의한 전류 크기의 오차가 발생할 수 있다. 미스매치의 영향을 줄이기 위하여 이진 가중치 전류 미러를 분할 방식(segment type)의 전류 미러로 구성하였다.

PTAT와 CTAT 전류 측정 회로는 PTAT와 CTAT 전류 미러 회로와 연결된 두 개의 외부 저항들과 출력 편으로 구성하였다. 각 전류는 외부 저항의 전압으로 측정한다. 온도에 따른 PTAT와 CTAT 전류의 기울기를 계산하기 위해, 그림 6과 같이 PTAT와 CTAT 전류는 각각 온도가 다른 3지점에서 측정한다. 그 이유는 두 전류 그래프는 2차 온도 계수의 의해서 곡선의 형태를 지니기 때문이다. PTAT와 CTAT 전류의 기울기의 비율은 CTAT 전류 기울기 조절회로의 N비트 스위치 코드 값이 된다. CTAT 전류 기울기 조절회로에 의해서 조절된 CTAT 전류가 생성된다. 그 값은 0에서  $2 \times I_{CTAT}$ 의 값 사이에서 변화 가능하다.

온도 보상 전류는 조절된 CTAT 전류와 고정된 PTAT 전류의 합으로 만들어진다. 온도 보상 전류의

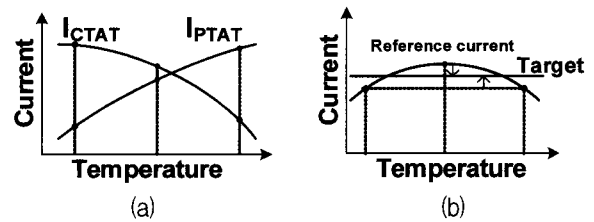


그림 6. PTAT와 CTAT 전류 기울기 측정 방법 (a) 측정 지점 (b) 보상된 기준 전류  
Fig. 6. The PTAT and CTAT current slopes measuring method (a) measurement points (b) calibrated reference current.

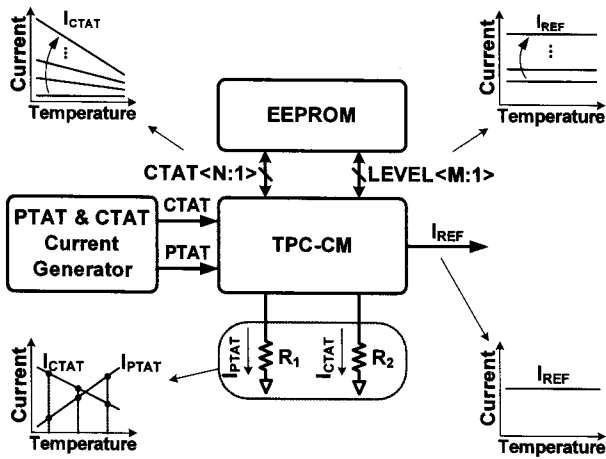


그림 7. 제안된 전류 레퍼런스 회로의 블록 다이어그램  
Fig. 7. The block diagram of proposed current reference circuit.

레벨을 조절하기 위해 M비트 이진 가중치 전류 미러로 구성된 기준 전류 레벨 조절 회로에서 전류 크기를 변경한다. 변경 범위는 0에서  $2 \times (\text{adjusted } I_{CTAT} + I_{PTAT})$ 의 사이 값을 가진다.

그림 7은 제안된 전류 레퍼런스 회로의 블록 다이어그램이다. PTAT-CTAT 전류 발생기, TPC-CM 회로, TPC-CM의 스위치 코드 값을 저장하는 비휘발성 메모리로 구성된다.

#### IV. 칩 구현 및 실험 결과

TPC-CM를 이용한 전류 레퍼런스가 3.3V 0.35um CMOS 공정을 사용해서 구현 및 시뮬레이션 하였다. 10비트(N=10) CTAT 전류 조절 전류 미러와 8비트(M=8) 기준 전류 레벨 조절 전류 미러를 사용하여 구현하였다. 그림 8은 온도 및 공정에 따른 전류의 최대값, 중간값, 최소값을 정리한 그림이다. 5가지 트랜지스터 공정 코너 (normal-normal, fast-fast, slow-slow, fast-slow, slow-fast)와 저항의  $\pm 3\sigma$  변동에 대해서 시뮬레이션을 수행 하였다. 기준 전류는 fast-fast 상태에서 저항의 값이 평균 -30일 때 최대의 값을 가지고, slow-slow 상태에서 저항의 값이 평균 +30일 때 최소의 값을 가진다. 시뮬레이션 결과와 같이 기준 전류는 공정 변화에 영향을 크게 받는다. 그림 8(c)에서 보면 공정변화에 따른 기준 전류의 변화율이 최대 19.7%로 나타나는 것을 확인 할 수 있었다. 그림 8(d)는 공정변화에 따른 영향을 기준 전류의 변화를 fitting 시켰을 때 기준 전류가 0.52%이내의 분포로 줄어드는 것을 보

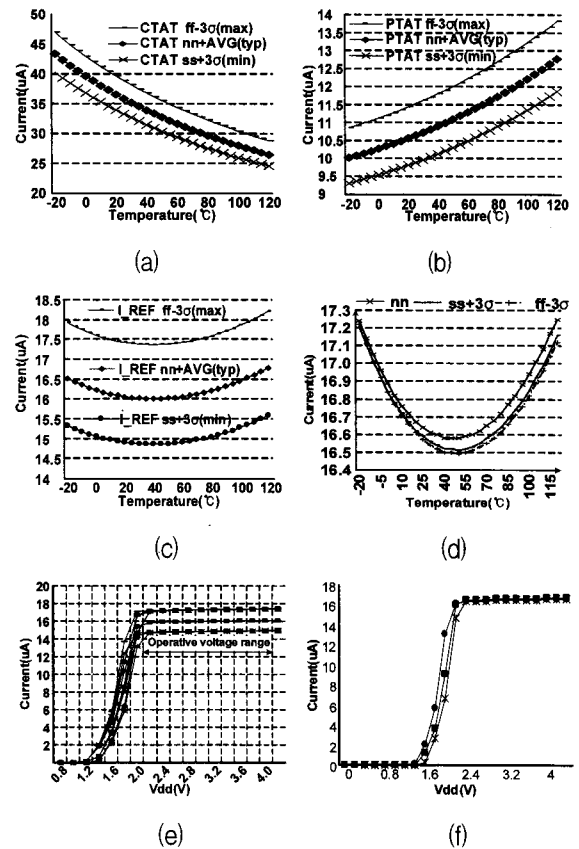


그림 8. 5가지 공정 코너와 저항의  $\pm 3\sigma$  변동에서의 온도에 대한 전류의 곡선 (a) CTAT 전류 (b) PTAT 전류 (c) 온도 및 공정 보상 전류 미러를 사용하지 않았을 때의 기준 전류 (d) 온도 및 공정 보상 전류 미러를 사용한 경우 기준 전류 (e) 공급 전압에 대한 온도 및 공정 보상 전류 미러를 사용하지 않은 기준 전류 (f) 공급 전압에 대한 온도 및 공정 보상 전류 미러를 사용한 기준 전류

Fig. 8. Current temperature curves at five process corners, and resistor with average  $\pm 3\sigma$  variation (a) CTAT current (b) PTAT current (c) reference current without the TPC-CM (d) reference current using the TPC-CM (e) reference current vs. supply voltage without the TPC-CM (f) reference current vs. supply voltage using the TPC-CM.

여준다. 그림 8(e)와 그림 8(f)는 공급 전압에 따른 기준 전류의 시뮬레이션 값이다. 기준 전류는  $V_{DD}$  전압이 2V이상일 때 일정한 값을 출력한다.

제작된 칩의 온도에 따른 전류의 변화를 측정하기 위해서 그림 9(a)에 나타낸 drying oven에 제작된 칩을 넣고 온도를 변화 시켜 가면서 drying oven 내의 온도는 oven 내에 정밀 온도계를 넣어 측정하고 이에 따른 기준 전류의 변화를 전압의 크기를 오실로스코프를 이

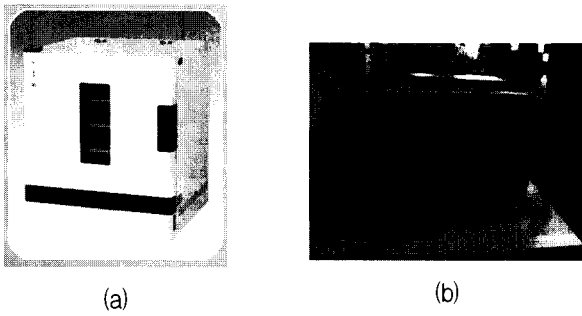


그림 9. (a) 온도 테스트용 drying oven  
(b) 전압 측정용 오실로스코프  
Fig. 9. (a) The Drying oven for the temperature test  
(b) The oscilloscope for voltage measurement.

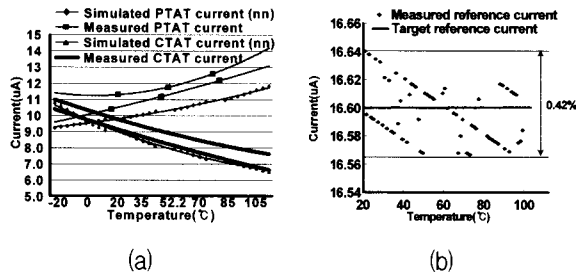


그림 10. (a) 측정된 PTAT와 CTAT 전류  
(b) 측정된 기준 전류  
Fig. 10. (a) Measured PTAT and CTAT currents  
(b) Measured reference current.

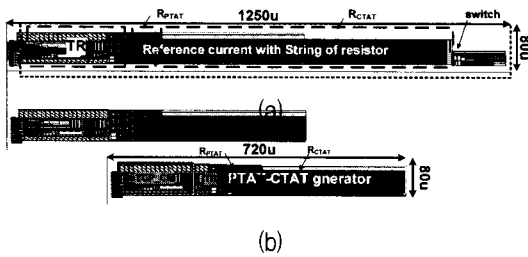


그림 11. 칩 면적 비교 (a) CTAT 전류 조절을 위해 저항열을 이용한 기준 전류 회로의 레이아웃 (b) CTAT 전류 조절을 위해 TPC-CM를 이용한 제안된 기준 전류 회로의 레이아웃  
Fig. 11. Chip area comparison (a) reference current circuit layout using a string of resistors for the CTAT current adjusting (b) proposed reference current circuit layout using the TPC-CM.

용해서 측정했다.

그림 10(a)는 온도에 따른 측정된 PTAT와 CTAT 전류와 normal-normal(nn) 공정에서의 시뮬레이션한 PTAT와 CTAT 전류이다. 그림 10(b)는 TPC-CM의 온도 및 공정 보상 후 측정된 기준 전류이다. 공정 변화 때문에 시뮬레이션 값과 측정된 PTAT 전류와 CTAT 전류의 값은 차이가 나는 것을 볼 수 있다.

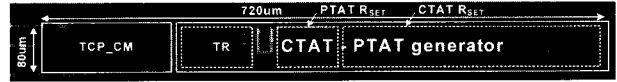


그림 12. 제작된 회로의 칩 사진  
Fig. 12. The fabricated current reference chip photograph.

표 1. 전류 레퍼런스 성능비교  
Table 1. Performance comparison of current references.

	This work	[6]	[3]
Technology	035um CMOS	0.25 um CMOS	0.35um BiCMOS
Temperature coefficient [ppm/°C]	280	720	28
Resistor (poly) [Ω/□]	65±10	N/A	N/A
Temperature range [°C]	-20~100	0~120	-30~100
Minimum supply voltage [V]	2	1.1	2.5
Area [mm²]	0.0576	0.002	0.004
Process variation error [%]	0.52	N/A	15

PTAT와 CTAT 전류를 온도가 다른 3지점을 측정함으로써, TPC-CM에서 필요한 두 개의 스위치 코드를 얻을 수 있다. 공정 보상을 실시한 이후 측정된 기준 전류들의 변화율은 20~100°C에서 0.42% 이내 분포로 측정되었다.

그림 11(a)는 CTAT 전류 조절을 위해서 저항열(resistor string)을 이용한 기준 전류 회로의 레이아웃이고 그림 11(b)는 TPC-CM를 이용한 전류 레퍼런스 회로의 레이아웃이다. 제안된 전류 레퍼런스 회로의 면적은 기존의 회로 면적에 비해서 40% 감소하였다. 그림 12는 제작된 전류 레퍼런스 칩 사진이다. 표 1에는 전류 레퍼런스들의 성능 비교 결과를 정리하였다.

### V. 결 론

본 논문에서는 TPC-CM를 이용한 정밀한 전류 레퍼런스를 제안하였다. 공정 변화를 보상하기 위해서, 전류 레퍼런스의 온도 계수와 크기를 조절하는 두 개의 가중치 전류 미러를 이용하였다. PTAT와 CTAT 전류를 측정 후, TPC-CM의 스위치 코드를 비휘발성 메모리에 저장하는 방식으로 개별 칩에서의 온도와 공정 변화를 보상할 수 있다. 시뮬레이션 결과, 제안된 전류 레퍼런스 회로는 19.7%의 공정 변화를 0.52%로 줄일 수 있었다. 전류 레퍼런스 칩은 3.3V 0.35um CMOS 공정을 이용하여 제작되었고, 측정된 칩의 기준 전류의 변화율은 20~100°C에서 0.42%였다.

## 참고 문헌

- [1] R.J.Baker, *CMOS Circuit Design, Layout, and Simulation*, 2nd ed. New York: John Wiley and Sons, 2005, pp. 761-770.
- [2] Willy Sansen, Frank Opt Eynde, and Michiel Steyaert, "A CMOS Temperature Compensated Current Reference," *IEEE JSSC*, vol. 23, no. 3, pp. 821-824, June 1988.
- [3] Franco Fiori and Paolo Stefano Crovetto, "A New Compact Temperature-Compensated CMOS Current Reference," *IEEE TCAS-II*, vol.52, no. 11, pp. 724-728, 2005.
- [4] C.-H. Lee and H.-J. Park, "All-CMOS temperature-independent current reference," *Electron Letters*, vol. 32, pp. 1280-1281, July 1996.
- [5] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill Education (Asia) Co. And Xian Jiaotong University Press. 2001, pp. 312-320.
- [6] C. Yoo and J. Park, "CMOS current reference with supply and temperature compensation," *Electron Letters*, vol. 43, pp. 1422-1424, Dec 2007.
- [7] 이승훈, 김범섭, 송민규, 최중호, *CMOS 아날로그/혼성모드 집적시스템 설계(下)*, Σ시그마프레스, 2004, pp. 94-98.

## 저 자 소 개



양 병 도(정회원)

1999년 한국과학기술원 전자전산학과 전기및전자공학전공 학사 졸업

2001년 한국과학기술원 전자전산학과 전기및전자공학전공 석사 졸업

2005년 한국과학기술원 전자전산학과 전기및전자공학전공 박사 졸업

2005년~2006년 삼성전자 반도체 사업부 책임 연구원

2006년~2007년 충북대학교 충북대학교 전자정보대학

전기전자컴퓨터공학부 전임강사

2008년~현재 충북대학교 전자정보대학 전기전자컴퓨터공학부 조교수

&lt;주관심분야 : 메모리 설계, 아날로그 IC 설계, 디지털 IC 설계&gt;