

논문 2009-46SD-8-9

스위치-RC 기법을 이용한 1V 10비트 30MS/s CMOS ADC

(A 1V 10b 30MS/s CMOS ADC Using a Switched-RC Technique)

안길초*

(Gil-Cho Ahn)

요약

본 논문에서는 1V 이하의 낮은 전원 전압에서 동작 가능한 10비트 30MS/s 파이프라인 ADC를 제안한다. 제안된 multiplying digital-to-analog converter (MDAC)의 저전압 동작을 위해 스위치-RC 기반의 입력 신호 샘플링 회로와 저항 루프를 이용한 피드백 커패시터 리셋 기법을 제안하였다. 첫 단 MDAC의 정확한 신호 이득을 위해 cascaded 스위치-RC 회로를 사용하였으며, sub-ADC의 비교기에도 독립적인 스위치-RC 샘플링 회로를 적용하여 MDAC 입력단으로 전달되는 스위칭 잡음을 최소화 하였다. 제안된 ADC는 0.13 μ m CMOS 공정으로 제작되었으며, 측정된 최대 DNL 및 INL은 각각 0.54LSB 및 1.75LSB 수준을 보인다. 또한 1V의 전원 전압과 30MS/s의 동작 속도에서 최대 SNDR 및 SFDR이 각각 54.1dB와 70.4dB이고, 17mW의 전력을 소모하였다.

Abstract

A 10b 30MS/s pipelined ADC operating under 1V power supply is presented. It utilizes a switched-RC based input sampling circuit and a resistive loop to reset the feedback capacitor in the multiplying digital-to-analog converter (MDAC) for the low-voltage operation. Cascaded switched-RC branches are used to achieve accurate gain of the MDAC for the first stage and separate switched-RC circuits are used in the sub-ADC to suppress the switching noise coupling to the MDAC input. The measured differential and integral non-linearities of the prototype ADC fabricated in a 0.13 μ m CMOS process are less than 0.54LSB and 1.75LSB, respectively. The prototype ADC achieves 54.1dB SNDR and 70.4dB SFDR with 1V supply and 30MHz sampling frequency while consuming 17mW power.

Keywords: 저전압, 스위치-RC, 저항 루프 리셋, ADC, CMOS

I. 서론

최근 CMOS 공정 기술의 발전과 그에 따른 단위 소자의 미세화 및 고속화, 그리고 혁신적인 회로 설계 기술의 개발은 다양하고 복잡한 기능의 디지털 신호처리 회로의 집적을 통해 단일 칩 시스템 (SoC) 설계를 가능하게 하였으며, 디지털 회로의 소비 전력과 면적을 감소시킴으로써 생산원가 절감과 함께 자원의 효율적인 이용을 통한 친환경적 시스템을 구현할 수 있게 하였다. 그러나 미세 소자의 신뢰성 확보를 위한 낮은 전원

전압의 필요성은 기존 회로의 동작에 여러 가지 제약 조건을 가져왔으며 그 결과 필터, 증폭기, 데이터 변환기 (A/D 변환기: ADC, D/A 변환기: DAC)와 같은 아날로그 인터페이스 회로 설계에 큰 어려움을 주고 있다^[1]. 그림 1은 International Technology Roadmap for Semiconductors (ITRS)에서 조사한 향후 10 여년 동안의 CMOS 공정 기술 발전에 대한 예측으로, 공정 기술의 스케일링에 따라 2010년에는 1V (32nm CMOS), 그리고 2016년에는 0.8V (16nm CMOS)로 지속적인 전원 전압의 감소를 예상하고 있다^[2]. 따라서 시스템 내에 사용되는 아날로그 인터페이스 회로의 전원 전압 역시 지속적인 감소가 예상되며, 그에 따른 저전압 회로 설계 기술 개발의 필요성이 증가하고 있다.

* 정회원, 서강대학교 전자공학과
(Dept. of Electronic Engineering, Sogang University)

접수일자: 2009년5월27일, 수정완료일: 2009년8월5일

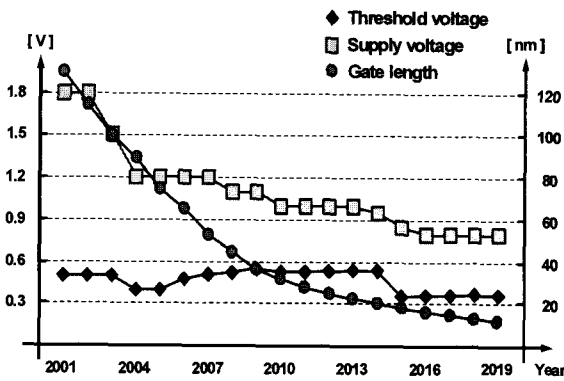


그림 1. 아날로그/혼성신호 CMOS 공정 기술 로드맵 (ITRS 2007)
 Fig. 1. Roadmap for the analog/mixed-signal CMOS technology. (ITRS 2007).

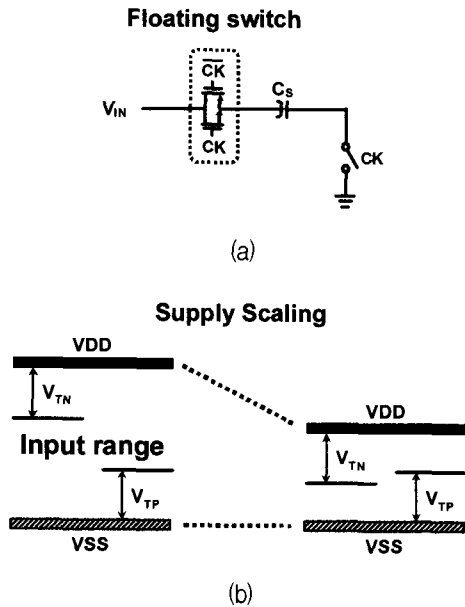


그림 2. 플로팅 스위치:
 (a) CMOS 플로팅 스위치를 사용한 SC 샘플링 회로 및 (b) 전원 전압에 따른 CMOS 플로팅 스위치 동작 영역
 Fig. 2. Floating switch:
 (a) SC sampling circuit with CMOS floating switch and (b) CMOS floating switch operation range with supply scaling.

특히 정확성과 신뢰성 있는 동작으로 CMOS 아날로그 인터페이스 회로 설계에 가장 보편적으로 이용되어 온 스위치 커패시터 (switched-capacitor: SC) 회로는 전원 전압의 감소에 따른 플로팅 스위치의 동작 영역 제한으로 그 선형성 및 동작 속도가 크게 저하되었고 저전압 동작을 필요로 하는 CMOS 아날로그 인터페이스 회로 설계에 사용하는데 많은 문제를 보여주고 있다.

그림 2의 (a)는 CMOS 플로팅 스위치를 사용한 전형적인 SC 샘플링 회로로 입력 가능한 신호의 영역은 그림 2의 (b)와 같다. 즉, NMOS 스위치는 입력 신호의 레벨이 $V_{DD}-V_{TN}$ 보다 작을 때 “ON”이 되며, 마찬가지로 PMOS 스위치는 입력 신호의 레벨이 $|V_{TP}|$ 보다 클 때 “ON” 된다. 그러나 전원 전압이 일정 수준 이하로 감소하면 중간 레벨의 입력신호에 대해 두 트랜지스터가 모두 “OFF” 상태가 되므로 더 이상 동작할 수 없게 된다. 따라서 정상적인 스위치 동작을 위해서는 게이트 오버드라이브 (gate overdrive) 전압이 두 트랜지스터의 문턱 전압 (V_{TN} , $|V_{TP}|$) 및 입력 신호 크기의 합보다 커야 한다. 이러한 조건을 만족시키기 위해 클럭 신호의 레벨을 승압시켜서 높은 게이트 오버드라이브 전압을 제공하는 글로벌 클럭 부스팅 (global clock boosting) 및 클럭 부트스트래핑 (clock bootstrapping) 기법이 제안되었다^[1, 3-4]. 그러나 두 방법 모두 클럭 레벨의 승압을 위해 추가적인 회로를 필요로 하며, 순간적으로 발생 가능한 글리치 (glitch) 등에 의한 신뢰성 문제를 고려하여 회로를 설계해야 한다.

이러한 신뢰성 문제를 피하면서 저전압 동작 가능한 SC 회로의 구현을 위해 switched-opamp (SO)^[5-9], opamp-reset switching technique (ORST)^[10-12] 및 스위치-RC^[13-14]와 같은 회로적 해결 방법이 제시되었다. 그러나 SO 회로의 경우 증폭기의 on/off에 따른 신호의 느린 settling으로 인해 동작 속도와 정확도 간에 trade-off가 발생한다. 한편 ORST의 경우는 증폭기가 항상 on 상태이므로 빠른 동작은 가능하나 샘플링 커패시터의 리셋 레벨을 위해 그 이전 단의 unity gain 피드백 출력을 사용하므로 높은 소모 전력과 settling 문제가 발생하게 된다. 또한 두 방법 모두 증폭기의 출력 공통 전압이 샘플링 모드와 증폭 모드에서 변하게 되므로 완전 차동 구조의 회로 설계가 어렵다. 스위치-RC 기법은 전자의 두 가지 방법이 이전 단의 증폭기 출력을 샘플링 커패시터의 리셋 전압으로 사용한 것과 다르게 저항과 스위치를 이용하여 전원 전압을 샘플링 커패시터의 리셋 전압으로 사용하였다. 그 결과, 증폭기의 출력 공통 전압을 샘플링 모드와 증폭 모드에서 일정하게 유지할 수 있으며 완전 차동 구조의 회로 설계가 용이한 장점을 지닌다. 그러나 수동 저항 소자와 스위치의 “ON” 저항에 의해 신호에 영향을 받는 리셋 전압의 인가로 전압 이득의 오차가 발생하여 그 응용 범위가 제한된다.

본 논문에서는 스위치-RC 회로에 기반을 둔 낮은 전원 전압에서 완전 차동 구조의 동작이 가능한 스위칭 기법을 적용한 파이프라인 ADC 설계 기법을 제안하였다. 제안된 기법의 검증을 위해 1V 10비트 30MS/s의 파이프라인 ADC 시제품을 제작, 측정 하였다. II장에서는 제안하는 파이프라인 ADC의 구조를 설명하였으며, III장에서는 제안된 ADC의 저전압 동작을 위해 사용된 여러 가지 회로 설계 기법을 요약하였다. IV장에서는 제작된 시제품 ADC의 측정 결과를 정리한 후, V장에서 결론을 맺는다.

II. 제안하는 ADC 구조

본 논문에서 제안하는 10비트 CMOS ADC의 전체적인 구조는 그림 3과 같이 9개의 1.5비트 단과 한 개의 1.5비트 sub-ADC, 디지털 교정회로 (digital correction logic) 및 클럭 발생기 (clock generator) 등으로 구성되어 있으며, 각 단은 1.5비트 디지털 출력과 증폭된 잔류 전압을 생성하기 위해 3-레벨 sub-ADC와 multiplying D/A 변환기 (MDAC)로 이루어져 있다. 제안된 구조의 ADC는 전력 소모를 줄이기 위하여 입력단의 샘플-앤-홀드 증폭기 (sample-and-hold amplifier: SHA)를 사용하지 않았다. 일반적으로 SHA를 사용하지 않는 ADC의 경우, 첫 단의 MDAC과 sub-ADC의 샘플링 타이밍 부정합에 의해 입력되는 전압의 차이가 발생하게 되는데 이러한 입력 신호의 차이는 신호 경로의 오프셋과 같은 영향을 주게 된다. 따라서 각 단 간에 1/2LSB (1/4FS, FS: input full scale)의 중첩 영역을 이용하여 상대적으로 큰 오프셋 오차 교정 범위를 갖는 1.5비트 구조의 MDAC을 적용하였으며, 그 결과 두 경로상의 샘플링된 신호 차이에 의한 영향을 최소화하였다. 하위

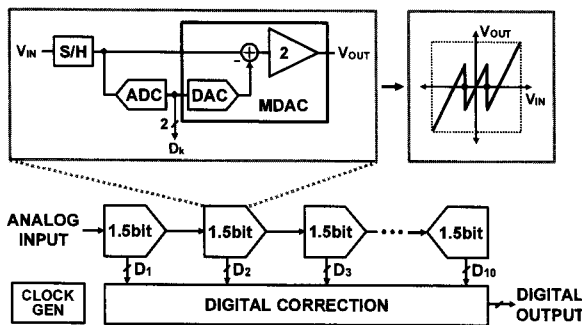


그림 3. 10비트 파이프라인 ADC 구조
Fig. 3. 10b pipelined ADC architecture.

단의 샘플링 커패시터와 증폭기의 바이어스 전류는 소비전력 및 칩 크기의 최소화를 위해 단계적으로 감소시켰다.

III. 저전압 회로 설계 기법

제안된 구조의 ADC를 1V 이하의 전원 전압에서 동작시키는 데는 크게 두 가지의 문제가 발생한다. 첫째는 전형적인 SC 기법을 이용한 MDAC 회로에서 전원 전압의 감소로 플로팅 스위치가 정상 동작하지 않는 문제이며, 둘째는 낮은 전원 전압 조건에서 동작 가능한 완전 차동 구조의 증폭기 및 비교기 등의 회로 설계이다. 이러한 문제점들을 해결하기 위하여 저전압에서 동작 가능한 스위치-RC 기법 및 저항 루프를 사용하여 플로팅 스위치를 제거한 MDAC과 저전압에서 동작 가능한 완전 차동 구조의 증폭기 및 비교기를 제안하였다.

1. 스위치-RC 기법을 사용한 MDAC

그림 4는 플로팅 스위치를 사용하는 일반적인 SC 기반의 1.5비트 MDAC 회로를 보여준다^[15]. ϕ_1 과 ϕ_2 는 비중복 (non-overlapping) 클럭 신호이며, ϕ_1 클럭이 VDD일 때 입력 신호가 플로팅 스위치를 통해 두 개의 C_s 에 샘플링되고, 동시에 sub-ADC에 의해 양자화 된다. 그리고 ϕ_2 가 VDD가 되면서 한 개의 C_s 는 증폭기 출력단에 연결되고 나머지 한 개의 C_s 는 sub-ADC의 출력 값에 따라 표에 나타난 바와 같이 $-V_{REF}$, 0, $+V_{REF}$ 에 연결되어 DAC로 동작한다. 이 때 사용되는 플로팅 스위치는 총 3개로 그림에서와 같이 점선으로 표시되어 있으며, 앞서 설명된 바와 같이 낮은 전원 전압에서는 동작하지 않게 된다.

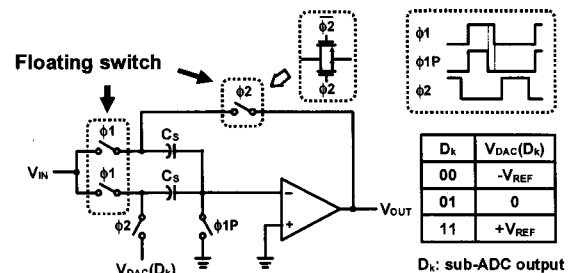


그림 4. 플로팅 스위치를 사용하는 일반적인 1.5비트 MDAC
Fig. 4. Conventional 1.5b MDAC with floating switches.

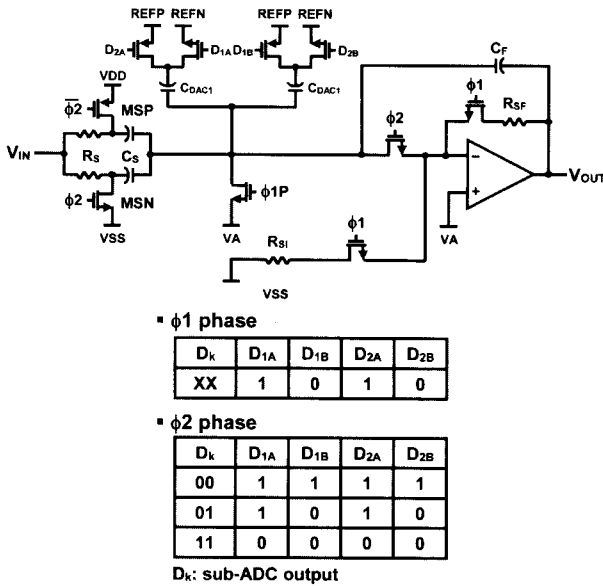


그림 5. 스위치-RC 기법을 적용한 1.5비트 MDAC
 Fig. 5. Switched-RC 1.5b MDAC.

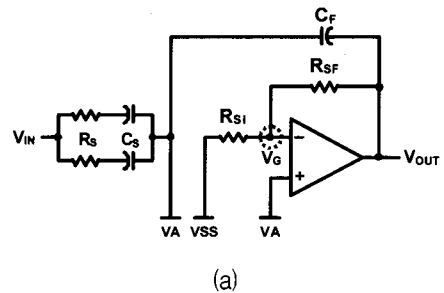
이러한 문제점을 해결하기 위해 그림 5와 같이 플로팅 스위치를 수동 저항 소자 R_s 로 대체한 스위치-RC 기반의 1.5비트 MDAC 회로를 제안하였다. 제안된 스위치-RC 기반의 MDAC 회로는 그림 4의 기존 MDAC 회로와 비교하여 크게 3가지의 차이점을 갖는다. 첫째, 샘플링 커패시터 (C_s), DAC 커패시터 (C_{DAC1}) 그리고 피드백 커패시터 (C_F)를 독립적으로 사용한다. 둘째, 입력 신호의 샘플링을 위해 스위치-RC 회로를 사용한다. 셋째, 피드백 커패시터 C_F 의 리셋을 위해 저항 R_{SI} 와 R_{SF} 를 이용한 피드백 루프를 사용한다.

기본적인 동작은 일반 MDAC과 유사하며, 샘플링 phase ($\phi 1$)에서는 입력되는 신호를 저항 R_s 를 통해 C_s 에 샘플링하고, 이와 동시에 sub-ADC에 의해 양자화한다. 증폭 phase ($\phi 2$)에서는 C_s 커패시터의 bottom plate를 스위치 MSP와 MSN을 통해 각각 VDD와 VSS에 연결시킴으로써 샘플링된 전하를 피드백 커패시터 C_F 로 전달한다. 그리고 동시에 sub-ADC에 출력값인 D_k 에 의해 커패시터 C_{DAC1} 의 연결을 그림 5의 표와 같이 제어함으로써 증폭된 잔류 전압을 생성한다. 이러한 스위치-RC 기반의 샘플링 회로는 입력되는 신호의 경로에서 플로팅 스위치를 제거함으로써 신호 레벨에 의해 영향을 받지 않는 입력 저항 값을 통해 일정한 신호 대역폭을 갖게 되며, 그 결과 저전압 동작과 함께 향상된 선형성을 얻게 된다. 또한 스위치의 각 터미널 간 전압차가 항상 전원 전압보다 낮기 때문에 신뢰성 문제로

부터 자유롭게 된다.

한편, 스위치-RC 기법을 파이프라인 ADC의 MDAC 회로에 적용할 경우 피드백 커패시터 C_F 의 리셋 문제와 MDAC 회로의 전압이득 정확도를 추가적으로 고려해야 한다. 정상적인 MDAC 회로의 동작을 위해서는 샘플링 phase에서 피드백 커패시터 C_F 를 리셋 시켜야 하며, 증폭기의 출력 신호 범위를 최대로 하기 위해 공통 출력 전압 (output common-mode voltage) V_{CMO} 를 $VDD/2$ 로 결정할 경우 C_F 의 bottom plate도 $VDD/2$ 로 리셋해 주어야 한다. 그러나 $VDD/2$ 전압을 CMOS 스위치를 통해 C_F 의 bottom plate로 연결할 경우, 그림 2를 통하여 설명되었듯이 낮은 전원 전압으로 인해 정상적으로 동작하지 못하게 된다. 이러한 문제를 해결하기 위해 R_{SI} 와 R_{SF} 를 이용한 피드백 루프가 사용되었으며, 그 구체적인 동작이 그림 6의 (a)에 나타나 있다. 저항 피드백에 의한 리셋 동작을 간단히 설명하기 위해 MDAC 회로에서 DAC을 제외한 SHA를 이용하였다. 피드백 커패시터 C_F 의 리셋은 샘플링 phase ($\phi 1$)에서 피드백 커패시터 C_F 의 top plate를 virtual ground 레벨인 VA에 연결하고 bottom plate는 증폭기의 출력단에 연결함으로써 이루어진다. 이 때 증폭기는 R_{SI} 와

■ Sampling phase ($\phi 1$)



■ Amplifying phase ($\phi 2$)

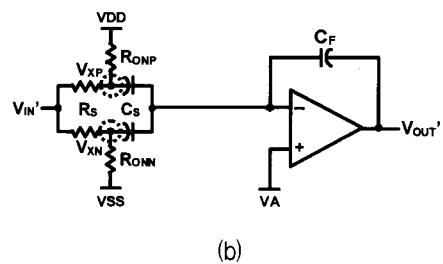


그림 6. 저항 피드백을 리셋을 이용한 샘플-앤-홀드 증폭기: (a) 샘플링 phase 및 (b) 증폭 phase

Fig. 6. Sample-and-hold amplifier by using resistive feedback reset: (a) sampling phase and (b) amplifying phase.

R_{SF} 에 의해 반전 증폭기 (inverting amplifier)의 구조를 가지며 출력단 전압은 공통 출력 전압인 V_{CMO} 가 되도록 저항 값을 결정한다. 각 노드의 전압 V_{OUT} , V_{SS} , V_A , V_G 와 저항값 R_{SI} , R_{SF} 는 식 (1)과 같은 관계를 갖는다. 따라서 식 (1)을 이용하여 R_{SI} 와 R_{SF} 의 값을 결정할 수 있다.

$$V_G = (V_{OUT} - V_{SS}) \frac{R_{SI}}{R_{SI} + R_{SF}} + V_{SS} \quad (1)$$

$$= (V_{CMO} - V_{SS}) \frac{R_{SI}}{R_{SI} + R_{SF}} + V_{SS} \cong V_A$$

MDAC 회로의 전압 이득 정확도는 전체 ADC의 선형성 성능을 결정짓는 중요한 요소이다. 그러나 스위치-RC 기반의 MDAC은 증폭 phase에서의 부정확한 리셋 전압 인가로 전압 이득의 정확도가 제한된다. 증폭 phase의 전압 이득을 간단히 설명하기 위해 마찬가지로 MDAC 회로에서 DAC 부분이 생략된 SHA 회로를 이용하였으며, 그림 6의 (b)와 같이 스위치가 연결된다. 이 때 샘플링 커패시터 C_S 의 bottom plate 전압 V_{XP} 및 V_{XN} 은 식 (2), (3)과 같이 MSP, MSN 스위치의 “ON” 저항인 R_{ONP} , R_{ONN} 값과 플로팅 스위치를 대신한 수동 저항 R_S 의 값 그리고 입력신호 V_{IN}' 에 의해 결정되며, 전하식에 의해 증폭기 출력 전압은 식 (4)와 같이 된다.

$$V_{XP} = VDD - (VDD - V_{IN}') \frac{R_{ONP}}{R_S + R_{ONP}} \quad (2)$$

$$V_{XN} = VSS + (V_{IN}' - VSS) \frac{R_{ONN}}{R_S + R_{ONN}} \quad (3)$$

$$V_{OUT}' = \frac{2C_S}{C_F} \left(V_{IN}' - \frac{VDD + VSS}{2} \right) + \frac{VDD + VSS}{2} + \frac{C_S}{C_F} \frac{R_{ONP}}{R_S + R_{ONP}} (VDD - V_{IN}') + \frac{C_S}{C_F} \frac{R_{ONN}}{R_S + R_{ONN}} (VSS - V_{IN}') \quad (4)$$

따라서 R_S 값을 증가시키거나 R_{ONP} , R_{ONN} 값을 줄임으로써 V_{XP} 와 V_{XN} 의 값을 VDD 및 VSS 레벨에 가깝게 만들면 이상적인 증폭기의 전압 이득을 얻을 수 있다. 그러나 “ON” 저항의 경우 스위치의 크기를 증가시키더라도 얻을 수 있는 최소값의 한계가 있으며, R_S 값을 증가시킬 경우 증폭 phase에서의 V_{XP} , V_{XN} 전압의 정확도는 증가하지만 $R_S C_S$ 시정수의 증가로 인해 샘플

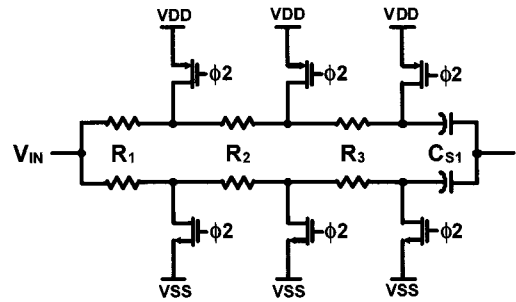


그림 7. Cascaded 스위치-RC 회로
Fig. 7. Cascaded switched-RC circuit.

링 phase에서의 settling 정확도가 감소하게 되므로 회로의 동작 속도와 정확도 사이에 trade-off가 필요하다.

그림 7은 이상적인 V_{XP} , V_{XN} 값을 얻기 위해 제안된 MDAC 회로에 적용된 cascaded 스위치-RC 회로를 보여주고 있다^[16]. 스위치-RC 회로를 직렬로 연결시킴으로써 증폭 phase에서 입력 신호 성분이 C_S 로 전달되는 것을 크게 감소시켰으며, 결과적으로 V_{XP} , V_{XN} 값이 VDD, VSS에 더 가까워 질 수 있도록 하였다.

스위치-RC 샘플링에 의해 발생하는 오차는 첫 단의 MDAC 경우에만 V_{IN}' 값이 지속적으로 변하는 입력 신호이므로 문제가 되며, 둘째 단 부터는 이 전 단의 샘플링 phase 출력 값인 V_{CMO} ($=VDD/2$)가 증폭 phase에서의 입력 신호가 되어 항상 일정한 오차값을 만든다. 따라서 입력단의 오프셋으로 작용하며 디지털 교정 회로에 의해 교정 된다.

제안된 스위치-RC기반 MDAC 회로의 또 다른 장점은 입·출력 공통 전압이 VDD/2로 일정하게 유지된다는 점이다. 입력단의 경우 샘플링 phase에서는 입력 신호의 공통 전압에 의해 결정되며, 그 값은 증폭기 출력의 최대 동작 범위를 위해 VDD/2로 결정된다. 증폭 phase에서는 샘플링 커패시터의 절반은 VDD에 그리고 나머지 절반은 VSS에 연결함으로써 전체 샘플링 커패시터에 대한 등가적인 입력 공통 전압은 샘플링 phase와 같은 VDD/2가 된다. 출력단의 경우 샘플링 phase에서는 피드백 커패시터 C_F 의 리셋을 위한 저항 루프 및 common-mode 피드백에 의해 출력 공통 전압이 VDD/2로 결정되며, 증폭 phase에서도 증폭기의 common-mode 피드백 루프에 의해 VDD/2의 공통 출력 전압을 갖게 된다. 입력단의 공통 전압이 일정하게 유지되므로 공통 입력 신호를 보상하기 위해 필요한 level shifter를 사용하지 않아도 되며, 결과적으로 커패

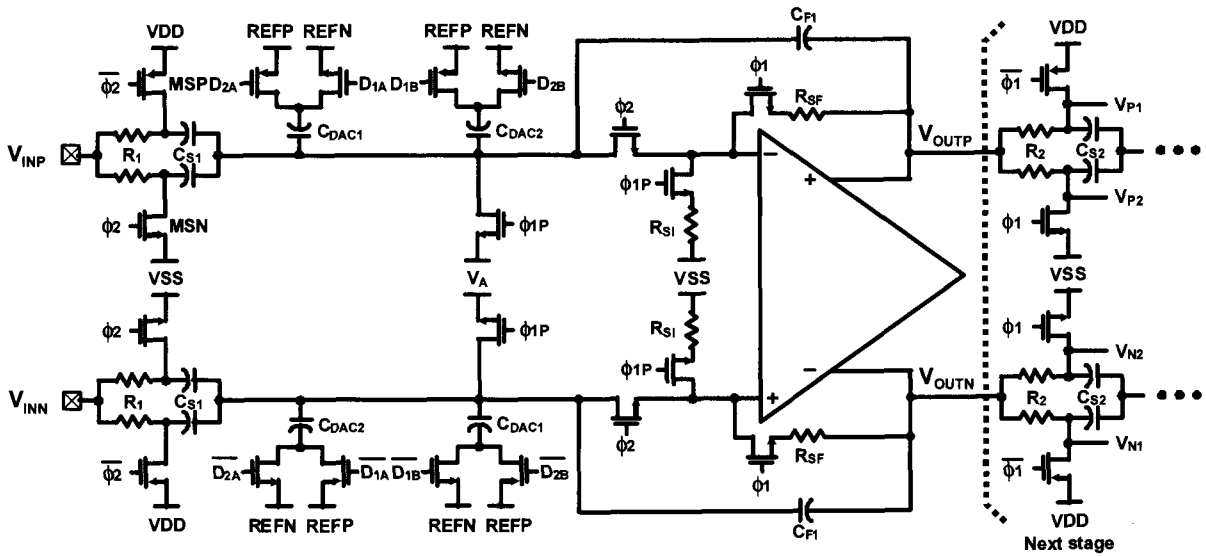


그림 8. 스위치-RC 기법을 적용한 완전 차동 구조의 1.5비트 MDAC
 Fig. 8. Fully-differential switched-RC 1.5b MDAC.

시터 감소에 따른 면적 감소와 feedback factor의 향상을 기대할 수 있다. 또한 출력단의 공통 전압이 일정하게 유지되므로 완전 차동 구조의 증폭기를 사용하는 것이 용이해 졌다.

제안하는 완전 차동 구조의 1.5비트 스위치-RC 기반 MDAC 전체 회로는 그림 8과 같다. 간단한 표현을 위해 입력단의 cascaded 스위치-RC 회로를 단일 스위치-RC 회로로 표현하였다. DAC 동작에 사용되는 기준 전압의 유효 값을 두 배로 하기 위해 CDAC1 커패시터에 연결되는 기준 전압을 sub-ADC의 출력 값에 따라 REFP에서 REFN으로, 또는 REFN에서 REFP로 스위칭하여 적용하였다. 이러한 기준 전압 스위칭을 통해 유효한 기준 전압을 두 배로 키울 수 있으며, 결과적으로 CDAC1의 크기를 절반으로 줄임으로써 feedback factor의 개선과 입력으로 전달되는 kT/C 잡음의 감소를 기대할 수 있다.

2. MDAC에 사용되는 저전압용 증폭기

높은 전압 이득과 rail-to-rail의 출력 전압 범위를 얻기 위해 그림 9와 같은 2단 증폭기를 사용하였다. 사용된 증폭기의 첫 단은 folded-cascode 증폭기로 구성되었으며, 두 번째 단은 common-source 증폭기로 구현하였다. 주파수 보상을 위해 두 번째 증폭기의 입출력 단을 Miller 커패시터를 통해 연결하였으며, common-mode 피드백에 사용되는 증폭기의 저전압 동작에 따른 입력 바이어스 레벨을 맞추기 위해 저항 Rc와 전류원

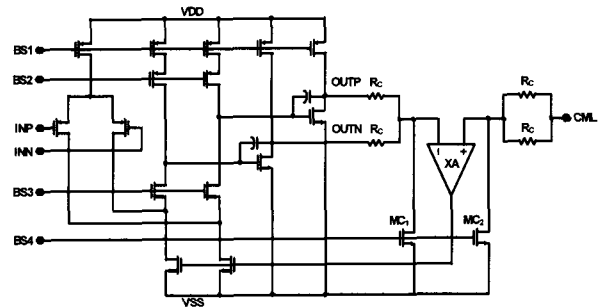


그림 9. 완전 차동 구조의 저전압 증폭기 회로도
 Fig. 9. Fully-differential low-voltage opamp.

MC 트랜지스터로 이루어진 level shifter를 이용한 common-mode 피드백 루프가 사용되었다^[14]. 한편, 설계된 2단 증폭기는 80dB의 DC 전압 이득과 80MHz의 cutoff 주파수를 보인다.

3. 스위치-RC 기법을 사용한 sub-ADC

그림 10은 저전압 동작을 위해 사용된 스위치-RC 기반의 비교기 회로도이다. 비교기의 경우 낮은 전원 전압의 샘플링 동작을 위한 스위치-RC 회로를 MDAC과 공유하여 사용 가능하다. 그러나 비교기로부터 MDAC의 입력단으로 전달되는 kick-back 잡음을 줄이기 위해 독립적인 스위치-RC 샘플링 회로를 사용하였다. 비교기 오프셋 제거와 latch의 kick-back 잡음을 줄이기 위해 두 단의 preamp가 사용되었으며, 두 번째 단의 preamp는 저항으로 이루어진 load와 바이어스 전류를

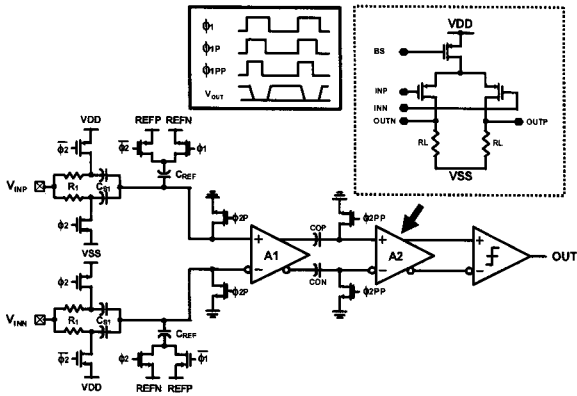


그림 10. 저전압 비교기 회로도
Fig. 10. Low-voltage comparator.

이용하여 latch 입력의 common-mode 레벨을 생성하는 level shifter의 기능도 제공한다.

IV. 시제품 ADC 제작 및 성능 측정

제안된 1V 10비트 30MS/s ADC는 0.13 μ m CMOS 공정으로 제작되었으며, 시제품의 칩 사진은 그림 11과 같다. 시제품 ADC의 입력 및 출력 패드를 제외한 칩 면적은 1.92mm² (1.6mm×1.2mm)이며, 1V 전원 전압과 30MS/s의 동작 조건에서 17mW의 전력을 소모한다.

시제품 ADC의 측정된 differential non-linearity (DNL) 및 integral non-linearity (INL)는 그림 12에서 보는 바와 같이 각각 최대 0.54LSB와 1.75LSB 수준이다. 그림 13은 시제품 ADC를 4.2MHz 0.9V_{pp}-diff의 sine 입력 신호와 30MHz의 샘플링 속도로 동작시켰을 때 디지털 출력 신호의 스펙트럼을 보여주고 있다. 전원 전압이 1V인 조건에서 signal-to-noise-and-

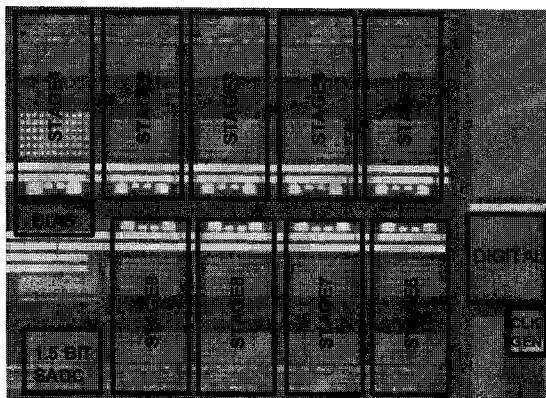


그림 11. 시제품 ADC의 칩 사진
Fig. 11. Chip micrograph of the prototype ADC.

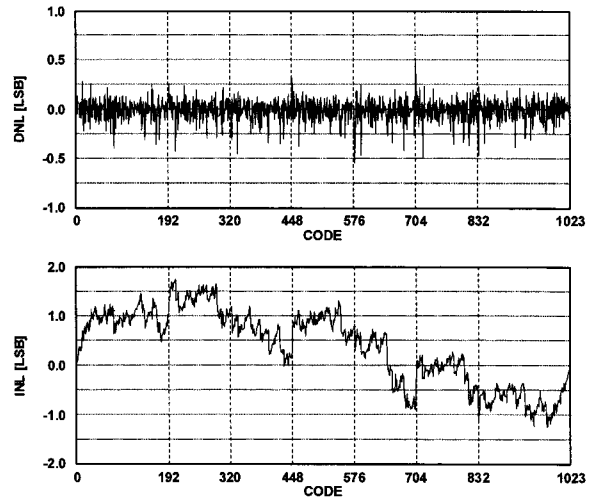


그림 12. 시제품 ADC의 측정된 DNL 및 INL
Fig. 12. Measured DNL and INL of the prototype ADC.

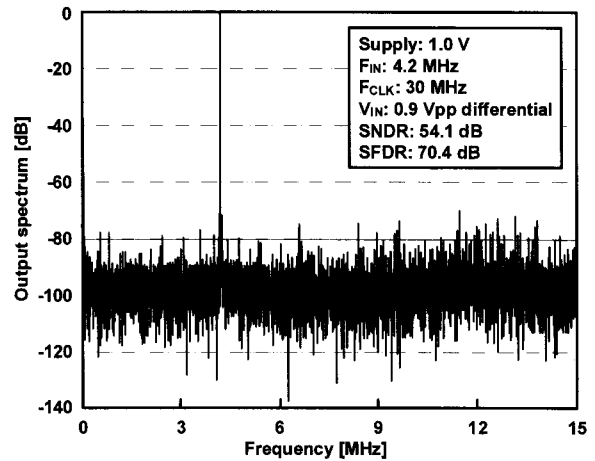


그림 13. 시제품 ADC의 측정된 FFT 스펙트럼
Fig. 13. Measured FFT spectrum of the prototype ADC.

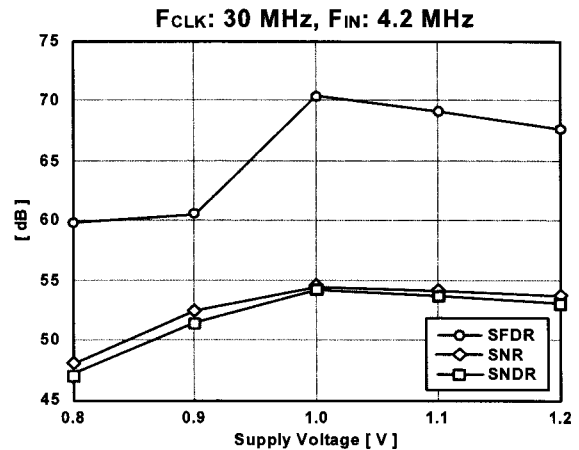


그림 14. 동작 전압 변화에 따른 SNR, SNDR 및 SFDR 측정 결과
Fig. 14. SNR, SNDR and SFDR vs. supply voltage.

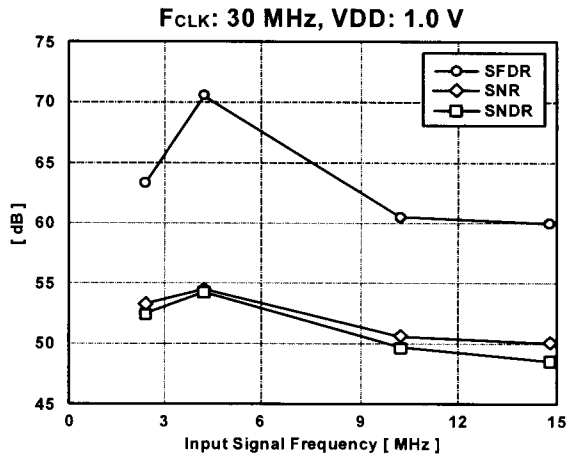


그림 15. 입력신호 주파수 변화에 따른 SNR, SNDR 및 SFDR 측정 결과

Fig. 15. SNR, SNDR and SFDR vs. input signal frequency.

표 1. 시제품 ADC 성능 요약

Table 1. Performance summary of the prototype ADC.

Supply voltage	1V
Resolution	10bits
Sampling frequency	30MHz
Input range	0.9V _{pp} differential
DNL	+0.49/-0.54LSB
INL	+1.75/-1.24LSB
SNDR	54.1dB (Fin=4.2MHz)
Power consumption	17mW
FOM	1.82pJ/conversion-step
Active die area	1.92mm ²
Technology	0.13μm CMOS (V _{TH} ≈ 0.45 V)

distortion ratio (SNDR)과 spurious-free dynamic range (SFDR)이 각각 54dB와 70dB 수준을 유지한다.

그림 14는 4.2MHz sine 입력 신호와 30MHz의 샘플링 속도로 동작시킬 때 전원 전압을 0.8V에서 1.2V로 증가시키면서 측정한 signal-to-noise ratio (SNR), SNDR 및 SFDR을 보여주고 있으며, 0.9V 이상의 전원 전압에서 50dB 이상의 SNDR을 유지하는 것을 확인할 수 있다. 그림 15는 1V 전원 전압과 30MS/s의 동작 조건에서 입력 신호의 주파수를 2MHz에서 15MHz까지 변화시키면서 측정한 SNR, SNDR 및 SFDR을 보여주고 있다. 입력 신호의 주파수가 증가하면서 성능이 저하되는 것을 확인할 수 있었으며, 이러한 현상은 입력

표 2. 전원 전압이 1.2V 이하인 유사 사양의 10비트 CMOS ADC의 성능 비교

Table 2. Performance comparison of recently reported 10b CMOS ADCs operating below 1.2V supply voltage.

	Supply [V]	Speed [MS/s]	Power [mW]	Area [mm ²]	FoM [pJ/conv.]	Process
This Work	1.0	30	17.0	1.92	1.82	0.13μm CMOS
ISSCC07 [17]	1.0	30	4.7	0.32	0.23	90nm CMOS
ISSCC05 [18]	1.2	12	3.3	1.96	0.79	90nm CMOS
ESSCIRC06 [19]	1.2	20	5.0	0.26	0.49	0.13μm CMOS
CICC06 [20]	1.2	25	4.8	0.80	0.37	0.13μm CMOS
VLSI08 [21]	1.2	26	1.8	0.33	0.16	65nm CMOS
ISSCC06 [22]	1.2	50	15.0	0.20	0.51	0.13μm CMOS

단에 샘플-앤-홀드 증폭기를 사용하지 않음으로써 발생하는 문제로 MDAC과 sub-ADC 간에 샘플링된 신호의 오차가 주파수에 비례하여 증가하기 때문에 발생한다. 제안하는 시제품 ADC의 주요 성능 측정 결과를 표 1에 요약하였으며, 표 2를 통해 1.2V 이하의 낮은 전원 전압에서 동작하는 유사사양의 ADC와 성능을 비교하였다.

V. 결론

본 논문에서는 1V 이하의 낮은 전원 전압에서 동작 가능한 10비트 30MS/s 파이프라인 ADC를 제안하였다. 낮은 전원 전압에서 동작 가능한 MDAC 회로의 구현을 위해 스위치-RC 기반의 입력 신호 샘플링 기법과 저항 루프를 이용한 피드백 커패시터 리셋 기법을 제안하였다. 요구되는 MDAC의 전압 이득 정확도를 향상시키기 위해 개선된 구조의 스위치-RC 회로를 적용하였으며, 저전압 동작이 가능한 구조의 증폭기와 비교기를 이용하여 MDAC 회로를 구현하였다. 또한, 0.13μm CMOS 공정을 이용하여 시제품 ADC를 제작하였으며, 측정 결과를 통해 제안된 회로의 동작을 검증하였다.

참고 문헌

[1] A. Abo and P. Gray, "A 1.5-V, 10-bit,

- 14.3-MS/s CMOS pipeline analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 599 - 606, May 1999.
- [2] International Technology Roadmap for Semiconductors (ITRS). (2007). [Online]. Available WWW: <http://www.itrs.net/>.
- [3] Y. Nakagome et al., "A 1.5 V circuit technology for 64 Mb DRAMs," in *Dig. Symp. VLSI Circuits*, Jun. 1990, pp. 17 - 18.
- [4] T. Cho and P. Gray, "A 10 b 20 Msamples/s, 35 mW pipeline A/D converter," *IEEE J. Solid-State Circuits*, vol. 30, no. 3, pp. 166 - 172, Mar. 1995.
- [5] J. Crols and M. Steyaert, "Switched opamp: An approach to realize full CMOS SC circuits at very low supply voltages," *IEEE J. Solid-State Circuits*, vol. 29, pp. 936-942, Aug. 1994.
- [6] V. Peluso, P. Vancorenland, A. Marques, M. Steyaert, and W. Sansen, "A 900-mV low-power $\Delta\Sigma$ A/D converter with 77-dB dynamic range," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 1887 - 1897, Dec. 1998.
- [7] A. Baschiroto and R. Castello, "A 1-V 1.8-MHz CMOS switched-opamp SC filter with rail-to-rail output swing," *IEEE J. Solid-State Circuits*, vol. 32, pp. 1979 - 1986, Dec. 1997.
- [8] M. Waltari and K. Halonen, "1-V 9-bit pipelined switched-opamp," *IEEE J. Solid-State Circuits*, vol. 36, no. 1, pp. 129 - 134, Jan. 2001.
- [9] B. Vaz, J. Goes, and N. Paulino, "A 1.5-V 10-b 50 MS/s time-interleaved switched-opamp pipeline CMOS ADC with high energy efficiency," in *Dig. Symp. VLSI Circuits*, Jun. 2004, pp. 432 - 435.
- [10] M. Keskin, U. Moon, and G. Temes, "A 1-V 10-MHz clock-rate 13-bit CMOS $\Delta\Sigma$ modulator using unity-gain-reset opamps," *IEEE J. Solid-State Circuits*, vol. 37, no. 7, pp. 817 - 823, Jul. 2002.
- [11] D. Chang, G. Ahn, and U. Moon, "A 0.9 V 9 mW 1 MSPS digitally calibrated ADC with 75 dB SFDR," in *Dig. Symp. VLSI Circuits*, Jun. 2003, pp. 67 - 70.
- [12] D. Chang and U. Moon, "A 1.4-V 10-bit 25 MSPS pipelined ADC using opamp-reset switching technique," *IEEE J. Solid-State Circuits*, vol. 38, pp. 1401-1404, Aug. 2003.
- [13] G. Ahn et al., "A 0.6-V 82-dB delta-sigma audio ADC using switched-RC integrators," *IEEE J. Solid-State Circuits*, vol. 40, pp. 2398-2407, Dec. 2005.
- [14] M. Kim, G. Ahn, P. Hanumolu, S. Lee, S. Kim, S. You, J. Kim, G. Temes, and U. Moon, "A 0.9V 92dB double-sampled switched-RC delta-sigma audio ADC," *IEEE J. Solid-State Circuits*, pp. 1195-1206, May 2008.
- [15] S. Lewis, H. Fetterman, G. Gross, R. Ramachandran, T. Viswanathan, "A 10-b 20-Msample/s analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 27, pp. 351-358, Mar. 1992.
- [16] J. Li, G. Ahn, D. Chang, and U. Moon, "A 0.9-V 12-mW 5-MSPS algorithmic ADC with 77-dB SFDR," *IEEE J. Solid-State Circuits*, vol. 40, pp. 960-969, Apr. 2005.
- [17] Y. D. Jeon, S. C. Lee, K. D. Kim, J. K. Kwon, and J. Kim, "A 4.7mW 0.3mm² 10b 30MS/s pipelined ADC without a front-end S/H in 90nm CMOS," in *ISSCC Dig. Tech Papers*, Feb. 2007, pp. 456-457.
- [18] R. Wang, K. Martin, D. Johns, and G. Burra, "A 3.3mW 12MS/s 10b pipelined ADC in 90nm digital CMOS," in *ISSCC Dig. Tech Papers*, Feb. 2005, pp. 278-279.
- [19] Y. D. Jeon, S. C. Lee, K. D. Kim, J. K. Kwon, J. Kim, and D. Park, "A 5-mW 0.26-mm² 10-bit 20-MS/s pipelined CMOS ADC with multi-stage amplifier sharing technique," in *Proc. Eur. Solid-State Circuits Conf.*, Sept. 2006, pp. 544-547.
- [20] Y. J. Cho et al., "A 10b 25MS/s 4.8mW 0.13um CMOS ADC for digital multimedia broadcasting application," in *Proc. CICC*, Sep. 2006, pp. 497 - 500.
- [21] S. K. Shin et al., "A fully-differential zero-crossing based 1.2V 10b 26MS/s pipelined ADC in 65nm CMOS," in *Dig. Symp. VLSI Circuits*, Jun. 2008, pp. 218 - 219.
- [22] H. C. Choi et al., "A 15mW 0.2mm² 10b 50MS/s ADC with wide input range," in *ISSCC Dig. Tech Papers*, Feb. 2006, pp. 226-227.

 저 자 소 개



안길초(정회원)

1994년 서강대학교 전자공학과 학사 졸업

1996년 서강대학교 전자공학과 석사 졸업

1996년 2월~2001년 11월 삼성전자 선임연구원

2005년 오레건주립대학 전자공학과 공학박사

2005년 10월~2008년 2월 Broadcom Corp. Senior Engineer

2008년 3월~현재 서강대학교 전자공학과 조교수

<주관심분야 : 저전력, 저전압 혼성신호 집적회로 설계, Oversampling delta-sigma data converters 설계.>