

논문 2009-46SD-8-4

순차 주소 접근 ROM의 효율적인 설계 방법

(The Efficient Design Method Of ROM Accessed Address In Due Sequence)

김 용 은*, 김 강 직*, 조 성 익**, 정 진 균**

(Yong-Eun Kim, Kang-Jik Kim, Seong-Ik Cho, and Jin-Gyun Chung)

요 약

ROM은 디지털 시스템에서 전력 소모가 크고 속도의 병목현상을 갖는 블록이다. 점증적인 시스템의 고속화에 따라 ROM 설계 시 전력소모 감소와 동작 속도 향상이 요구 된다. FFT 및 FIR 필터에 적용되는 ROM은 주소를 순차적으로 접근하는 방식의 ROM이 필요하며, 본 논문에서는 순차적으로 주소를 접근하는 ROM을 설계할 때 기존의 ROM과 같은 값을 출력 하면서 저장되는 셀을 줄일 수 있는 방법을 제안하였다. 이러한 방법을 이용하면 비트라인에 연결된 저장 셀 개수가 감소되며 따라서 비트라인의 커패시턴스 값이 감소된다. 비트라인의 커패시턴스 값이 감소하면서 지연시간 및 파워가 감소한다. 논문에서 예제로 사용한 FIR 계수 저장용 ROM의 경우 제안한 알고리즘을 적용하였을 때 저장 셀 '1'이 최대 86.3% 감소함을 알 수 있다.

Abstract

In the digital system, ROM has a large power-consumption and a speed-bottleneck. According to gradual growth of system speed, ROM is demanded to have low-power consumption and high-speed operation design. The ROM adapted in FFT or FIR filter needs method of sequential accessed addressing. We proposed a reduction method for the number of storage cells in this paper. The number of storage cells which is connected with bit-line is reduced by the proposed method so that the capacitance value of bit-line is reduced. In this case, delay time, and power consumption are reduced. Design result of ROM in this paper using the proposed method could reduce up to 86.3% of storage cell '1' compare with conventional method.

Keywords : ROM, address, sequentially, T-flipflop

I. 서 론

ROM은 변하지 않는 데이터를 저장할 때 사용된다. ROM은 FFT나 FIR필터 등 디지털 시스템에서 필수적 을 사용된다. ROM에서 데이터를 저장하기 위해서 NMOS또는 PMOS를 저장 셀로 이용하며 저장 셀들은 ROM의 비트라인에 연결되어 각 셀들의 커패시턴스 값 과 저항 크기에 영향을 미친다. 이때 저장 셀의 개수에 따라서 커패시턴스의 값과 저항 값이 결정되며 저항 값

이나 커패시턴스의 값이 크게 되면 ROM의 속도가 느 리지고 파워소비가 증가하게 된다^[1~2].

본 논문에서는 순차적으로 주소를 접근하는 FIR필터, FFT와 같은 ROM의 응용에서 ROM으로부터 동일한 신호를 출력하면서 저장 셀은 감소시키는 방법에 대해 서 제안하였다. 그 결과 비트라인의 커패시턴스 값이나 저항 값이 줄어 줄일 수 있는 ROM 설계 방법 대해서 제안하였고 제안한 방법을 이용하여 FIR 계수 값이 저장된 순차 주소 접근 ROM을 설계하였을 때 속도 및 파워소모에서 이득이 있음을 보인다. II장에서는 기존 ROM 설계 방법, III장에서는 제안한 방법을 이용하여 저장 셀을 제거 시킨 ROM 설계 방법, IV장에서는 기존 의 방식과 제안한 방식으로 ROM을 설계하여 시뮬레이션 결과에 대해서 설명하고, V장에서 결론을 맺는다.

* 학생회원, ** 정회원 전북대학교학교 전자정보공학부
(Division of Electronics and Information
Engineering, Chonbuk University)

※ 본 연구는 2단계 BK21 사업의 지원을 받아 수행하
였음.

접수일자: 2008년11월7일, 수정완료일: 2009년8월5일

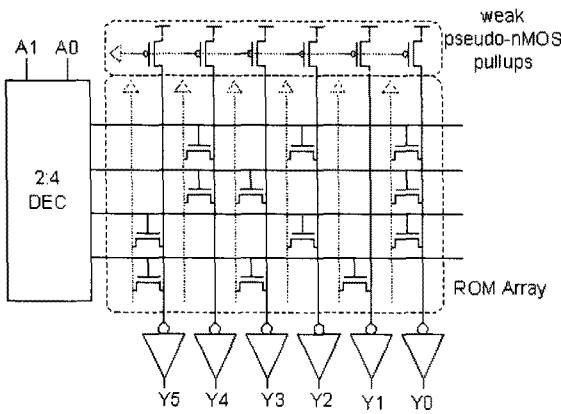


그림 1. PMOS 타입 ROM 의 구조
Fig. 1. Architecture of PMOS type ROM.

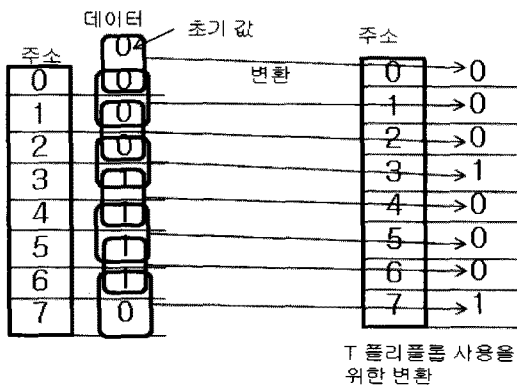


그림 2. 출력단에 T-플리플롭을 사용하기 위한 ROM 데이터 변환 과정
Fig. 2. ROM data processing flow for a using T-FF on output stage.

II. 기존 ROM 구조

ROM은 저장 셀을 PMOS 또는 NMOS로 사용할 수 있으며 PMOS타입 ROM은 속도가 빠르나 직접도가 낮고 NMOS 타입 ROM은 속도가 느리나 직접도가 큰 장점이 있다. 그림 1은 PMOS타입 ROM을 보여주고 있다. ROM저장 테이블에서 저장 값 '1'의 개수에 따라 저장셀 NMOS가 증가하며 저장 셀이 많이 연결 되면 비트라인의 커패시턴스 값이 증가하여 속도가 느려지고 파워소비가 커진다.

큰 주소를 가지는 ROM은 글리치가 많고 속도가 느려지며 파워소비가 크다. 따라서 전체적인 시스템의 고속 동작을 위해서는 ROM의 출력에 D 플리플롭을 이용하여 파이프라이닝을 하여야 한다^[3].

일반적인 ROM은 주소가 입력되면 그 주소에 저장되

어 있는 값이 출력된다. 그러나 ROM중에 FFT의 회전계수를 저장하거나 FIR필터의 계수를 저장한 ROM의 경우 ROM의 주소가 순차적으로 변한다. 이러한 구조의 ROM은 카운터에서 주소를 증가시키며 주소가 ROM의 끝 번지가 되면 다시 주소를 리셋 시켜 0부터 다시 증가하는 순차적인 특징을 가진다. 논문 [4]는 사용된 순차주소 ROM 역시 일반 ROM에 주소 선택을 카운터를 이용하였다.

III. 제안한 순차 주소 접근 ROM 구조

파이프라인을 할 때 사용되는 D 플리플롭은 전 상태를 유지하는 역할을 한다. T 플리플롭은 전 상태를 반전한다. T 플리플롭 역시 전 상태를 저장하고 있으므로 파이프라인 효과가 있다. T 플리플롭의 리셋 입력이 1이 인가되면 출력은 0으로 리셋되고 전 상태 반전 여부는 T 플리플롭의 입력 단자에서 결정한다. 입력 단자가 1이면 되면 전 값을 반전하고 0이면 현재 값을 유지한다.

FFT나 버터워즈 계수를 가진 FIR필터 ROM의 경우 열에 1이 뭉쳐 있는 경우가 존재한다. 예를 들어 '00011110' 이 어드레스에 따라 출력될 때 출력은 초기 0에서 1로 한번만 변하게 된다. 하지만 1의 개수에 따라 NMOS가 사용되므로 NMOS는 총 4개가 사용된다. 이러한 경우 T 플리플롭을 이용하여 1의 개수를 줄일 수 있다. 0에서 1 또는 1에서 0으로 변하는 곳만 1로 저장하고 나머지 구간은 0으로 저장하면 저장 테이블 열에서 1의 개수를 줄이면서 같은 동작을 한다. 예를 들어 '00011110'에서 출력단에 T 플리플롭을 달아주게 되면 '00011110'을 출력하기 위해서 '00010001'을 저장하여야 한다. 이로서 NMOS의 개수는 2개로 비트라인의 커패시턴스가 감소한다. 이러한 패턴의 변환 과정을 다음과 같이 일반화 한다.

T 플리플롭을 사용하기 위한 ROM 데이터 변환

1. 어드레스 M번 째에서 기존에 주어진 저장 테이블 열에서 M번째와 M+1번째 저장 값을 2개씩 세로로 그룹화 한다.
2. 그룹 내 값이 '10' 또는 '01'이면 변환될 새로운 ROM데이터의 값은 1이 되고 그룹된 내부 신호가 '00' 또는 '11'이면 0으로 저장한다.

※단 어드레스 0번 값은 0과 그룹지어 2번을 수행한

다.

그림 2에서 ROM의 출력단에 T플리플롭을 사용하기 위한 ROM 데이터 변환 과정을 보여주고 있다.

T 플리플롭을 출력단에서 사용하기 위해 데이터를 변화시켰을 때 '01' 또는 '10'의 패턴이 많아 오히려 '1'이 증가하는 경우가 발생한다. 그러한 경우 그 비트라인은 기존의 D플리플롭을 이용하고 데이터를 변형시키지 않는다. 이와 같이 선택적으로 출력단에 D또는 T플리플롭을 이용하여야 한다.

IV. 시뮬레이션 결과

논문에서 제안된 방법이 효율적임을 증명하기 위해 ROM에 Sine값을 0~0.5π 까지 16개로 샘플링하여 8비트로 저장된 ROM을 예로 사용하였다. 표 1은 기존의 ROM 데이터와 제안한 방법으로 변환된 ROM 데이터 테이블을 보여준다. 표 1에서 제안한 방법으로 ROM 데이터를 변환하였을 때 저장 셀 '1'의 개수가 감소함을 알 수 있다. 그림 3은 Sine값이 저장된 ROM 첫 번째 비트라인이 시정수 전압 값 레벨로 충전되는 각각의 파형을 보여준다. 제안한 방법으로 설계했을 때 커패시턴스의 감소하며 동작 속도가 증가함을 알 수 있다.

표 2는 주소가 0~15까지 한 사이클을 실행시켰을 때 파워소비와 첫 번째 비트라인의 지연 시간을 비교한 것이다. 표 2에서 기존의 방법에 비해 속도, 파워소모에서

표 1. Sine값을 0~0.5π 까지 16개로 샘플링한 ROM 데이터

Table 1. 8bit ROM data sampled by 16 from Sine 0 to Sine 0.5π.

주소	기존 방법	제안된 방법
0	0001100	0001100
1	0011000	0010100
2	0100101	0111101
3	0110000	0010101
4	0111100	0001100
5	1000111	1111011
6	1010001	0010110
7	1011010	0001011
8	1100010	0111000
9	1101010	0001000
10	1110000	0011010
11	1110110	0000110
12	1111010	0001100
13	1111101	0000111
14	1111111	0000010
15	1111111	0000000

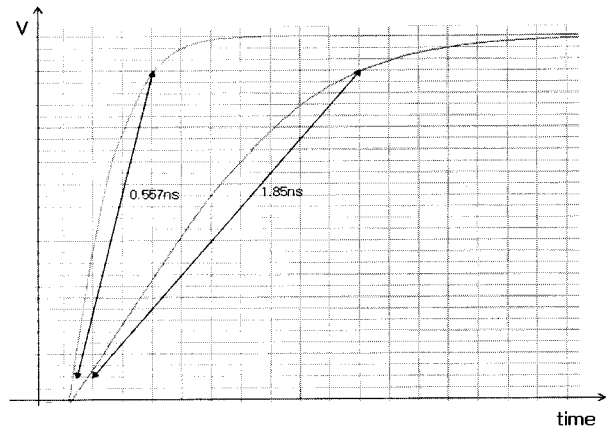


그림 3. 첫 번째 비트라인이 충전되는 파형

Fig. 3. Charging waveform of 1st bit line.

표 2. 표 1에서 사용된 Sine값 저장 예제를 제안한 방법과 기존의 방법으로 설계하였을 때 결과.

Table 2. Comparison with conventional and proposed method using table 1 value.

	기존	제안	이득
지연시간(ns)	1.85	0.557	68%
파워소모(mW)	6.6×10^{-11}	4.2×10^{-11}	36%

표 3. FIR필터의 저장계수에서 저장 셀 '1'의 개수

Table 3. Number of store cell '1' in store coefficient of FIR filter.

FIR필터 196차	기존 방법을 이용하였을 때 '1'의 개수	제안한 방법을 이용하였을 때 '1'의 개수	'1'의 감소효율 %
통과대역 0~0.03π	720	99	86.3
통과대역 0~0.05π	675	137	79.7
통과대역 0~0.1π	678	192	71.7
통과대역 0~0.25π	706	412	41.6

각각 68%, 36% 이득이 있음을 보인다.

표 2에서 ROM은 저장 셀 '1'의 개수에 따라 커패시턴스의 영향으로 성능이 차이가 있는 것을 확인 할 수 있고 저장 셀 '1'의 개수가 작을 수록 성능 좋아짐을 예측할 수 있다. 표 3은 버터워즈 계수를 사용한 FIR필터에서 ROM에 계수가 기존의 방법으로 저장된 셀 개수와 제안한 알고리즘을 적용한 저장 셀 개수를 보여준다. 표 3에서와 같이 제안한 알고리즘을 이용하여 데이터를 변환시키면 저장 셀 '1'의 개수가 감소하고 따라서 기존의 설계 방법보다 효율적인 설계가 가능하다.

V. 결 론

FIR필터 계수나 FFT의 회전계수를 ROM에 저장하기 위해 ROM 설계할 경우 저장 셀 '1'의 개수가 ROM의 파워소비와 속도와 밀접한 관련이 있다. 순차적인 주소 접근 특징을 이용하여 제안한 알고리즘을 이용하여 저장 셀을 줄이는 ROM 설계방법이 요구된다. 특히 저대역 FIR필터의 경우 표 3과 같이 저장 셀 '1'의 개수가 크게 감소하므로 제안한 방법을 이용하는 것이 바람직하다.

참 고 문 헌

[1] 양병도, 김이섭, “더미 비트라인을 이용한 저전력 전하공유 룬”, *대한전자공학회 학회지 제 41권 SD 편 5호 논문 2004-41SD-5-12*, pp.99-105, 2004.
 [2] 정기상, 김용은, 조성익, “면적 및 전력 감소를 위한 효율적인 ROM 설계” *전기공학 학회지 56-11-24*, pp.2017-2022, 2007. 11.
 [3] Chun, J, Enam. S. Kang. D. Remund, B. A, “pipelined 650 MHz GaAs 8 K ROM with translation logic” *Gallium Arsenide Integrated Circuit (GaAs IC) Symposium*, pp.139-142, Oct. 1990.
 [4] 변산호, 류성영, 최영길, 노형돈, 남현석, 노정진, “시그마-델타 A/D 컨버터용 디지털 데시메이션 필터 설계”, *대한전자공학회 학회지 제 44권 SD편 2호 논문 2007-44SD-2-6*, pp. 34-45, 2007. 2

저 자 소 개



김 용 은(학생회원)
 2005년 전북대학교 전자정보공학부 학사 졸업.
 2007년 전북대학교 전자공학과 석사 졸업
 2007년~현재 전북대학교 전자정보공학부 박사 과정
 <주관심분야 : 아날로그 회로 설계 및 CMOS 고속 인터페이스 회로 연구>



김 강 직(학생회원)
 2005년 전북대학교 전자정보공학부 학사 졸업.
 2007년 전북대학교 전자공학과 석사 졸업
 2007년~현재 전북대학교 전자정보공학부 박사 과정
 <주관심분야 : 아날로그 회로 설계 및 CMOS 고속 인터페이스 회로 연구>



조 성 익(정회원)
 1987년 전북대학교 전기공학과 학사 졸업
 1989년 전북대학교 전기공학과 석사 졸업.
 1994년 전북대학교 전기공학과 박사 졸업.

1996년~2004년 Hynix 반도체 메모리 연구소 책임연구원
 2004년~현재 전북대학교 전자정보공학부 조교수
 <주관심분야: 저전압/고속 Graphic DRAM, Low-voltage Low-power analog circuit, High speed data Interface circuit, ADC/DAC, Filter, PLL/DLL >



정 진 균(정회원)
 1985년 전북대학교 전자공학 학사 졸업
 1989년 미국 미네소타 주립대학 전기공학 석사 졸업
 1991년 미국 미네소타 주립대학 전기공학 박사 졸업

<주관심분야 : 통신, 컴퓨터, 신호처리, 반도체>