

# 3~5 GHz 광대역 저전력 Single-Ended IR-UWB CMOS 수신기

## A Low Power Single-End IR-UWB CMOS Receiver for 3~5 GHz Band Application

하민철 · 박병준 · 박영진\* · 어윤성

Min-Cheol Ha · Byung-Jun Park · Young-Jin Park\* · Yun-Seong Eo

### 요 약

본 논문에서는 IR-UWB 통신에 적합한 저전력, 저복잡도의 CMOS RF 수신기를 제작하였다. 제안된 IR-UWB 수신기는 비교적 구조가 간단한 non-coherent demodulation 방식으로 설계, 제작되었다. 설계된 IR-UWB 수신기는 single-ended 2-stage LNA, S2D, envelop detector, VGA, comparator로 구성되어 있으며, 0.18  $\mu\text{m}$  CMOS 공정 기술을 이용하여 단일 칩으로 설계, 제작하였다. 측정 결과 data rate이 1 Mbps일 때 BER값이  $10^{-3}$  조건에서 sensitivity는  $-80.8$  dBm이다. 제작된 단일 칩 CMOS IR-UWB 수신기의 전류 소모는 전압이 1.8 V일 때, 13 mA이며 23.4 nJ/bit의 성능을 갖는다.

### Abstract

A fully integrated single ended IR-UWB receiver is implemented using 0.18  $\mu\text{m}$  CMOS technology. The UWB receiver adopts the non-coherent architecture, which simplifies the RF architecture and reduces power consumption. The receiver consists of single-ended 2-stage LNAs, S2D, envelope detector, VGA, and comparator. The measured results show that sensitivity is  $-80.8$  dBm at 1 Mbps and BER of  $10^{-3}$ . The receiver uses no external balun and the chip size is only 1.8x0.9 mm. The consumed current is very low with 13 mA at 1.8 V supply and the energy per bit performance is 23.4 nJ/bit.

Key words : Impulse Radio UWB, Ultra Wide Band(UWB) Receiver, CMOS Receiver, UWB LNA

### I. 서 론

최근 각종 산업에서 신규 무선 기술이 개발되고 있으며, 무선 서비스에 대한 수요가 급격히 확대됨에 따라 주파수에 대한 수요가 폭발적으로 증가되고 있다. 이로 인해 유한한 자원인 주파수의 가치는 점차 높아지고 있으며, 효율적으로 주파수를 사용할 수 있는 UWB(Ultra Wide Band) 통신 방식이 주목받고 있다.

IR-UWB(Impulse Radio-Ultra Wide Band) 통신 방식은 기존의 무선 통신 방식들과 달리 반송파가 필

요 없고 넓은 주파수 대역을 사용하는 나노 초(Nano Second) 이내의 짧은 펄스를 이용하여 통신이 이루어지기 때문에 sensor network처럼 low data rate의 통신 시스템을 구현할 경우 저전력 통신 시스템을 구현할 수 있다. 또한, 기존의 무선 통신 방식들과 상호 간섭 없이 주파수 자원을 효율적으로 사용할 수 있어 WPAN(Wireless Personal Area Network)용 data 통신 시스템 및 위치 인식을 위한 ranging 시스템으로 관심을 받고 있다. IR-UWB 통신 방식의 통과 대역 주파수는 그림 1과 같이 3.1~10.6 GHz의 주파수

「이 연구는 한국전기연구원 연구비의 지원으로 연구되었음.」

광운대학교 전자공학과(Department of Electronic Engineering, Kwang Woon University)

\*한국전기연구원(Korea Electro Technology Research Institute)

· 논문 번호 : 20090601-053

· 수정완료일자 : 2009년 7월 14일

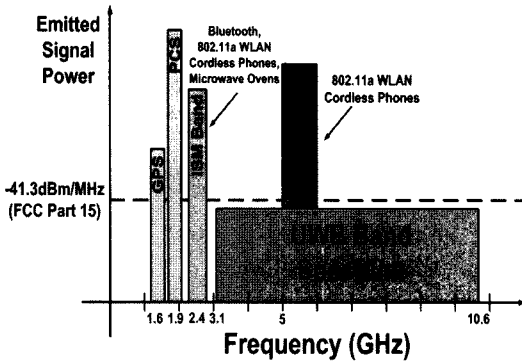


그림 1. UWB 통신에 할당된 주파수 대역  
Fig. 1. The spectrum allocated for UWB communication.

대역으로 정의되고 있지만 5~6 GHz를 사용하는 무선 LAN의 통과 대역 주파수 대역과 겹치기 때문에 이 주파수를 제외한 3.1~5 GHz의 저주파 대역과 6~10 GHz의 고주파 대역으로 구분된다<sup>[1]</sup>. 무선 통신을 위한 수신기는 일반적으로 입력 신호와의 동기 여부에 따라 동기 방식의 수신기와 비동기 방식의 수신기로 구분된다. 동기 방식의 수신기는 송신기와 정확한 동기와 BB(Base Band) digital에서 control이 필요하다. 또한 clock generator, pulse generator, synchronizer 등의 추가 회로들이 필요하기 때문에 추가적인 회로에 의해 시스템의 전력 소모와 복잡성이 증가하는 결과를 나타낸다. 그러나 비동기식 수신기는 수신기 구조가 간단하여 저비용으로 수신기를 구현할 수 있으며, low data rate의 데이터 통신을 할 경우 저전력으로 구동이 가능하다는 장점이 있다<sup>[2][3]</sup>.

본 논문에서는 3.1~5 GHz 저주파 대역에서 동작하는 OOK(On-Off Keying) 방식의 비동기식 IR-UWB 수신기를 설계 및 제작하였다. 제안된 수신기는 LNA(Low Noise Amplifier)와 envelop detector, VGA (Variable Gain Amplifier), comparator 등으로 구성되며, 외부 소자인 Balun의 제거를 위해 S2D(Single to Differential) 회로를 설계하였다. IR-UWB 수신기는 0.18  $\mu\text{m}$  CMOS 공정 기술을 이용하여 단일 칩 구현하였으며, CoB(Chip on Board) 형태로 제작, 측정하였다.

## II. UWB 수신기 구조

그림 2는 제안된 IR-UWB 수신기의 구조를 나타

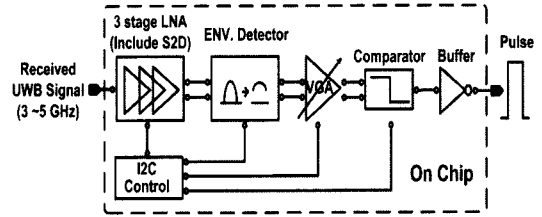


그림 2. IR-UWB 수신기 구조  
Fig. 2. Architecture of IR-UWB receiver.

낸 그림이다. 3~5 GHz 주파수 대역의 UWB 신호는 수신 안테나에 의해 수신되어 수신기의 입력으로 인가된다. 수신된 신호는 광대역의 충분한 이득 특성을 가지는 LNA를 거쳐 S2D 회로에 의해 differential 신호로 변환된다. 안테나에 의해 수신된 UWB 신호는 single-ended 신호이며 이를 differential 신호로 만들어 주기 위한 외부 소자가 별도로 필요하지만 제안된 수신기는 LNA 다음에 S2D 회로를 설계하여 외부 소자의 사용을 줄였다. S2D 회로에 의해 differential 신호 형태로 변환된 신호는 carrier 신호를 제거한 impulse 형태의 envelop 신호를 검파하기 위해 envelop detector로 입력된다. Envelop detector를 통해 검출된 impulse 형태의 envelope 신호는 시스템의 충분한 dynamic range를 확보하기 위해 VGA의 입력으로 인가되며, VGA에서 적당한 크기로 조절된 impulse 신호는 comparator에 인가되어 일정한 문턱 전압 이상의 신호가 감지되면 일정한 시간 폭을 갖는 digital pulse로 출력된다.

## III. UWB 수신기 설계

### 3-1 LNA(Low Noise Amplifier) and S2D 회로 설계

LNA는 수신기의 제일 앞에 위치하여 잡음 성분은 억제하고 원하는 신호만 증폭하는 역할을 한다. 그림 3은 제안된 LNA와 S2D 회로를 나타낸 그림이다. 제안된 수신기의 amplifier stage는 3~5 GHz의 광대역에서 충분한 이득 특성을 확보하여 안정적인 수신 특성을 얻기 위해 2-stage single-ended LNA와 S2D 회로로 구성되며 LNA는 conventional inductively source degenerated된 기본 구조로 설계하였다<sup>[4]</sup>. 또한, chip 면적을 줄이기 위해 chip inductor를 사용하는 대신 bonding wire를 이용하여 degeneration inductor를 구현

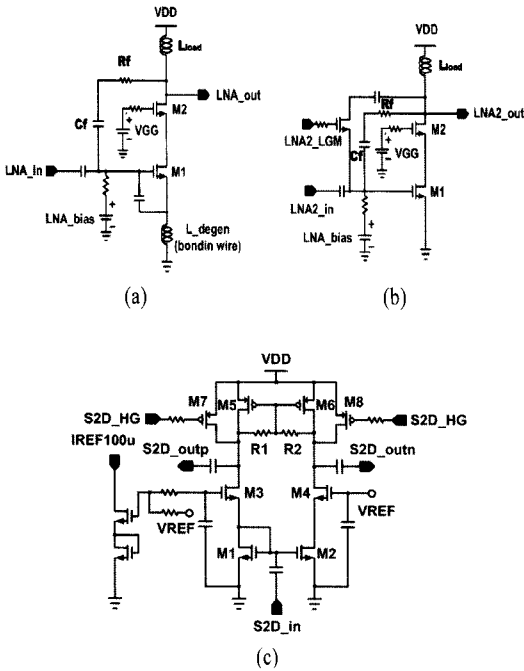


그림 3. (a) First stage LNA 회로도, (b) Second stage LNA 회로도, (c) S2D 회로도  
 Fig. 3. (a) Schematic of first stage LNA, (b) Schematic of second stage LNA, (c) Schematic of S2D.

하였다<sup>[5]</sup>. LNA의 이득 특성을 광대역으로 matching 하기 위해 resistive shunt feedback 구조를 사용하여 설계하였다<sup>[4]</sup>. LNA의 load로 사용된 inductor를 shunt peaked load로 사용하여 보다 높은 주파수에서 동작할 수 있도록 설계하였다. 설계된 LNA는 low-gain mode을 두어 입력 신호의 크기에 대한 선형성을 증대시켰으며 LNA에서 증폭된 single-ended 신호는 S2D 회로에 인가되어 common gate path와 common source path로 나누어져서 differential 신호로 변환된다. S2D 회로의 load는 chip 면적을 줄이기 위해 active load(M5, M6)와 저항(R1, R2)을 병렬로 연결해 사용하였다.

### 3-2 Envelop Detector 회로 설계

제안된 비동기식 수신기에 수신된 RF 신호를 복조(demodulation)하기 위해 envelope detector를 설계하였다. Impulse 형태의 UWB 신호는 envelop 신호와 carrier 신호의 곱으로 이루어져 있으며, carrier 신호를 제거함으로써 envelop 신호를 검파할 수 있다. 그림

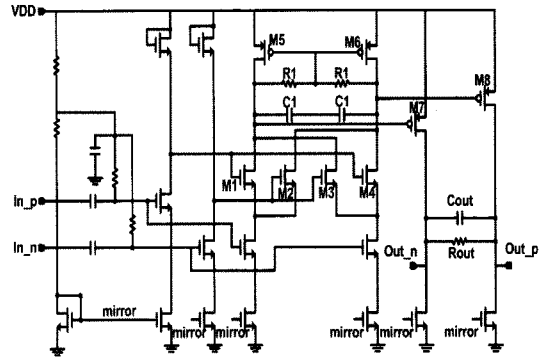


그림 4. Envelope detector 회로도  
 Fig. 4. Schematic of envelop detector.

4는 제안된 envelop detector 회로를 나타낸 그림이다. Envelope detector는 differential 구조를 이용하여 self bias 되도록 설계하였으며, 입력에 인가된 신호는 M1~M4 트랜지스터에 의해 증폭된다. Envelop 신호를 검파하기 위해서 R1 저항과 C1 커패시터에 의한 1차 RC low pass filter와 Rout 저항과 Cout 커패시터에 의한 2차 RC low pass filter에 의해 고주파의 carrier신호가 제거된다. Carrier 신호가 제거된 envelop 신호는 주파수가 down conversion되어 baseband의 신호로 변환된다. 설계된 envelope detector의 최소 감도는 peak 전압을 기준으로 7 mV이며, 이는 RF 전력으로 환산하면 대략 -44 dBm이다.

### 3-3 VGA(Variable Gain Amplifier) 회로 설계

VGA는 수신기의 dynamic range를 극대화 시키는 회로로써 수신되는 신호의 크기는 기저국과의 상대적인 위치와 시간, 통신 환경 등에 따라 변화하므로 baseband에 일정한 크기의 신호를 주기 위해서는 수신되는 신호의 크기에 따라 가변 이득 특성을 갖는 VGA 회로가 필요하다. 그림 5는 제안된 VGA 회로를 나타낸 그림이다. Cascode 구조를 기본 구조로 사용하여 설계하였으며, M1과 M2 트랜지스터는  $V_{DS1}$ 과  $V_{DS2}$ 에 비례하여 동작하기 때문에 선형적인 가변 이득 특성을 얻기 위해 triode region에서 동작한다<sup>[6]</sup>. VGA의 이득은 대략  $gm \times R1$ 으로 표현될 수 있으며, M3과 M4 트랜지스터의 gate 전압( $V_{cont}$ )을 조절해서 VGA의 이득을 선형적으로 제어할 수 있다. 또한, VGA는 differential 구조를 이용해서 설계되었기 때문에 differential 신호 처리에 영향을 미치는 common

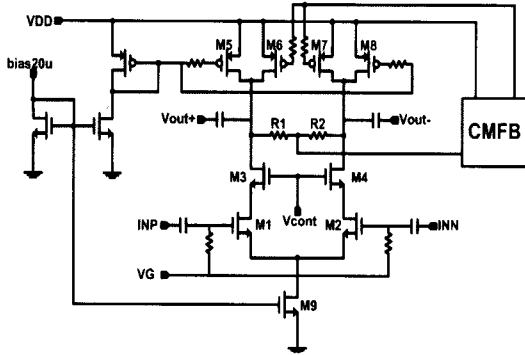


그림 5. VGA core 회로도  
Fig. 5. Schematic of VGA core.

mode 출력 레벨이 안정되어야 한다. R1과 R2 저항은 common mode 전압을 감지하여 common mode feedback(CMFB) 회로를 통해 설계 시 설정된 기준 DC 전압으로 조절해 주는 역할을 한다. Chip 면적을 줄이기 위해 M5~M8 PMOS 트랜지스터를 이용하여 active load를 설계하였다.

### 3-4 Comparator 회로 설계

LNA에서 VGA까지 연산된 RF 및 아날로그 신호가 baseband에 인가되기 위해서는 디지털 신호로 변환해 주는 회로가 필요하다. 그림 6은 디지털 신호로 변환해 주는 역할을 하는 comparator 회로를 간단히 나타낸 그림이다. 제안된 comparator는 differential amplifier와 buffering inverter로 구성되어져 있다. Differential amplifier의 positive(+) 입력에는 VGA 출력을, negative(-) 입력에는 기준 전압을 인가하여 두 신호를 비교한다. Positive 입력이 negative 입력보다 더 클 경우 high의 값이 출력되며, 반대로 더 낮을 경우에는 low의 값이 출력된다. 기준 전압은 resistor

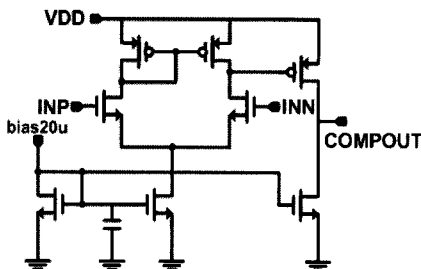


그림 6. Comparator core 회로도  
Fig. 6. Schematic of comparator core.

bank를 조정함으로써 가변할 수 있다.

### IV. IR-UWB CMOS 수신기의 측정 결과

그림 7은 실제 제작된 IR-UWB 수신기를 보여주고 있다. 제작된 IR-UWB 수신기는 0.18  $\mu\text{m}$  CMOS 공정 기술을 이용하여 단일 칩으로 제작되었으며, RF front-end를 측정하기 위한 별도의 pad가 없기 때문에 S2D를 포함한 3-stage LNA의 gain, return loss, noise figure의 시뮬레이션 결과들은 그림 8에 나타내었다. 3-stage LNA의 시뮬레이션 결과 3~5 GHz 주파수 대역에서 28 dB 이상의 이득 특성과 -10 dB 이하의 반사 손실 특성, 3.4 dB 이하의 잡음 지수 특성을 나타냈으며, IIP3는 -21.5 dBm을 나타내었다. 또한, 무선 통신 실험에서 보다 안정적인 수신기의 성능을 나타내기 위해 external LNA(Avago's MGA 86576)를 사용하여 gain을 15 dB 개선한 상태에서 무

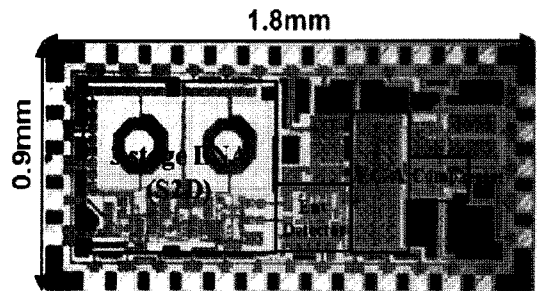


그림 7. IR-UWB 수신기 사진  
Fig. 7. Photographs of IR-UWB receiver.

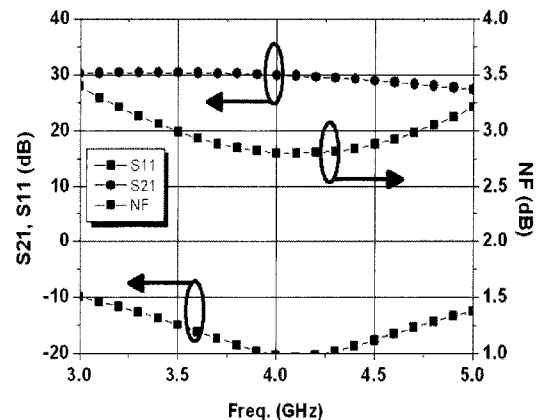


그림 8. 3-stage LNA의 시뮬레이션 결과  
Fig. 8. The simulated S-parameter and NF of 3-stage LNAs.

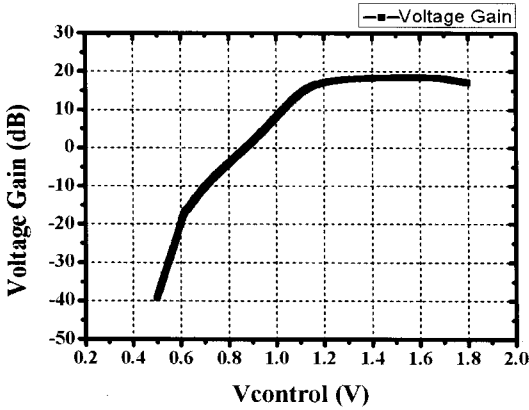


그림 9. IR-UWB 수신기 측정 결과(VGA 출력)  
Fig. 9. Measured results of VGA output.

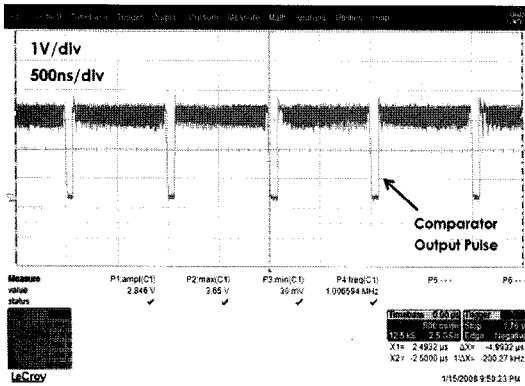


그림 10. IR-UWB 수신기 측정 결과(comparator 출력)  
Fig. 10. Measured results of comparator output.

선 통신 실험을 진행하였으며, 제작된 IR-UWB 수신기의 측정 결과 envelope detector가 검파할 수 있는 최소의 전압은 10 mV이다. 그림 9는 VGA의 Vcont를 0.6~1.2 V까지 가변했을 경우 가변 이득 특성을

표 1. IR-UWB 수신기 성능

Table 1. The summary of the measured results of UWB receiver performance.

Parameter	Measured results
Technology	0.18 $\mu$ m CMOS
BW	3.1~5.1 GHz
Modulation	OOK
Data rate	1 Mbps
Front-end gain	28 dB
Front-end NF	<3.4 dB
Sensitivity @ BER $10^{-3}$	-80.88 dBm
VGA gain(Max)	16 dB
VGA gain range	36 dB
Output pulse width	80 ns
Rx power consumption	1.8 V @ 13 mA
Energy/bit	23.4 nJ/bit
Die size	1.8 mm $\times$ 0.9 mm

나타낸 그림이다. VGA의 가변 이득 특성은 -20~16 dB으로 36 dB의 가변 이득 특성 범위를 나타내었다. 그림 10은 digital 모뎀에 인가되는 comparator digital 출력을 측정한 그림이다. IR-UWB 수신기는 송신기와의 무선 통신 실험을 통해 data rate이 1 Mbps일 때 sensitivity가 BER이  $10^{-3}$ 의 조건하에서 -80.8 dBm이다. 또한, 전류 소모는 전압이 1.8 V일 때 13 mA이며, 23.4 nJ/bit의 성능을 갖는다. 표 1은 본 논문에서 설계된 IR-UWB 수신기에 대한 측정 결과를 정리한 것이며, 표 2는 최근 발표된 수신기에 대한 성능을 비교한 것이다.

표 2. 최근 발표된 수신기의 성능 비교

Table 2. Performance comparison.

Ref.	Technology	Modulation	Sensitivity	Data rate	Power	nJ/bit
[7]	N/A	OOK	-100 dBm	5 kbps	40 mW	80
[8]	0.13 $\mu$ m CMOS	MB-OFDM	-71 dBm	480 Mbps	330 mW	0.68
[9]	0.18 $\mu$ m CMOS	OOK, AM	-80 dBm	500 kbps	2.8 mW	5.5
[10]	0.18 $\mu$ m CMOS	OOK	-65 dBm	1 Mbps	2.6 mW	2.6
[11]	0.18 $\mu$ m CMOS	PPM	N/A	20 Mbps	29 mW	1.44
[12]	90 nm CMOS	PPM	-95 dBm	0~16.7 Mbps	35.8 mW	2.5
This work	0.18 $\mu$ m CMOS	OOK	-80.88 dBm	1 Mbps	23.4 mW	23.4

## V. 결 론

본 논문에서는 0.18  $\mu\text{m}$  CMOS 공정 기술을 이용해서 IR-UWB 수신기를 단일 칩으로 설계, 제작하였다. 제안된 수신기는 광대역 주파수 특성과 충분한 이득 특성을 얻기 위해 2-stage LNA와 S2D 회로, impulse 신호 감지를 위한 envelope detector와 가변 이득을 위한 VGA, 그리고 일정한 문턱 신호 크기 이상이 될 경우 digital 신호로 전환하기 위한 comparator로 구성되어 있다. 전체 IR-UWB 수신기는 송신기와의 무선통신 실험에서 약 10 m의 거리에서 무선 통신이 가능한 것을 확인하였으며, data rate이 1 Mbps일 때 sensitivity  $-80.8$  dB를 나타내었고, 이때 BER은  $10^{-3}$ 의 값을 가진다. 제작된 수신기의 전체 전류소모는 1.8 V 전원에서 13 mA이며, 23.4 nJ/bit의 성능을 갖는다. 제안된 IR-UWB 수신기는 low power wireless sensor network 802.15.3a 규정에 만족하는 것을 확인하였다.

## 참 고 문 헌

[1] "FCC notice of proposed rule making, revision of part 15 of the commission's rule regarding ultra-wideband transmission systems", FCC, Washington DC, ET-docket pp. 98-153.

[2] S. Tiuraniemi, L. Stoica, A. Rabbachin, and I. Oppermann, "Front-end receiver for low power, low complexity non-coherent UWB communication system", *Ultra-Wideband, ICU 2005. IEEE International Conference on*, pp. 339-343, Sep. 2005.

[3] Yuanjin Zheng, Yan Tong, Jiangnan Yan, Yong-Ping Xu, Wooi Gan Yeoh, and Fujiang Lin, "A low power noncoherent CMOS UWB transceiver ICs", *Radio Frequency Integrated Circuits(RFIC) Symposium 2005, Digest of Papers. 2005 IEEE*, pp. 347-350, Jun. 2005.

[4] C. Garuda, Xian Cui, Po-Chih Lin, Seok Joo Doo, Pengbei Zhang, and M. Ismail, "A 3~5 GHz fully differential CMOS LNA with dual-gain mode for wireless UWB applications", *48th Midwest Symposium on Circuits and Systems*, pp. 790-793, Aug. 2005.

[5] S. S. Mohan et al., "Bandwidth extension in CMOS with optimized on-chip inductors", *IEEE J. Solid-State Circuits*, vol. 35, no. 3, pp. 346-355, Mar. 2000.

[6] Hui Dong Lee, Kyung Ai Lee, and Songcheol Hong, "Wideband VGAs using a CMOS transistor in triode region", *Microwave Conference, 2006 36th European*, pp. 1449-1452, Sep. 2006.

[7] B. P. Otis, Y. H. Chee, and J. Rabaey, "A 400 uW-RX, 1.6 mW-TX superregenerative transceiver for wireless sensor networks", in *IEEE ISSCC Dig. Tech. Papers*, p. 396, Feb. 2005.

[8] T. Aytur, H.-C. Kang, R. Mahadevappa, M. Altintas, S. ten Brink, T. Diep, C.-C. Hsu, F. Shi, F.-R. Yang, C.-C. Lee, R.-H. Yan, and B. Razavi, "A fully integrated UWB PHY in 0.13  $\mu\text{m}$  CMOS", in *IEEE ISSCC Dig. Tech. Papers*, pp. 418-427, 2006.

[9] Y.-H. Chen, C.-W. Wang, C.-F. Lee, T.-Y. Yang, C.-F. Liao, G.-K. Ma, and S.-I. Liu, "A 0.18  $\mu\text{m}$  CMOS receiver for 3.1 to 10.6 GHz MB-OFDM UWB communication systems", in *RFIC Symp. Dig. Papers*, Apr. 2006.

[10] D. C. Daly, A. P. Chandrakasan, "An energy efficient OOK transceiver for wireless sensor networks", in *IEEE Proc. Radio Frequency Integrated Circuits Symp.*, Jun. 2006.

[11] J. Ryckaert, M. Badaroglu, V. D. Heyn, G. V. der Plas, P. Nuzzo, A. Baschiroto, S. D'Amico, C. Desset, H. Suys, M. Libois, B. V. Poucke, P. Wambacq, and B. Gyselinckx, "A 16 mA UWB 3-to-5 GHz 20 Mpulses/s quadrature analog correlation receiver in 0.18  $\mu\text{m}$  CMOS", in *IEEE ISSCC Dig. Tech. Papers*, pp. 368-377, Feb. 2006.

[12] Fred S. Lee, P. Chandrakasan, "A 2.5 nJ/bit 0.65 V pulsed UWB receiver in 90  $\mu\text{m}$  CMOS", in *IEEE J. Solid-State Circuits*, vol. 42, no. 12, pp. 2851-2859, Dec. 2007.

하 민 철



2007년 2월: 광운대학교 전자재료 공학과 (공학사)  
2009년 2월: 광운대학교 전자공학과 (공학석사)  
2009년 3월~현재: 광운대학교 전자공학과 박사과정  
[주 관심분야] CMOS RF 회로 설계,

UWB Receiver 설계

박 영 진



1997년 2월: 중앙대학교 전자공학과 (공학사)  
1999년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)  
2002년 2월: University of Karlsruhe 전기전자과 (공학박사)  
2002년 11월~현재: 한국전기연구원

원 전기정보망기술연구그룹 책임연구원

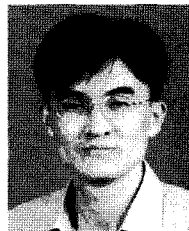
[주 관심분야] Impulse Radio Communications, Impulse UWB Image Radar, Short Range Automotive Radar, Digital Beam Forming(DBF), Power Line Communications(PLC)

박 병 준



2009년 2월: 광운대학교 전자공학과 (공학사)  
2009년 3월~현재: 광운대학교 전자공학과 석사과정  
[주 관심분야] CMOS RF 회로 설계

어 윤 성



1993년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)  
1995년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)  
2001년 2월: 한국과학기술원 전기 및 전자공학과 (공학박사)  
2000년 8월~2002년 8월: LG 전자

기술원 RF team 선임연구원

2002년 9월~2005년 8월: 삼성종합기술원 Chip Solution Center 책임연구원

2005년 9월~현재: 광운대학교 전자공학과 부교수

[주 관심분야] CMOS RF Transceiver 설계, CMOS Power Amp 설계