

---

# G-PON에서 최대 링크 대역폭까지 할당이 가능한 DBA 알고리즘의 구현

정 해\* · 홍정호\*\*

Implementation of a DBA Algorithm with the Maximum Link Bandwidth Allocation  
in the G-PON

Hae Chung\* · Jung-Ho Hong\*\*

---

본 연구는 금오공과대학교 학술연구비에 의하여 연구된 논문

---

## 요 약

TDMA PON 시스템에서 서로 다른 ONU들이 상향으로 데이터를 효율적으로 전송하기 위해서 동적 대역 할당 방식은 필수적이라 할 수 있다. 본 논문에서는 하향과 상향이 각각 2.5/1.25 Gbps 속도를 갖는 G-PON OLT를 위한 DBA 처리기를 구현한다. 이 처리기는 매 사이클 타임마다 각 ONU로부터 전송되는 상향 프레임의 대역 요청 메시지를 종합하고 트래픽의 우선순위와 공정성을 고려하여 Alloc-ID 단위로 대역 할당을 수행한다. 제안된 알고리즘에서는 링크의 효율을 올리기 위하여 한 사이클 타임을 여러 개의 G-PON 프레임 ( $m \times 125 \mu s$ )으로 구성한다. 특히, 어떤 ONU에게 할당하고자 하는 대역이 프레임과 프레임 사이의 경계에 걸쳐 있을 때에도 추가적인 오버헤더가 없도록 하는 방법을 사용하기 때문에 링크의 효율이 높다. 이로 인하여 어떤 ONU에게 0에서 상향 대역의 전체에 이르기까지 대역을 융통성 있게 할당할 수 있게 된다. 제안된 DBA 처리기는 FPGA로 구현하며, 계측기를 통하여 ONU들에 대한 대역 할당 과정을 보여준다.

## ABSTRACT

In the TDMA PON system, the DBA is essential for ONUs to send data efficiently to the upstream. In this paper, we implement a DBA processor for the G-PON OLT with downstream and upstream rate, 2.5 and 1.25 Gbps, respectively. The processor collects bandwidth request messages from ONUs at every cycle time and allocates properly bandwidth to each Alloc-ID with considering priority and fairness for traffics. In the proposed DBA algorithm, one cycle time consists of multiple G-PON frames ( $m \times 125 \mu s$ ) for high link efficiency. In particular, the link efficiency is higher because the algorithm adopts a method that an additional overhead is eliminated when an allocated bandwidth is laid between two G-PON frames for an ONU. This enables that the processor flexibly allocates the bandwidth from zero to the maximum link capacity for an ONU. The proposed DBA processor is implemented with the FPGA and shows bandwidth allocating processes for ONUs with logic analyzer.

## 키워드

G-PON; DBA; Cycle time; Time slot assignment

---

\* 금오공과대학교 전자공학부

\*\* 아이쓰리시스템(주)

접수일자 2009. 03. 09

심사완료일자 2009. 04. 13

## I. 서 론

B-PON (Broadband Passive Optical Network)으로 시작된 TDMA (Time Division Multiple Access) PON은 IP (Internet Protocol)의 보급이 활성화되면서 E-PON (Ethernet PON)의 등장을 초래하였고 현재 가장 넓게 사용되고 있다. 최근 들어 IPTV (IP Television), VOD (Video On Demand), 인터넷폰 등 다양한 서비스들이 등장하면서 현재 상용화 되어있는 1 Gbps E-PON의 전송률로는 가입자에게 다양한 양질의 서비스를 제공하기 어렵게 되면서, 비대칭 2.48832 Gbps G-PON (Gigabit Passive Optical Network)과 10 Gbps E-PON에 대한 관심이 대두되고 있다.

방송통신위원회에 따르면, 오는 2012년까지 초고속 인터넷 서비스를 기가급으로 고도화한다는 정책 방향을 갖고 관련 사업자의 기가급 인터넷 시범서비스 및 상용서비스를 유도한다는 방침이 발표되었다 [1]. 이러한 FTTH (Fiber to the Home) 기술은 댁내까지 광케이블을 통하여 신호를 전송하는 기술로서 고화질 광대역 영상 서비스를 원활히 지원하기 위한 대안으로 자리 잡고 있다 [2].

G-PON은 2003년과 2004년에 걸쳐 ITU-T G.984.1 ~ G.984.4에 걸쳐 표준안이 완료되었다. 표준안에 따르면 OLT (Optical Line Terminal) 한 대에 다수의 ONU (Optical Network Unit)들이 접속되어 있는 절대 다 구조를 가지며, 한 대의 OLT 장비가 최대 128대의 ONU에 대하여 QoS (Quality of Service)를 지원하고, 상·하향 최대 2.48832 Gbps의 비대칭 전송률을 보장하고 있으며, ATM (Asynchronous Transfer Mode) 셀과 GEM (G-PON Encapsulation Method) 프레임을 모두 수용할 수 있으며, 접속방식은 전송 속도적인 측면과 다수의 ONU에 대하여 다중화를 수행하기에 적합한 TDMA 방식을 사용하고 있다.

G-PON의 하향 전송의 경우 125  $\mu$ s 주기를 갖는 고정된 길이의 프레임을 방송하면 ONU들은 자신에게 해당하는 부분만 선택적으로 수신하고, 상향 전송의 경우 각각의 ONU들이 가변 길이를 갖는 프레임을 버스트 형식으로 전송한다.

OLT는 서로 다른 ONU가 상향으로 전송하는 프레임들을 충돌 없이 수신할 수 있어야 하고, 다양한 QoS를 지원할 수 있어야 한다. 이러한 여러 사항들을 충족시키기

위해서는 DBA (Dynamic Bandwidth Allocation) 구현이 필수적이며, 현재 G-PON의 DBA는 B-PON의 방식을 참고하고 있으며 [4], 대역 할당 방법에 따라 전체 네트워크의 성능에 큰 영향을 미치기 때문에 정해진 네트워크상에서 좀 더 효율적으로 망을 운영할 수 있는 DBA 알고리즘에 대한 연구가 필요하다.

기존의 DBA 논문에서는 Minimum Rate 우선 보장 및 상황에 따라 임시적으로 타임 슬롯을 할당하는 방식의 알고리즘을 적용하여 시뮬레이션 툴을 사용하여 검증하였다 [5],[6]. 본 논문에서 구현한 DBA 처리기는 다양한 서비스 품질을 지원하기 위해 사이클 타임마다 요청 대역을 각 트래픽의 우선순위에 따라 분류하여 해당하는 메모리에 저장하고, Alloc-ID (Allocation Identifier)마다 대역을 할당하며, 보증대역은 요청한 대역을 보장해 주고, 비보증대역의 경우는 공정성을 준수하기 위하여 비율 할당 방식을 사용한다.

TDMA PON에서 사이클 타임이란 대역을 요청하는 주체들이 해당 OLT에게 한 번씩 상향으로 데이터 (대역 요청신호 또는 사용자 데이터)를 보내도록 허락된 주기를 의미한다. 일반적으로 사이클 타임이 길어지면 상대적으로 물리 계층의 오버헤더가 점유하는 비율이 줄어들어 링크의 효율이 높아진다. 본 논문에서는 링크의 효율을 높이기 위하여 한 사이클 타임을 여러 개의 G-PON 프레임으로 구성하며 [7], 대역 할당 시 프레임 경계부분의 추가적인 오버헤더가 발생하지 않도록 경계조건을 두어 링크의 효율을 높일 수 있는 DBA 알고리즘을 제안한다. 그리고 제안한 알고리즘으로 DBA 처리기를 FPGA에 실제로 구현하고 동작을 검증한다.

본 논문의 구성은 2절에서 G-PON 프레임의 구조 및 DBA 처리기의 개요에 대하여 소개하고, 3절에서는 FPGA를 사용하여 구현된 DBA 처리기의 전체 구조와 모듈별 기능에 대하여 설명한다. 4절에서는 대역 할당의 핵심인 DBA 알고리즘에 대하여 설명하고, 5절에서는 개발보드를 사용하여 실제로 구현된 DBA 처리기의 모듈별 동작검증을 수행한다. 그리고 마지막으로 6절에서 본 논문의 결과를 정리하며 결론을 맺는다.

## II. G-PON 프레임의 구조 및 DBA 처리기의 개요

TDMA 방식 기반의 G-PON은 상·하향 대칭 및 비대칭 전송률을 지원한다. G-PON의 하향 프레임이 2.48832 Gbps의 전송률을 가질 경우, 매 125 μs 주기로 38,880 바이트의 길이를 가지며 모든 ONU들에게 방송하는 형식으로 전달되지만, 상향 프레임 전송의 경우 0.15552 Gbps에서 2.48832 Gbps에 이르기 까지 다양한 전송률을 가질 수 있고, 가변적인 프레임의 길이를 가지며 베스트 형태로 전달된다. 하향 프레임의 구조는 그림 1과 같이 크게 오버헤더인 PCBd (Physical Control Block downstream) 와 유료부하로 나누어진다. PCBd는 다시 고정 길이부와 가변길이부로 나누어지며, 전자의 경우는 Psync (Physical Synchronization) 4 바이트, Ident (Identification) 4 바이트, PLOAMd (Physical Layer OAM downstream) 13 바이트, BIP (Bit Interleaved Parity) 1 바이트, PLend (Payload length downstream) 8 바이트로 구성되며, 후자의 경우는 US BW MAP (Upstream Bandwidth MAP)으로 그 길이는 Alloc-ID의 수에 따라 8의 배수 바이트로 이루어진다. 특히 Access 필드는 해당 ONU마다 할당된 대역에 관한 정보를 담고 있다. 마지막으로 유료부하는 ATM 셀과 GEM 프레임이 삽입되는 구간으로 나누어져 있다.

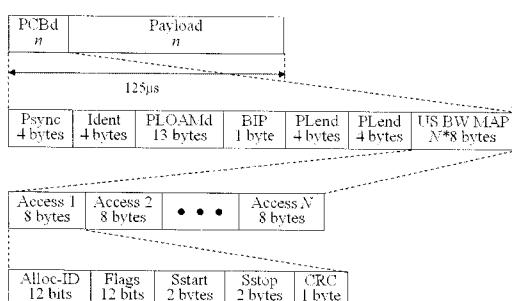


그림 1. 하향 프레임 구조  
Fig. 1. Downstream frame structure.

대역을 할당하는 방법으로, 트래픽의 종류에 관계없이 총 대역을 활성화된 ONU의 수로 나누어 할당하는 정적 방식과 트래픽별 우선순위에 의해서 할당하는 동적 방식이 있다. 정적 할당방식을 사용할 경우, 대역을 요청하지 않은 ONU에 대해서도 링크의 용량을 할당해야 하

고 더 많은 대역을 요청하는 ONU에게는 일정한 용량만 제공해야 하기 때문에 링크효율의 저하를 초래한다. 따라서 OLT가 ONU에게 유통성 있게 대역을 제공하기 위해서는 트래픽의 우선순위 별로 요청대역이 존재하는 Alloc-ID에 대해서 효율적으로 대역을 할당하는 DBA 알고리즘이 필요하다. DBA 처리기가 대역을 할당하기 위해서는 각각의 ONU가 Alloc-ID 마다 큐 길이의 정보를 전달하여야 한다. 이러한 정보는 DBRu (Dynamic Bandwidth Report upstream)라고 하는 상향 프레임의 오버헤더를 통하여 전달되며 그림 2는 이것의 구조를 보여준다.

ONU는 하향 프레임 US BW MAP의 Flags 필드 12비트 중 7 번째, 8 번째 비트를 참조하여 DBRu 모드를 결정한다. 이 두 비트가 '00'으로 기록 되어 있을 경우 상향 프레임 전송 시 DBRu를 보내지 않고, '01'의 경우 Mode 0로 각 T-CONT (Transmission Container) 버퍼에 저장된 데이터의 총 량을 1 바이트로 표현하고, '10'의 경우 Mode 1로 첫 번째 리포트는 T-CONT 버퍼에 들어있는 PCR (Peak Cell Rate) 토큰의 총량을, 두 번째 리포트는 SCR (Sustained Cell Rate)의 총량을 각 1 바이트씩 총 2 바이트로 표현한다. 마지막 '11'의 경우는 Mode 2로 첫 번째는 Assured BW에 대한 PCR토큰, 두 번째는 Assured BW에 대한 SCR토큰, 세 번째는 Non-assured BW에 대한 PCR토큰, 네 번째는 Best-effort BW에 대한 PCR토큰으로, 각 1 바이트씩 총 4 바이트로 구성된다. T-CONT 버퍼에 대기 중인 데이터의 크기는 비선형 코드로 변환되어 DBRu 필드에 기입된다 [2].

Mode 0:

Alloc-ID 12 bits	MI 2b	MI 2b	Field1 8 bits	CRC-8 8 bits
---------------------	----------	----------	------------------	-----------------

Mode 1:

Alloc-ID 12 bits	MI 2b	MI 2b	Field1 8 bits	Field2 8 bits	CRC-8 8 bits
---------------------	----------	----------	------------------	------------------	-----------------

Mode 2:

Alloc-ID 12 bits	MI 2b	MI 2b	Field1 8 bits	Field2 8 bits	Field3 8 bits	Field4 8 bits	CRC-8 8 bits
---------------------	----------	----------	------------------	------------------	------------------	------------------	-----------------

그림 2. DBRu 모드에 대한 3 가지 보고형식  
Fig. 2. Three report formats for the DBRu Mode.

OLT가 지원하지 않는 DBRu 모드에 대한 전송을 ONU에게 지시하였을 경우, ONU는 해당 모드를 지원하지 않더라도 지시한 모드의 형식에 맞게 DBRu필드를

할당하여 OLT로 응답해야만 한다. 그림 2는 DBRu 모드에 대한 3 가지 보고형식에 대하여 나타내고 있다.

DBA 처리기는 표준안에서 제시하고 있는 사항들을 만족할 수 있어야 하며, 대역을 효율적으로 사용할 수 있는 알고리즘이 DBA의 핵심이라고 할 수 있다. G-PON은 다양한 서비스 품질을 지원하기 위하여 트래픽의 종류를 그림 3과 같이 고정대역 (Fixed BW), 보장대역 (Assured BW), 비보장대역 (Non-assured BW), 최선형대역 (Best effort BW)의 4가지 대역 우선순위를 두어 분류하고 있다 [8]. 앞의 고정대역과 보장대역의 합을 보증대역 (guaranteed bandwidth)라고 하고 OLT는 우선적으로 대역을 할당해 주어야 하며, 비보장대역과 최선형대역을 비보증대역 (non-guaranteed bandwidth)라고 하며 대역 할당을 반드시 보장해 주지는 않는다.

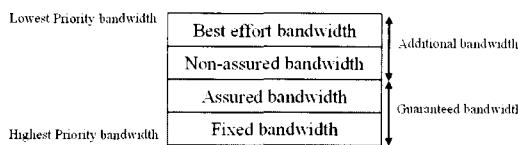


그림 3. 승인 할당에 대한 대역 우선순위  
Fig. 3. Priority of bandwidth for grant allocation.

분류 기준으로 지역에 민감한 음성이나 영상과 같은 실시간 서비스가 필요한 경우는 우선순위가 가장 높은 고정대역에 해당하고, 지역에 덜 민감하지만 지속적인 대역보장이 필요한 트래픽은 보장대역 서비스로 분류하며, 가장 우선순위가 낮은 서비스인 최선형대역은 이메일과 같은 것을 위한 서비스로 분류하고 있다.

OLT는 상향으로 전송된 모든 ONU의 요청대역을 사이클 타임 주기로 분석하여 하향 프레임의 US BW MAP 필드에 할당하여 전송한다. DBA 처리기는 상향으로 전송될 프레임들 간에 충돌이 발생하지 않게 하기 위하여 각각의 ONU가 서로 다른 시간대에 대역을 사용하도록 US BW MAP을 할당한다. 이때 각 ONU에 할당된 대역이 다르기 때문에 상향 프레임의 길이는 가변적이게 된다.

그림 4는 G.984.3에서 명시하고 있는 US BW MAP에 의해 할당된 상향 프레임의 구조를 나타내고 있다. US BW MAP의 구조는 N (활성화된 Alloc-ID의 수) 개의 Access 필드로 구성되고, 각각의 Access 필드는 8 바이트의 길이를 갖는다. Access 필드 중 Sstart, Sstop 필드는 할

당된 대역에 관한 정보가 기입되는 곳으로 Sstart 필드에 기입되는 값은 PLOu (Physical Layer Overhead upstream)를 제외한 상향 프레임의 시작점을, Sstop은 유료부하가 끝나는 지점을 명시한다.

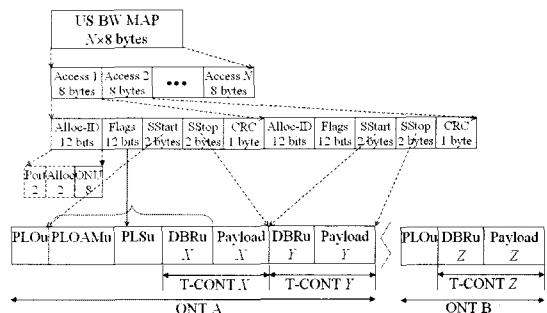


그림 4. 할당된 US BW MAP에 대한 상향 프레임 구조  
Fig. 4. Upstream frame structure for assigned US BW MAP.

ONU들은 하향 프레임들이 도착하게 되면 각 Access 필드의 Alloc-ID를 확인하여 자신의 ID가 아닐 경우 무시하고, 자신의 ID가 맞을 경우 Sstart, Sstop에 명시된 대역에 따라 상향 프레임을 전송한다. 단, 동일한 ONU의 경우 Alloc-ID가 다르더라도 연속적으로 대역이 할당되어 있다면 두 Alloc-ID 사이에는 갭을 두어서는 안 되며 [2], 서로 다른 ONU일 경우 두 상향 프레임 사이에는 보호대역을 두도록 명시하고 있다 [9].

### III. DBA 처리기의 전체구조와 모듈별 기능

DBA 처리기는 각 ONU들로부터 상향 프레임의 DBRu를 통해 전송되는 요청대역을 매 사이클 타임 주기마다 수집하고 분석하여 대역 할당을 수행하는 모듈로 크게 여섯 부분으로 나눌 수 있다. 이는 분배기 부, 큐 길이 역부호화 부, 역 다중화 및 TRAM 저장 부, 누계 부, 대역폭 계산부, 타임 슬롯 할당부로 이루어진다. 그림 5는 DBA 처리기의 블록도를 나타내고 있다.

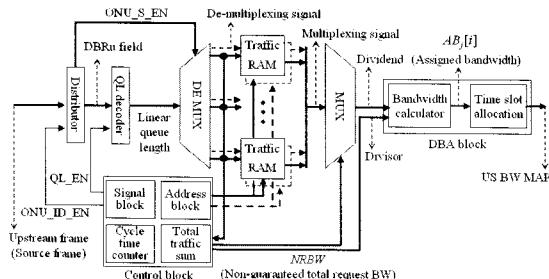


그림 5. DBA 처리기의 블록도  
Fig. 5. Block diagram of the DBA processor.

첫 번째, 분배기 부는 ONU들로부터 상향 프레임이OLT에 도착하게 되면OLT는 그림 4의 상향 프레임 구조에서 PLOu 필드에 있는 ONU-ID를 확인하는 작업을 수행하고, 해당 ONU에 대한 확인 신호(ONU\_S\_EN)가 발생되며 이 신호는 역 다중화기 및 TRAM 저장부에서 역 다중화를 수행하는데 사용된다. ONU-ID가 확인되면 해당 상향 프레임의 DBRu 필드를 추출하여 QL (Queue Length) decoder 부로 보내게 된다.

두 번째, 큐 길이 역부호화 부로서 ONU들이 DBRu 필드에 비선형코드로 부호화하여 보낸 요청대역을 선형 코드로 역부호화 하는 부분으로, 분배기 부에서 보낸 DBRu 필드의 값을 입력으로 받아 선형화 작업을 수행 한다. 변환 표는 표준인 G.984.3에 명시되어 있다 [2].

세 번째, 역 다중화 및 TRAM 저장 부로서 선형화가 끝난 DBA 리포트 메시지를 역 다중화 하여 ONU-ID에 해당하는 TRAM에 저장하는 작업을 수행한다. 역 다중화에 사용되는 신호는 분배기 부의 ONU\_S\_EN이고, 이 신호가 지정하는 TRAM에 DBA 리포트 메시지를 저장하게 된다. 이때 상향 프레임의 길이가 가변적이기 때문에 DBA 리포트 메시지의 저장 시 단일구조의 TRAM을 사용하게 되면 이전 사이클 타임의 DBA 리포트 메시지를 읽고, 현재 사이클 타임의 DBA 리포트 메시지를 저장하는 과정에 있어 이전 리포트를 읽어가기 전에 현재 사이클 타임의 DBA 리포트 메시지가 덮어쓰지는 경우가 발생하게 된다. 이 경우 잘못된 DBA 리포트 메시지로 대역을 할당하는 문제가 발생하게 된다. 본 논문에서는 이 문제를 해결하기 위해 이중구조를 갖는 TRAM을 설계하였다. 아래의 그림 6은 이중구조 TRAM의 동작을 설명하고 있다. 이 이중구조 TRAM의 동작은 제어 블록을 통해 이루어진다.

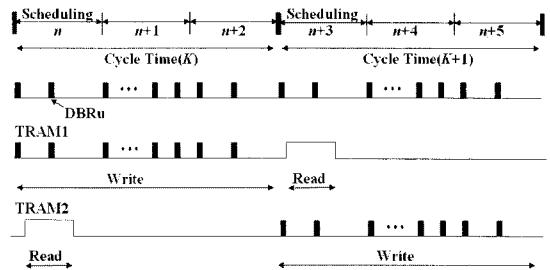


그림 6. 이중구조 TRAM 동작  
Fig. 6. Dual-structure TRAM operation.

현재 사이클 타임이  $K$ 일 때 ( $n, n+1, n+2$  번째 프레임) TRAM1에 해당 DBA 리포트 메시지를 저장하고 있다면 현재 대역 할당을 수행하고 있는 DBA 리포트 메시지는 이전 사이클 타임 ( $K-1$ ) 일 때 TRAM2에 저장된 내용을 읽어와 수행하는 것이고, 현재 사이클 타임 ( $K$ ) 일 때 TRAM1에 저장중인 메시지는 다음 사이클 타임 ( $K+1$ ) 일 때 ( $n+3, n+4, n+5$  번째 프레임) 대역 할당을 수행하는데 사용되게 될 것이며, 다음 사이클 타임 ( $K+1$ ) 일 때 상향으로 보고될 DBA 리포트 메시지는 TRAM2에 저장되게 될 것이다. 이처럼 서로 반대로 동작하는 이중구조의 TRAM을 사용함으로서 단일구조를 갖는 TRAM의 단점인 이전 리포트를 읽어가기 전에 덮어쓰는 문제를 해결할 수 있게 된다.

네 번째, 트래픽 누계 부로 TRAM에 DBA 리포트 메시지가 저장될 때 그 값을 입력으로 받아 사이클 타임 주기로 트래픽 누계를 구하는 부분입니다. 구해진 트래픽 누계 값을 비보증대역 (non-guaranteed bandwidth)의 비율 할당 시에 사용 가능한 대역폭,  $NABW$ 와 비보증대역에 해당하는 트래픽들의 요청대역의 총 누계인  $NRBW$  값을 계산하는데 사용된다. 구해진  $NRBW$  값은 대역폭 계산부에서 사용된다. 누계를 구하는 과정은 IV 절에서 설명할 것이며 누계 값을 새로운 사이클 타임이 시작되는 순간 초기화 된다.

다섯 번째, 대역폭 계산부로 이를 설명하기 위하여 다음과 같은 기호를 정의한다. 사이클 타임에 해당하는 대역폭의 크기를  $CTBW$ 로 정의할 때, Alloc-ID =  $i$ 를 가진 어떤 ONU가 요청한 고정대역폭, 보장대역폭, 비보장대역폭, 그리고 최선형대역폭의 크기를 각각  $TF_0[i]$ ,  $TF_1[i]$ ,  $TF_2[i]$ ,  $TF_3[i]$ 라고 정의한다. 대역폭 계산부에서는 사이클 타임동안 상향으로 요청된 각 트래픽들

의 누계 중  $TF_0[i]$ 와  $TF_1[i]$ 의 누계 및 상향 프레임의 오버헤더 만큼의 대역을 제외하여 비보증대역의 비율 할당 시 사용가능한  $NABW$  값을 구한다. 구해진  $NABW$  값을 사용하여 비보증대역인  $TF_2[i]$ ,  $TF_3[i]$ 에 해당하는 트래픽들의 요청대역에 대한 비율 할당을 수행한다. 이렇게 할당된 전체 대역은  $CTBW$  값을 초과하지 않게 된다.

대역폭 계산부의 입력으로는 Dividend, Divisor, CE (Clock Enable), CLK가 있고 출력으로는 비율에 의한 할당 결과인  $AB_j[i]$  (Assigned bandwidth) 가 있다. Dividend는 피제수에 해당하는 값으로 매 사이클 타임 주기로 TRAM1 또는 TRAM2에 저장된 트래픽의 요청 대역을 입력으로 받게 된다. Divisor는 제수 값으로  $NRBW$ 의 값을 입력으로 받는다. 입력된 두 값을 사용하여 1 비트의 CE 신호가 high일 경우 비율 할당을 수행하여 출력인  $AB_j[i]$ 로 내보낸다. 비율 할당을 수행하는 과정에 대한 세부설명은 IV 절에서 하기로 한다.

여섯 번째, 타임 슬롯 할당부로 이전단의 출력인  $AB$  와 고정대역, 보장대역에 대하여 다중화를 수행한 결과를  $BW\_IN$  으로 입력받아 타임 슬롯 할당 알고리즘에 따라 할당된 대역의 배치결차가 시작된다. 타임 슬롯 할당 시 고려되어야 할 부분으로는 데이터 트래픽이 프레임의 경계를 넘어가는 부분과, PLOu 부분이 경계를 넘어가는 경우가 존재하게 되는데 이 두 경계조건 및 알고리즘에 대해서는 다음 절에 설명하기로 한다.

그리고 대역폭 계산부와 타임 슬롯 할당부에 적용되는 전체적인 DBA 알고리즘에 대해서도 다음 절에서 상세하게 설명한다.

#### IV. DBA 알고리즘

본 논문에서 제안하고 있는 DBA 알고리즘은 고정대역폭의 경우 OLT에서 해당 ONU에 대한 요청대역을 OMCI (ONU Management Control Interface) 채널을 통해 이미 알고 있기 때문에 정해진 대역만큼 할당을 한다 [10]. 보장대역폭의 경우 보장 평균대역폭에 대한 요청에 대해서 대역을 할당을 한다. 그리고 비보증대역인 비보증대역과 최선형대역에 대해서는 트래픽 우선순위가 높은 앞의 두 서비스를 할당하고 남은 대역폭을 요청

대역의 비율에 따라 할당하는 방식을 사용하고 있다.

본 논문에서 상향 1.24416 Gbps 전송률의 규격으로 구현하므로 상향 한 프레임은  $19,440 (1.24416 \times 10^9 \times 125 \times 10^{-6})$  바이트를 가지게 되고, DBA 처리기가 한 사이클 타임을 3 프레임으로 구성할 때, 전체 할당대역폭  $CTBW$ 는 = 58,320 바이트의 길이를 가진다 [7]. 전술한 바와 같이 Alloc-ID = i를 갖는 ONU가 요청한 j번째 트래픽에 대한 요청 대역폭을  $TF_j[i]$ 라고 하면, j번째 트래픽에 대한 요청한 합,  $TF_j$ 는 아래와 같이 계산된다.

$$TF_j = \sum_{i=0}^N TF_j[i] \quad (1)$$

그리고 필드 X의 바이트 수를  $L_X$ 이라고 정의하면 상향 프레임의 오버헤더의 길이,  $OH$ 는 다음과 같이 얻어질 수 있다.

$$OH = (L_{PLOu} + L_{PLOAMu} + L_{DBRu} + L_{GT}) \times N' \quad (2)$$

단, 여기서 GT는 보호시간 (guard time) 또는 보호대역,  $N'$ 은 활성화된 ONU의 수를 의미한다.

매 사이클 타임 주기로 OLT의 DBA 처리기는 ONU가 DBRu를 통하여 요청한 대역에 따라 각 트래픽 별로 누계를 구하여 그 값을  $TF_j$ 에 저장한다. 비보증대역을 위하여 사용가능한 대역을  $NABW$ 라고 할 때, 이는 사이클 타임의 대역폭에서 고정대역과 보장대역에 대한 누계값과 상향 프레임의 오버헤더의 총 량을 제외한 값이다.

$$NABW = CTBW - (TF_0 + TF_1 + OH) \quad (3)$$

이 연산이 끝난 후에는 다음 사이클 타임의 누계를 구하기 위하여  $TF_0$ 와  $TF_1$ 는 0으로 초기화 된다.

비보증대역의 요청된 전체 대역폭의 크기는  $NRBW = TF_2 + TF_3$  이므로 비보증대역에 할당될 대역폭  $AB_j[i]$ 는 전체 요청된 비보증대역폭에 대한 개별 대역의 비율로써 아래와 같이 얻어질 수 있다.

$$AB_j[i] = \frac{TF_j[i]}{NRBW} \times NABW \quad (4)$$

단, 여기서  $j = 2, 3$ 에만 해당한다.

비보증대역의 비율할당이 완료되면 할당된 대역의 타임 슬롯 할당절차가 시작된다. 그림 7은 타임 슬롯 할당 알고리즘의 흐름도이다.

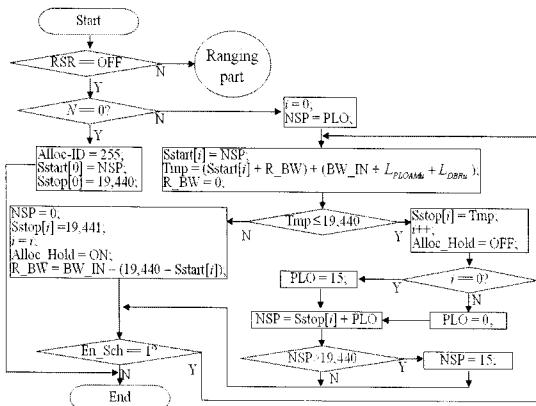


그림 7. 타임 슬롯 할당 알고리즘의 흐름도  
Fig. 7. Flow chart of time slot allocation algorithm.

이 그림에서 RSR, N, NSP, R\_BW, BW\_IN은 각각, 현 시점에 DBA 처리기의 동작모드, 활성화된 Alloc-ID의 수, 다음 Alloc-ID에게 할당할 시작점의 위치, 프레임 경계부분의 초과대역폭, 비율할당이 적용된 트래픽별 할당대역의 입력을 의미한다.

본 논문에서 설계한 DBA 처리기가 현재 스케줄링하고 있는 US BW MAP은 다섯 프레임 이후에 ONU들로부터 도착될 상향 데이터에 대한 것이다 [11]. 그림 7에서 보는 바와 같이 RSR 레지스터가 OFF일 경우 타임 슬롯 할당절차가 시작되며 할당은 바이트 단위로 이루어진다.

DBA 처리기는 타임 슬롯 할당 절차가 시작되면 우선 현재 활성화된 Alloc-ID의 수 (N)를 확인한다. 이 값이 0 일 경우 한 프레임 전체에 대하여 Alloc-ID=255를 기록하여 무효할당임을 나타낸다. 만약  $N > 0$  인 경우 첫 번째 ONU부터 시작하여 i 값을 증가시키면서 대역 배치를 수행하게 된다. 여기서 NSP는 다음 Alloc-ID에게 할당할 Sstart[i] 값에 해당하며 Alloc-ID 가 증가 할 때 ( $i++$ )마다 갱신된다. BW\_IN 는 해당 Alloc-ID에 할당하는 대역으로 Sstart[i]에는 Sstart[i] 값에 R\_BW, BW\_IN, L\_PLOAMu, L\_DBRu의 대역을 가산한 값이 할당된다. 이 때 유의해야 할 사항은 R\_BW 의 값은 경계조

건이 발생할 경우에만 그 값을 가지며 그 이외의 경우에 대해서는 0의 값을 갖는다. 또한  $L_{PLOAMu}$ ,  $L_{DBRu}$ 는 새로운 ONU의 첫 번째 Alloc-ID 할당 시 13 바이트, 5 바이트의 값을 가지며 그 이외의 경우에 대해서는 0의 값을 갖는다. 만약 첫 번째 경계조건에 해당하는 Tmp 값이 할당 할 프레임의 경계대역보다 작을 경우 필요한 만큼의 대역인 Sstop[i]=Tmp 값을 할당해 주고 i를 증가시켜 다음 Alloc-ID의 할당과정으로 루프를 돌게 된다. 이때 i의 값이 0이 아닐 경우 동일한 ONU의 서로 다른 Alloc-ID에 대한 할당에 해당함으로 PLO=0의 값을 줌으로서 다음 시작점 NSP=Sstop[i]의 값으로 갱신하여 동일 ONU의 서로 다른 Alloc-ID에 대해서는 캡이 존재하지 않도록 한다. 하지만 i의 값이 0일 경우에는 새로운 ONU에 대한 할당이 시작되는 지점이기 때문에 PLO=15 (그림 4의 PLOu에 보호대역을 포함한 길이)의 값을 줌으로서 다음 시작점의 위치를 NSP=Sstop[i]+PLO로 갱신한다. 이때 NSP 값이 할당 할 프레임 경계치인 19,440 (G-PON의 상향 한 프레임의 길이에 해당하는 바이트 수 =  $125 \mu\text{s} \times 1.24488 \text{ Gbps}/8$ )을 초과할 경우 ( $NSP > 19,440$ ) 두 번째 경계조건에 해당하고, 이 경우 새로운 ONU의 PLO가 프레임의 경계에 존재하는 경우로 NSP=15 의 값을 새로운 시작점을 갱신한다.

타임 슬롯 할당 중 어느 Alloc-ID의 첫 번째 경계조건에 해당하는 Tmp 값이 프레임 경계대역 ( $\text{Tmp} > 19,440$ ) 을 초과하는 경우는 데이터 트래픽의 타임 슬롯 할당 시 발생하는 경우에 해당한다. 이 경우 NSP=0, Sstop[i]=19,441 으로 할당하고 현재 Alloc-ID에 대하여 대역할당이 종료되지 않았기 때문에 i는 이전 값을 유지하고, Alloc\_Hold = ON 으로 변화시켜 현재 Alloc-ID에 대한 할당이 지속되고 있음을 나타낸다는 점에 유의해야 한다. 여기서 Sstop[i]=19,441은 상향 1.24488 Gbps이하에서는 존재할 수 없는 특정한 값으로서, 이와 같이 설정한 이유는 ONU에게 연속 할당임을 알리기 위하여 정의한 값이다. 즉, ONU가 데이터를 전송하기 위해서는 광전송장비의 레이저 ON/OFF를 제어해야 하는데, 할당된 대역의 Sstop[i] 필드에 19,441의 값을 명시되어 있을 경우 ONU는 연속 할당임을 감지하고 19,440에서 레이저를 OFF 시키는 것이 아니라 레이저를 ON 상태로 유지하고 있다가 바로 이어지는 동일 Alloc-ID의 Sstop[i] 필드의 값이 명시하는 지

점에서 레이저를 OFF 상태로 변경하기 위한 약속된 값이라 할 수 있다. 경계조건에 대하여 정의한 값을 사용하여 연속할당임을 명시하게 되면 경계조건 시 발생하는 추가적인 오버헤드를 줄여 링크의 효율을 높일 수 있게 된다.

데이터 트래픽에 대한 타임 슬롯 할당 시 발생하는 첫 번째 경계조건에 해당할 경우, 직전 할당 시  $Sstop[i]=19,441$ 로 끝났기 때문에 할당받지 못하고 남은 대역인  $R\_BW$ 의 크기를 계산하기 위하여  $R\_BW = BW\_IN - (19,440 - Sstart[i])$ 을 사용하여 요청대역 중 이전 할당 시 사용한 대역만큼을 감소시키고, 할당받지 못한 대역폭을 연이은 할당 시 사용하기 위하여  $R\_BW$ 에 계산 값을 저장하게 된다. 연이은 할당의 경우  $Sstart[i]=0$ 의 값을 가지며,  $Sstop[i]$  값은  $Tmp$  값에 의해 결정된다. 이 때,  $Tmp$  값을 계산하는데  $R\_BW$  이외의 값은 모두 0 값을 가진다는 점에 유의해야 한다.  $Tmp$  값이 결정되면  $R\_BW$ 는 다음번 경계조건 발생 시 초과 대역폭을 저장하기 위하여 0의 값으로 초기화된다.

흐름도에 따라 이 과정은 반복적으로 수행되고, 모든 Alloc-ID에 대한 할당의 종료여부를 나타내는  $En\_Sch$  신호의 값이 0으로 변할 때까지 이루어지게 된다. 이 절차에 따라 대역할당을 수행하게 되면, 프레임 경계 부분의 추가적인 오버헤더의 발생을 줄일 수 있어 링크의 효율이 높아지게 되며, 한 대의 ONU만 활성화되어 있을 경우 전체 대역폭까지 할당할 수 있다는 장점이 있다.

## V. DBA 처리기의 모듈별 동작검증

본 논문에서 구현된 DBA 처리기는 Xilinx사의 모델명 Virtex-4 XC4VFX100의 FPGA 칩을 사용하여 Verilog 언어로 구현하였고 III 절에서 설명한 여섯 부분으로 나누어 칩스코프로 검증하였다. 칩스코프는 FPGA 내부의 파형을 PC (Personal Computer) 모니터를 통하여 관찰할 수 있도록 하기 위하여 Xilinx사에서 제공하는 툴이다. 실제 구현은 그림 8과 같이 Xilinx ML423 보드를 사용하였다 [12].

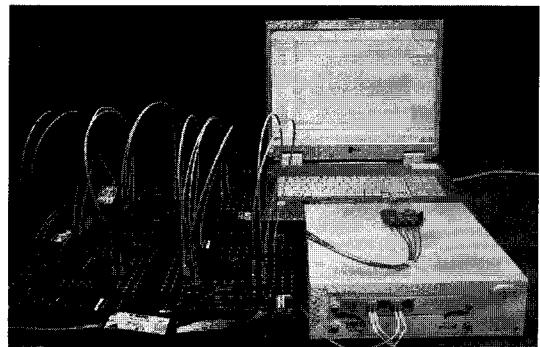


그림 8. Xilinx ML423 개발 보드  
Fig. 8. Xilinx ML423 development board

이 보드에 있는 FPGA는 MGT (Multi-Gigabit Transceiver)를 내장하고 있고 3 Gbps 이상의 전송속도를 지원한다 [13]. 좌측에 주어진 보드는 OLT이고, 우측의 것은 ONU에 해당한다.

아래의 그림 9는 분배기 부 출력으로 위쪽은 ONU-ID 0번, 아래쪽은 연이어 도착한 ONU-ID 1번에 대한 그림이다. 위쪽의 그림에서 상향 프레임 (Source\_Frame)이 OLT에 도착하게 되면 ONU-ID가 위치한 지점에서 ONU\_ID\_EN 신호가 high로 변하게 되고, ONU-ID 0번에 해당하는 값인 '00'을 확인한다. 확인 후 ONU-ID에 해당하는 ONU\_S\_EN 신호 중 해당 비트를 high로 변화시키며, 그 값은 '0001'을 갖는다. 이 값은 다음 상향 프레임의 ONU-ID가 확인되기 이전까지 그 값을 유지하게 된다. 그림에서 ONU-ID 0번에 해당하는 ONU\_S\_EN 값 '0001'이 ONU-ID 1번에 해당하는 값 '01'을 확인하기 전까지 이전 값을 유지하는 것을 볼 수 있다.

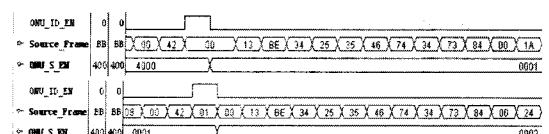


그림 9. 분배기 부 출력  
Fig. 9. Distributor part output.

그림 10은 큐 길이 역부호화 부 출력이다. 그림에서 QL\_EN 신호는 상향 프레임의 DBRu 필드에 해당하는 구간동안 선형화 작업을 수행하기 위해 high의 값을 유지하게 된다.

본 논문에서는 DBRu Mode 2로 구현하였기 때문에 CRC (Cyclic Redundancy Check) 1 바이트를 제외한 4 바이트 동안 high의 값을 유지하게 된다 [2].

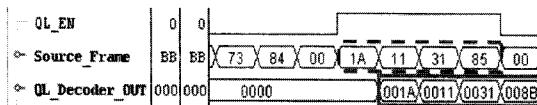


그림 10. 큐 길이 역부호화 부 출력  
Fig. 10. Queue length decoding part output.

그림에서 QL\_EN 신호가 high인 구간에 해당하는 비선형 코드로 전송된 DBRu 펠드의 순서는 보장대역의 PCR 토큰, 보장대역의 SCR 토큰, 비보장대역, 최선형대역의 순이고 요청한 큐 길이에 해당하는 값인 0x1A, 0x11, 0x31 0x85에 대하여 선형화 작업을 마친 데이터인 0x001A, 0x0011, 0x0031, 0x008B의 값이 QL\_Decoder\_Out으로 출력되는 것을 볼 수 있다. 0x85가 0x8B로 변환된 것은 [2]에 주어진 비선형 테이블에서 십진수 128 ~ 255값에 대한 변환률을 적용하였기 때문이다. OLT는 최종적으로 139 (0x8B)에 48을 곱한 6,672 바이트를 ONU가 요청한 것으로 간주한다 [2].

선형화를 마친 DBA 리포트 메시지는 분배기 부에서 생성된 ONU\_S\_EN 신호를 사용하여 역 다중화를 수행한 후 해당 ONU\_S\_EN이 가리키는 TRAM에 저장된다. 그림 11은 이 과정에 대한 과정을 보여주고 있는 것으로서, 선형화 작업이 끝난 데이터는 RAM\_Data\_IN으로 입력 받는다.

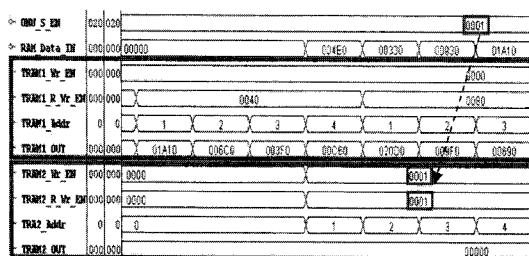


그림 11. 역 다중화 및 TRAM 저장부에 대한 칩스코프 파형  
Fig. 11. Chipscope view for de-multiplexing and TRAM storage part.

RAM\_Data\_IN으로 입력되는 요청 큐 길이의 순서를 살펴보면 보장대역폭 (PCR 토큰), 보장대역폭 (SCR 토큰), 비보장대역폭, 최선형대역폭으로 각각 0x004E0, 0x00330, 0x00930, 0x01A10의 길이를 갖는다.

입력되는 데이터는 이전 분배기 부에서 발생된 ONU\_S\_EN의 신호 값인 '0001'에 해당하는 TRAM2로 역 다중화를 수행하고 해당하는 메모리의 제어신호인 TRAM2\_Wr\_EN 신호와 TRAM2\_R\_Wr\_EN 신호의 해당 비트를 high로 변화시켜 1번 ONU가 요청한 DBA 리포트 메시지를 TRAM2\_Addr에 해당하는 주소에 저장한다. 요청 큐 길이의 저장은 입력되는 순서대로 TRAM2\_Addr 1 ~ 4에 해당하는 번지에 저장된다. 이 때, ONU-ID = 1 번의 고정대역의 경우 TRAM2\_Addr 1 번지에 저장된 큐 길이를 OLT가 OMCI 채널로 수집한 값으로 변경하게 된다.

TRAM2에 요청대역을 저장하는 동안 서로 반대로 동작하는 TRAM1의 경우 TRAM1\_OUT으로 이전 사이클 타임에 저장된 DBA 리포트 메시지를 읽는 작업을 수행한다. 이는 이전 사이클 타임에 요청된 큐 길이에 대한 할당을 수행하기 위하여 서로 다른 메모리에 저장된 값을 읽는 과정으로 TRAM1\_R\_Wr\_EN의 값과 TRAM1\_Addr의 주소를 변화시키면서 이전 사이클 타임 때 TRAM1에 저장된 모든 DBA 리포트 메시지를 TRAM1\_OUT으로 읽어내는 것을 볼 수 있다.

트래픽 누계 부는 그림 5의 DBA 처리기의 블록도에서 볼 수 있듯이 해당 TRAM으로 저장되는 데이터를 입력으로 받아 트래픽별 누계를 구한다. 그림 12는 누계 부의 칩스코프 파형으로 매 사이클 타임주기로 누적된  $TF_1$ 과 OLT가 이미 알고 있는  $TF_0$  값은 (고정대역은 provision이므로) Update\_EN 신호가 high 일 때 가산하여 그림의  $TF_0+TF_1\_BW$  신호로 업데이트됨과 동시에 사용가능 대역인 NABW의 값을 구하여 출력하게 된다. 그리고 새로운 사이클 타임에 해당하는 트래픽의 누계를 구하기 위하여 T\_Sum\_RST 신호에 의해 0의 값으로 초기화된다.  $TF_2+TF_3\_BW$  신호도 위와 같은 과정으로 수행되고 이 값은 비보장대역의 누계 값인 NRBW에 해당한다. 두 그림은 보장대역에 해당하는  $TF_1(17)$ 과, 비보장대역  $TF_2(49)$ , 최선형대역  $TF_3(23)$ 의 값에 48 배수를 취해 누적되는 값을 각각  $TF_0+TF_1\_BW(816)$ 과  $TF_2+TF_3\_BW(3456)$ 로 출력한다. 이는 밑의 그림에서 보듯이 연이은 상향 프레임에서도 동일하게 수행되는 것을 확인할 수 있다.

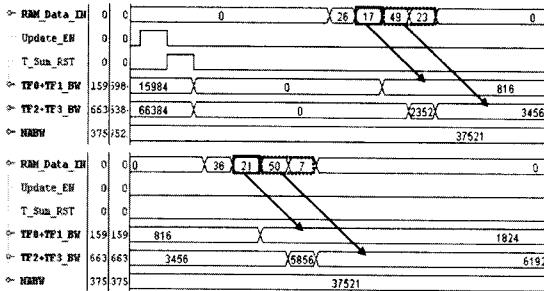


그림 12. 누계 부의 칩스코프 파형

Fig. 12. Chipscope view for accumulator part.

그림 13은 대역폭 계산부의 출력 파형으로 Quotient 신호에서 출력되는 값은 수식 (4)에 따라 비율 할당이 수행된  $AB_j[i]$  값이다. 비율 할당이 올바르게 수행되었는지를 확인하기 위해 그림 12 누계부의 NABW와 TF2+TF3\_BW 그리고 그림 13의 입력의 자연 값 중 비보장대역의 요청 큐 길이에 해당하는 2,352에 대하여 수식 (4)의 계산식을 적용하면  $(37,521 \times 23,52 / 66,384 = 1,329)$  확인할 수 있다. 결과 값은 보증대역 및 비보증대역에 대하여 모두 비율 할당이 수행된 결과이기 때문에 보증대역의 경우 비율 할당이 수행되기 전인 입력에 해당하는 Dividend 값을 자연시킨 Dividend\_Delay 신호의 값을 사용해야 한다. 따라서 비율 할당을 수행하는 비보증대역의 경우에는 Quotient 값을 그대로 사용할 수 있다. 이 두 개의 값은 1 비트의 QT\_Mux\_En 신호를 사용하여 다중화되고, 최종적으로 TRAM\_1\_2\_QT\_Muxing 신호가 출력되며 이는 마지막 단인 타임 슬롯 할당부의 입력인 BW\_IN가 된다. 이 값은 III 절의 그림 5에서  $AB_j[i]$ 가 가리키는 출력과 동일하다.

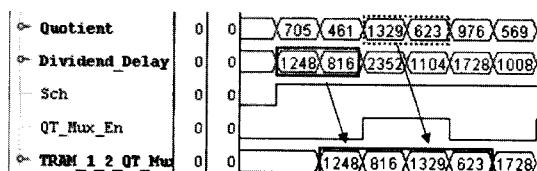


그림 13. 대역폭 계산부의 출력 파형

Fig. 13. Output of the bandwidth calculate part.

그림 14는 타임 슬롯 할당부에 대한 칩스코프 파형으로 BW\_IN으로 할당대역을 입력 받아 3절에서 설명한 알고리즘에 따라 타임 슬롯이 할당된 결과이다.

여기서 ONU-ID는 타임 슬롯을 할당하는 ONU의 번호를 의미하고 Alloc 0, 1, 2, 3 이 의미하는 것은 고정대역, 보장대역, 비보장대역, 최선형대역에 해당한다. 과정에서 볼 수 있듯이 0번 ONU의 고정대역의 경우 BW\_IN으로 1,248의 할당대역이 입력되어 Sstart = 15, Sstop = 1,281 (PLOAMu = 13 바이트와 DBRu 5바이트를 포함)의 타임 슬롯을 할당받게 되고, 이어지는 보장대역의 경우 816의 할당대역이 입력되어 Sstart = 1,281, Sstop = 2,097의 타임 슬롯을 할당받는 것을 확인할 수 있다. 여기서 유념해서 봐야 할 부분은 한 ONU에서 서로 다른 Alloc-ID의 할당의 경우 이전 할당대역의 Sstop 값과 현재 할당이 수행되고 있는 트래픽의 Sstart 값 사이에는 보호시간이 없는 것을 볼 수 있고, 서로 다른 ONU-ID의 할당대역의 경우 두 ONU-ID 사이에는 15 바이트만큼의 여유가 존재하는 것을 확인할 수 있다.

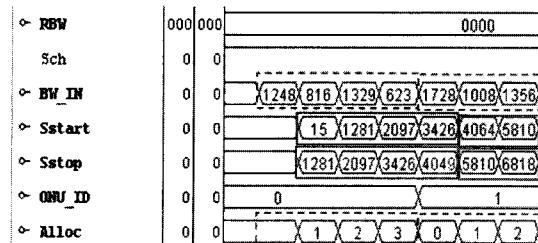


그림 14. 타임 슬롯 할당부에 대한 칩스코프 파형

Fig. 14. Chipscope view for the time slot allocation part.

마지막으로 그림 15는 프레임 경계에서 연속적으로 타임 슬롯을 할당하는 알고리즘 적용 결과로써, 입력인 BW\_IN이 6,672 바이트의 크기를 갖는 할당대역이 입력되고, 이 값은 경계조건 판별 시  $(16,828 + 6,672 > 19,440)$  이므로 프레임의 경계를 넘어야 한다. 이는 첫 번째 경계조건에 해당함으로 DBA 처리기는 Sstop=19,441을 명시하여 연속 할당임을 나타내고, 입력인 BW\_IN의 경우 버퍼를 사용하여 1 바이트 지연시켜 할당하지 못한 RBW=4,060 ( $16,828 + 6,672 - 19,440$ )의 대역에 대한 추가 할당을 수행하는 것을 확인할 수 있다.

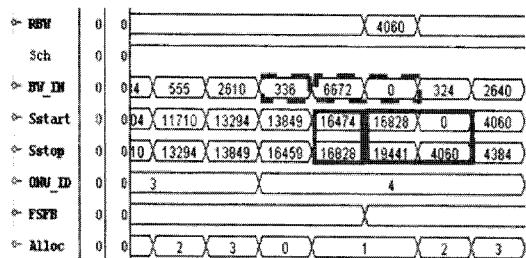


그림 15. 프레임 경계에서 연속적인 타임 슬롯의 할당

Fig. 15. Continuous time slots assignment at the frame boundary.

이와 같이 프레임 경계에 대해서 연속 할당방식을 사용할 경우 추가적인 오버헤더의 감소로 링크의 효율을 높일 수 있고, 특정 ONU에게 링크 전체 대역폭에 해당하는 값도 할당할 수 있게 되어 대역 할당에 있어서 높은 유통성을 가진다.

## VI. 결 론

G-PON 시스템에서 대역폭의 효율적 사용을 위해서는 DBA 알고리즘의 적용이 필수적이라 할 수 있다. 본 논문에서 구현한 DBA 처리기는 다양한 서비스 품질을 지원하기 위해 사이클 타임마다 요청대역을 각 트래픽의 우선순위에 따라 분류하여 각 ONU-ID에 해당하는 메모리에 저장하고, Alloc-ID마다 대역을 할당하며, 비보증대역의 경우 공정성을 준수하기 위하여 비율 할당 방식을 사용하였다.

특히, 본 논문에서 구현한 DBA 처리기는 링크의 효율을 높이기 위해 한 사이클 타임을 다수의 G-PON 프레임으로 구성하였다. 한 사이클 타임을 두 개 이상의 프레임으로 구성하게 되면, 오버헤더의 비율을 줄이게 되어 링크의 효율이 증가할 수 있으나, 대역을 할당하는 과정에서 Sstop[i] 값이 한 프레임을 구성하는 바이트 수에 해당하는 최대값 (1.24488 Gpbs에서 19,440)을 초과하는 문제가 발생할 수 있다. 이를 해결하기 위하여 OLT가 Sstop[i] = 19,441 값이 설정하여 할당 대역이 다음 프레임으로 넘어가는 것을 ONU에게 알려주도록 하였다. 이러한 방법을 사용함으로써 ONU에게 0에서부터 최대 링크 대역폭까지 할당이 가능하게 되는 것을 직접 구현하

여 검증하였다.

효율적인 대역폭 사용은 물론 트래픽의 지연을 줄이기 위해서는 ONU가 요청하는 트래픽의 양에 따라 사이클 타임을 가변시킬 수 있는 방안을 고려할 수 있다. 이를 위하여 추후에 가변 사이클 타임 DBA에 관한 연구가 좀 더 진행되어야 할 것으로 판단된다.

## 참고문헌

- [ 1 ] [http://www.ddaily.co.kr/news/news\\_view.php?uid=43671](http://www.ddaily.co.kr/news/news_view.php?uid=43671) 2008. 11. 4.
- [ 2 ] ITU-T Recommendation G.984.3, “Gigabit-capable Passive Optical Networks (PON): Transmission Convergence Layer Specification,” Feb. 2004.
- [ 3 ] ETRI TM200808410, “GPON 기술 및 시장동향,” 2005. 11.
- [ 4 ] 유태환, “TDMA-PON 광가입자망 기술,” 한국통신 학회지 논문지 제22권 제6호 (정보통신), pp. 22 ~ 43, 2005. 6.
- [ 5 ] 이재용, “AF(Assured and Fairness)-DBA Algorithm for G-PON,” 통신정보 학술대회 논문집 (JCCI) 2005.
- [ 6 ] 장종숙, 박성한, “GPON MAC 프로토콜을 위한 BR-DBA 알고리즘 설계 및 성능평가,” 한국해양정보통신 학회 논문지 제11권 제4호, pp. 714 ~ 721, 2007. 4.
- [ 7 ] 박철근, 정해, 김진희, “GPON에서 동적 대역 할당 방안의 지연성능 분석,” 한국통신학회 논문지 제33권 제9호 (네트워크 및 서비스), pp. 813 ~ 821, 2008. 9.
- [ 8 ] ITU-T Recommendation G983.4, “A broadband optical access system with increased service capability using dynamic bandwidth assignment,” Nov. 2001.
- [ 9 ] ITU-T Recommendation G.984.2, “Gigabit-capable Passive Optical Networks (PON): Physical Media Dependent (PMD) layer specification,” Mar. 2003.
- [10] ITU-T Recommendation G.984.4, “Gigabit-capable Passive Optical Networks (PON): ONT management and control interface Specification,” June 2004.

- [11] 정해 외, “ITU-T G.984 기반의 G-PON TC 칩 개발,”  
정보통신연구진흥원, 최종보고서 2008. 6.
- [12] ML42x User Guide, “Virtex-4FX Rocket IO  
Characterization Platform,” Xilinx UG087 (V1.2)  
March 2, 2007.
- [13] Virtex-4 User Guide, “Virtex-4 Rocket IO Multi-  
Gigabit Transceiver,” Xilinx UG076 (V3.2) Sept. 29,  
2006.

### 저자소개



정 해(Hae Chung)

1987년 2월: 한양대학교 전자통신과  
(공학사)  
1991년 2월: 한국과학기술원  
전기및전자공학과 (硕사)  
1996년 2월: 한국과학기술원 전기및전자공학과 (박사)  
1996년 2월 ~ 1998년 7월: LG정보통신 선임연구원  
1998년 8월 ~ 현재: 금오공과대학교 부교수  
2004년 1월 ~ 2005년 1월: University of Texas at  
Dallas 방문교수  
※ 관심분야 : FTTH, UBcN, PON, PAN



홍정호(Jung-Ho Hong)

2007년 8월 : 금오공과대학교  
전자공학부 (공학사)  
2009년 8월 : 금오공과대학교  
전자통신공학과 (硕사)  
2009년 8월 ~ 현재 : 아이쓰리시스템(주) 연구원  
※ 관심분야 : BcN, PON, MAC Protocol