
주파수도약 대역 확산 FSK 수신기의 고속 정합여파기 동기회로

김 성 철*

High speed matched filter synchronization circuit applied in frequency hopping
FSK Transceiver

Seong-Cheol Kim*

요 약

본 논문에서는 주파수 도약 대역 확산시스템에서 빠른 주파수 도약 패턴을 발생시키며 이에 따른 수신기 동기회로에 관한 연구이다. 고속의 PN 초기동기를 달성하기 위한 정합필터 방식에서 기존의 동기회로 구조로부터 상관기의 개수를 2개로 줄이고 초기동기를 위한 짧은 도약패턴(hopping prefix)을 몇 개의 부 패턴(sub prefix)으로 나눈다. 각기 상이한 주파수 도약패턴에 의하여 PN코드 시작시각에 대한 정보를 보내 이 정보를 이용하여 빠른 동기 획득을 이루게 하며 검출의 신뢰도를 높일 수 있는 고속의 초기동기회로를 제안하였다. 또한 디지털 주파수 합성기를 사용하여 빠른 주파수 도약을 위한 PLL 구현이 가능함을 분석하였다. 즉, 주파수 스텝(Δf)이 1.5MHz이상이면 settling 시간이 30μs정도가 되므로 빠른 주파수 도약을 위한 PLL의 구현이 가능함을 보였다. 결국 동기시간 단축에 있어서 가장 큰 영향을 미치는 것은 주파수 합성기의 빠른 주파수 획득시간과 동기회로의 초기동기 획득시간임을 알 수 있었다.

ABSTRACT

In this paper, a high speed code synchronization circuit is proposed. For fast code synchronization, matched filter method is used for initial code acquisition with two channel correlators. Particular frequency patterns of the limited number having the information about PN code start time are composed and transmitted repeatedly to increase the probability of accurate initial synchronization. And digital frequency synthesizer is proposed. And it's performance is analyzed theoretically. The analysis show that fast frequency hopping is possible in frequency hopping system that use digital frequency synthesizer.

키워드

WLAN, Bluetooth, code acquisition, matched filter, frequency settling time, ISM

* 우송대학교 방송통신시스템학과

접수일자 2009. 05. 08

심사완료일자 2009. 07. 01

I. 서 론

최근 사회적 이슈로 대두되고 있는 2.4GHz 대역 무선 홈 네트워킹 시스템 기술은 유무선 상에서 정보를 빠른 시간 내에 더 정확하게 얻기 위해 많은 연구와 표준화가 진행되고 있다.

여러가지 무선 홈 네트워크 중 가장 활발한 성장을 거듭해온 기술은 WLAN(Wireless Local Area Network)과 Bluetooth로 불리는 근거리 무선 통신으로 대표되는 WPAN(Wireless Personal Area Network)이다. WLAN과 WPAN은 동일한 비허가ISM(Industrial, Scientific and Medical)대역을 이용하여 다양한 서비스를 제공한다. ISM 대역에서의 간섭의 영향을 줄이기 위한 기술로 대역확산시스템이 도입되었다. 대역 확산은 데이터를 전송하는데 필요한 최소한의 대역폭보다 많은 대역폭을 통하여 전송하는 방식이다. 이는 전송 전에 데이터 열과 독립적인 의사 잡음코드를 사용함으로써 달성되어질 수 있다. 이와 같은 대역 확산 시스템의 대표적인 방식으로는 직접 확산 방식과 주파수 도약 방식이 있다[1],[2]. 직접 시퀀스 대역 확산 방식이 높은 주파수 선택도와 다중경로 페이딩을 보완하기 위해서는 광대역 신호를 요구하는 반면, 주파수 도약 대역 확산 방식은 여러 주파수에 신호를 실어 보내며 각각의 도약 주파수는 협대역 시스템과 같다[3]. 이러한 과정은 도약율에 따라 달라지는데 이때 이 도약율은 직접대역확산 시스템의 칩율에 비해 상당히 낮다. 따라서 전력소모가 적게 되며 수신기에서의 동기과정도 직접 대역 확산 시스템에 비해 어렵지 않다. 이 같은 이유로 인해 주파수 도약 대역 확산 방식은 개인 휴대 통신 시스템과 같은 저 전력 시스템에 적절하다. 또한 블루투스 시스템기술에 적용되고 있다[4]. 이와 같은 주파수 도약 대역확산 송수신기에서의 도약 주파수를 발생시키는 주파수 합성기는 PLL에 의해 실현된다[5]. 또한 수신기에서는 원래의 데이터 열을 복구하기 위해서 확산된 신호를 역 확산 시켜야 한다. 이를 위해 송신기와 동기가 맞추어진 코드가 수신기에서 사용된다. 한편 기술발전으로 인해 고속의 데이터 통신이 이루어지고 인터넷의 보급화 및 다양한 멀티미디어 서비스의 요구가 이루어지고 있으며 유선망과 무선망이 통합되는 형태로 모두 초고속의 데이터 전송을 요구할 것이다. 한편 디지털 신호처리 기술의 발달과 주문형 반도체(ASIC)기술의 발달로 아날로그 회로의 많은 부분이 디

지털화 되어 가고 있는 추세이다. 따라서 본 연구에서는 빠른 주파수 도약 패턴을 발생시키며 이에 따른 수신기 동기회로에 있어서의 고속의 PN 초기동기를 달성하기 위한 정합필터 방식에서 초기동기를 위한 짧은 도약패턴(hopping prefix)을 몇 개의 부 패턴(sub prefix)으로 나누고 각각 상이한 주파수 도약패턴에 의하여 PN코드 시작시각에 대한 정보를 보내 이 정보를 이용하여 빠른 동기획득을 이루게 한 방식을 제안하며 빠른 주파수 도약을 위한 디지털 주파수 합성기를 설계하고 성능을 분석한다. 이를 위해 II장에서는 주파수 도약 송수신기의 구조와 제안된 동기방법과 주파수 합성기에 대해 분석 하며 III장에서는 결과 및 성능을 분석하며 IV장에서 결론을 맺는다.

II. 주파수 도약 송수신기의 모델

본 주파수 도약(FH) 송수신기는 그림 1에 나타난 바와 같다. 의사 랜덤 부호 발생기는 도약 주파수 패턴을 발생하고, 주파수 합성기는 의사 랜덤 부호 발생기의 2 원 부호에 따라 도약 주파수를 발생시킨다. 한편 도약 주파수의 종류는 PN 부호 발생기의 쉬프트 레지스터의 수에 의해 결정되며, 도약 주파수 사이의 최소 간격은 데이터로 변조된 피번조파의 심벌 주기에 의해 결정된다. 송신측에서는 혼합기에서 데이터로 변조된 반송파와 도약 주파수 사이의 합파 차의 주파수가 만들어지는데 이 중 합파의 주파수만이 대역 통과 여과기(BPF)를 통해서 전송된다. 한편 수신측에서는 송신측에서와 동일한 패턴으로 도약 주파수 패턴을 발생시켜 이를 혼합기에서 수신 신호와 혼합하며 두 신호의 차가 중간 주파수로 되어 대역 통과 여과기를 통과한 다음 FSK 검파기에 의해 복조된다.

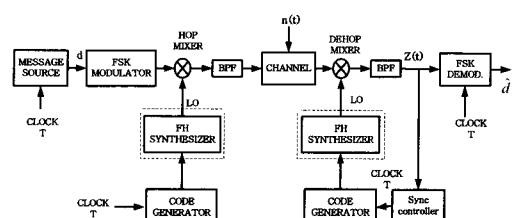


그림 1. FSK 주파수 도약 시스템

Fig. 1. The FSK frequency hopped system

2.1 제안된 동기방식

그림 2는 기존의 정합여파기 방식의 동기회로의 구성으로 수신되는 각 도약주파수에 정합된 필터를 병렬로 연결하여 구성한다. 입력코드는 실시간 탐색되므로 빠른 시간에 초기동기를 이룬다. 그러나 높은 신뢰도를 얻기 위해서는 M개의 연속적인 주파수 시퀀스가 수신기에서 선택되며 동시에 다수의 주파수를 점검하므로 시스템이 너무 복잡하다.

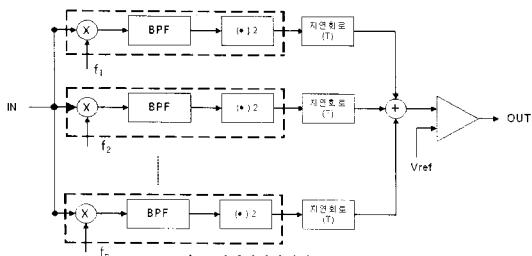


그림 2. 정합여파기방식의 블록도
Fig 2. Block diagram of matched filter

따라서 본 논문에서는 상관기의 수를 2개로 줄이고 이에 따른 신뢰도의 하락을 막기 위해 초기 동기용 시퀀스(prefix)를 반복 전송하는 한편 디지털 신호처리를 이용하여 정밀한 코드 동기 시작을 얻을 수 있는 변형된 방식을 택하였으며 블록도는 그림 3과 같다. 또한 그림 4는 초기동기용 시퀀스의 주파수 패턴을 나타낸다. 여기서 f_{p1}, f_{p2}, f_{p3} 는 설정된 prefix 주파수이며 f_x 는 임의의 주파수, f_{pn} 은 도약주파수 패턴을 위한 도약주파수를 각각 나타낸다.

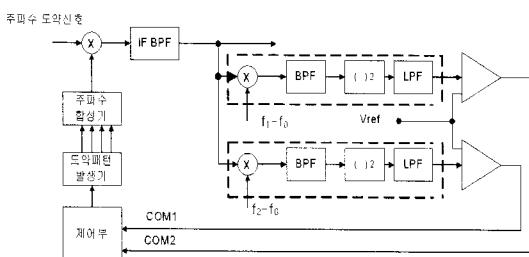


그림 3. 제안된 동기방식 블록도
Fig 3. Block diagram of proposed synchronization method

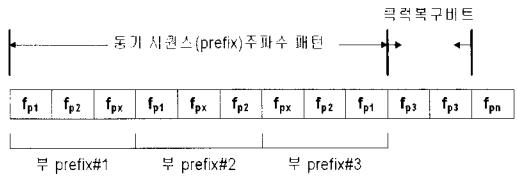


그림 4. 초기동기용 시퀀스의 주파수 패턴
Fig 4. Frequency pattern of synchronization prefix

그림 5는 그림3의 제어부에 대한 블록도를 나타낸다. 그림 6은 그림5의 구조를 갖는 제어부의 각부에 대한 동작 타이밍도를 나타낸다.

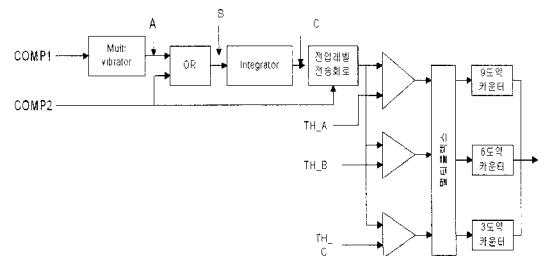


그림 5 제어부의 블록도
Fig 5. Block diagram of control part

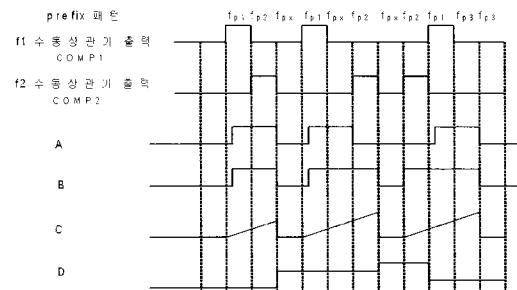


그림 6. 제어부 각부의 타이밍도
Fig 6. Timing diagram o Synchronization control part

2.2. 디지털 주파수 합성기

반송파 간격이 협대역인 협대역 무선 통신 시스템에서 매우 빠른 주파수 도약을 위한 PLL의 구현은 어렵다. 이와 같은 문제점을 해결하기 위해 국부 발진기가 고정되고 주어진 주파수 대역내의 모든 도약 반송파가 디지털 방식으로 발생된다면, 그것은 심볼 시간이내에 도약 반송파 주파수를 변화하는 것은 가능하다. 이와 같이 도약 주파수를 결정하기 위한 디지털 주파수합성기 그림 7

은 디지털 주파수 합성기의 상세 블록도를 나타낸다. 입력되는 데이터 심볼은 쉬프트 레지스터에 저장된다. 카운터와 쉬프트 레지스터의 출력은 주파수 경로 LUT(lookup table)의 주소를 만든다[6]. LUT 출력의 최상위 비트(MSB)에 의해 출력이 반송파 주파수로부터 더해지거나 감해지는지를 결정하게 된다. 가산기/감산기의 출력은 식 (1)과 같다.

$$N_n = (C_n \pm L_n) < 2^{j-1} \quad (1)$$

여기서, C_n 은 반송파 주파수 제어 워드(±반송파 오프셋), L_n 은 주파수 변조제어 워드(LUT 출력), j 는 위상 누산기 폭이고, N_n 은 위상 누산기의 입력이고, n 은 시간 지수이다.

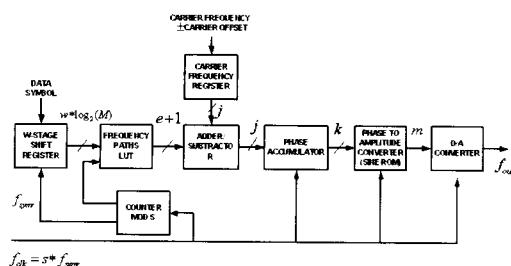


그림 7. 디지털 주파수 합성기의 상세 블록도
Fig. 7. Block diagram of the digital frequency synthesizer

식 (1)의 제한 조건은 샘플링 이론을 적용하였다. 위상 누산기의 위상 값은 식 (2)으로 표현된다.

$$R_n = (N_n + R_{n-1}) \bmod 2^j \quad (2)$$

위상 누산기는 모듈로 2 연산자에 의해 따르는 디지털 적분기처럼 동작한다. 출력 주파수는 식 (3)와 같고, f_{clk} 는 클럭 주파수이다.

$$f_{out} = \frac{\Delta R_n}{\Delta T_{clk}} = \frac{N_n f_{clk}}{2^j} \quad (3)$$

위상 누산기의 입력 N_n 은 단지 정수 값을 가질 수 있으므로 주파수 분해능은 $N_n = 1$ 으로 하여 식 (4)과 같다.

$$\Delta f = \frac{f_{clk}}{2^j} \quad (4)$$

위상 누산기 출력은 위상-진폭 컨버터(사인 ROM)의 주소이고, 그것의 출력 시퀀스는 식(5)과 같다.

$$A_n = \partial [2^{m-1} \sin(\frac{2\pi[R_n]_k}{2^k})] \quad (5)$$

여기서 m 은 사인 ROM에 저장된 값의 단어 길이이고, k 는 사인 ROM을 저장하기 위해 사용한 위상 누산기의 단어길이 이고, $[R_n]_k$ 는 k 비트로 절삭함을 의미한다. 디지털 사인 출력은 D/A 컨버터로 보내지고, 그것은 아날로그 신호를 발생시킨다. 샘플 당 심볼(S)의 수와 클럭 주파수(f_{clk})는 식 (6)의 형태로 이끌어 낼 수 있다.

$$f_{clk} = S \times f_{symr} > 2.5 \times (\frac{f_{tb}}{2} + f_{cs} \times (N_{cs} + 1) + 2 \times f_d) \quad (6)$$

여기서, f_{symr} 는 심볼 비율이고, f_{tb} 는 대역 통과 필터의 천이(변환) 대역이고, N_{cs} 는 출력 반송파 사이에 디지털 방식으로 생성되는 반송파의 수이고, f_{cs} 는 반송파 간격이고, 그리고 f_d 는 변조로 인한 주파수 천이의 최대 절대값이다.

III. 시스템의 성능분석 및 실험결과

주파수합성기의 성능을 분석하기 위한 파라미터인 주파수 settling 시간은 최대 허용되는 주파수 오차(f_{ea})에 도달하는데 요구되는 시간으로 정의할 수 있다. 기준 주파수의 스펜리어스의 억압을 위해서 기준 주파수가 루프필터 대역폭보다 훨씬 높아야 하므로 기준 주파수는 루프필터의 대역폭을 결정하는 고유 주파수를 제어 한다. 따라서 고유 주파수는 주파수 분해능을 감소시키지 않고 기준 주파수를 증가함으로 확장된다. 디지털 주파수 합성기를 도입한 시스템의 경우의 주파수 스텝 (Δf)에 따른 주파수 settling 시간의 성능 분석한 결과는 그림 8과 같이 나타난다. 전형적인 PLL을 사용한 주파수 도약 시스템에서의 주파수 스텝을 200kHz 하였을 경우 주파수 settling 시간은 370μs가 되어 guard시간(30μs) 보

다 더 큰 값이 된다. 따라서 전형적인 PLL을 사용한 주파수 도약 시스템에서 반송파 간격이 협대역인 협대역 무선 통신 시스템일 경우에는 빠른 주파수 도약을 위한 PLL의 구현이 어렵다. 이 시스템에서는 주파수 도약을 위한 반송파 신호가 PLL에 의해 구현되는 국부 발진기에서 생성되기 때문이다. 그림에서 보듯이 제안된 시스템인 경우는 주파수 스텝(Δf)이 1.5MHz이상이면 settling 시간이 $30\mu s$ 정도가 되므로 빠른 주파수 도약을 위한 PLL의 구현이 가능하다는 것을 알 수 있다. 따라서, 디지털 주파수 합성기를 사용한 주파수 도약 시스템에서는 빠른 주파수 도약을 위한 PLL의 구현이 가능하다. 그림9는 25개의 반송파가 디지털 주파수 합성기에서 생성되고 PLL 기준 주파수가 5.2MHz($200k\text{Hz} \times (25+1)$)일 때, 주파수 settling 시간은 $371\mu s$ 에서 $13.6\mu s$ 이하로 감소되고 시스템은 하나의 PLL만 요구하게 되고 따라서 시스템의 복잡도도 줄어들게 된다.

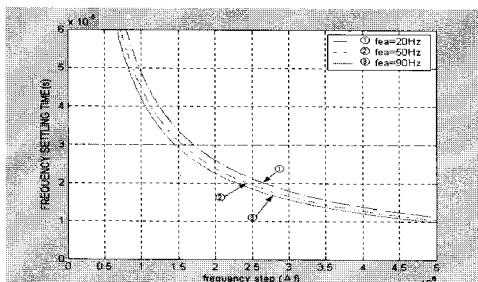


그림 8. 주파수 스텝(Δf)에 따른 주파수 settling 시간
Fig. 8. Frequency settling time according to frequency step(Δf)

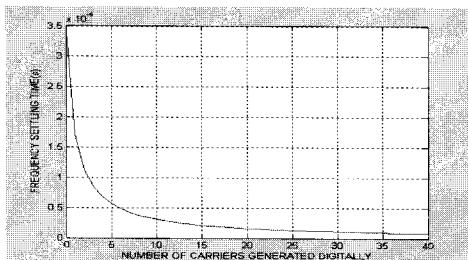


그림 9. 디지털 주파수 합성기에서 발생된 반송파의 수에 따른 주파수 settling 시간
Fig. 9. Frequency settling time according to the number of carriers generated digital frequency synthesizer

$f_{p1}, f_{px}, f_{p2}, f_{p1}, f_x$ 주파수 패턴으로 신호가 수신되었을 때의 제안된 그림3의 동기방식회로의 2개의 상관기의 각각의 출력 파형은 그림 10과 같이 측정되었다. 수신 상태에서 prefix 패턴에 의한 도약 신호중 f_{p1}, f_{p1} , 그리고 f_{p3} 는 중간주파수 필터를 통과하여 그림 10(a)와 같이 나타나고 이 신호는 각각의 상관기에 입력되어 그림 10(b),(c)와 같은 구형과 펄스로 출력된다.

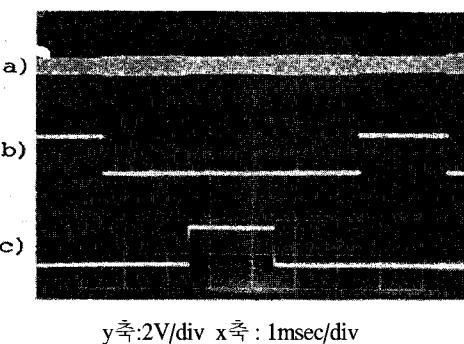


그림 10. Prefix 패턴에 따른 상관기 출력파형
(a) 중간주파수 필터출력 (b)상관기1 출력 (f_{p1})
(c)상관기2 출력 (f_{p2})

Fig. 10. Correlator output waveform according to prefix pattern (a) IF frequency filter output (b) Correlator1 output(f_{p1}) (c) Correlator2 output(f_{p2})

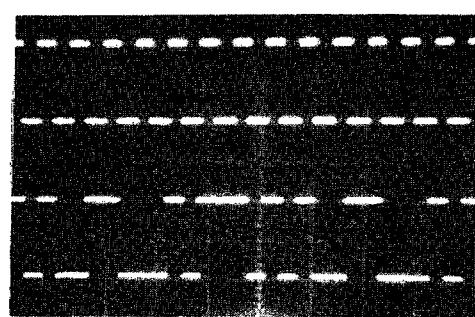


그림 11. 재생된 클럭
Fig. 11. Recovered clock with random data

그림 11은 랜덤데이터로부터 재생된 클럭에 대한 파형을 나타낸다. 그림 12(a)는 송신된 데이터이며 그림 12(b)는 동기가 이루어진 후 복조된 데이터 파형을 나타내었다.

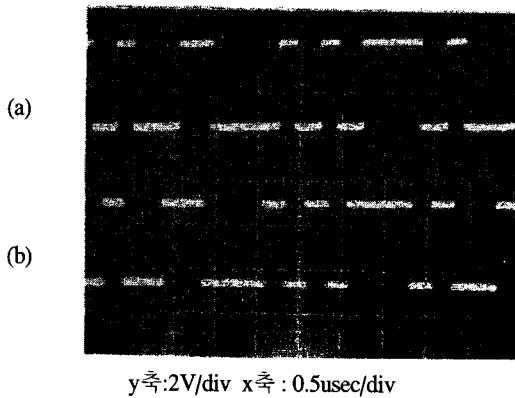


그림 12. 복조된 데이터(a)와 송신 데이터(b)
Fig 12. Demodulated(a) and Transmitted data(b)

IV. 결 론

주파수 도약을 위한 반송파 신호를 국부 발진기에서 만들어내는 전형적인 PLL을 사용한 주파수 도약 시스템에서는 반송파 간격이 협대역인 협대역 무선 통신 시스템일 경우에는 빠른 주파수 도약을 위한 PLL의 구현이 어렵다. 본 논문에서는 이런 문제점을 해결하기 위해 디지털 주파수 합성기를 사용하여 빠른 주파수 도약을 위한 PLL 구현이 가능함을 분석할 수 있었다. 즉, 주파수 스텝(Δf)이 1.5MHz이상이면 settling 시간이 $30\mu s$ 정도가 되므로 빠른 주파수 도약을 위한 PLL의 구현이 가능하다. 따라서 디지털 주파수 합성기를 사용한 주파수 도약 시스템에서는 빠른 주파수 도약을 위한 PLL의 구현이 가능함을 알 수 있었다. 또한 빠른 주파수 도약 패턴을 발생시키며 이에 따른 수신기 동기회로에 있어서의 고속의 PN 초기동기를 달성하기 위한 정합필터 방식에서 기존의 동기회로 구조로부터 상관기의 개수를 2개로 줄이고 초기동기를 위한 짧은 도약패턴(hopping prefix)을 몇 개의 부 패턴(sub prefix)으로 나누고 각기 상이한 주파수 도약패턴에 의하여 PN코드 시작시각에 대한 정보를 보내 이 정보를 이용하여 빠른 동기 획득을 이루게 하며 검출이 신뢰도를 높일 수 있었다. 결국 동기시간 단축에 있어서 가장 큰 영향을 미치는 것은 주파수 합성기의 빠른 주파수 획득시간과 동기회로의 초기동기 획득시간을 알 수 있었다.

참고문헌

- [1] Jonathan S. Min and Henry Samueli, "Analysis and Design of Frequency-Hopped Spread-Spectrum Transceiver for Wireless personal Communications," IEEE Trans. On Vehicular Tech. Vol.49, No.5, pp 1719-1731, Sep. 2000.
- [2] Robert C. Dixon, "Spread Spectrum Communication System", March 1984.
- [3] Jack,K. Homes, "Coherent Spread Communication", Wiley interscience, Inc. 1982.
- [4] Howitt, "Bluetooth performance in the presence of 802.11b WLAN," Journal of selected Areas of Communications, 2001.
- [5] Gardner, Floyd M: Phaselock Techniques, 2d ed., John Wiley and Sons, New York, 1979.
- [6] P. H. Saul and D. G. Taylor, "A high-speed direct frequency synthesizer," IEEE J. Solid-State Circuits, vol.25, no. 1, pp.215-219, 1990.

저자소개



김성철(Seong-cheol Kim)

1987년 고려대학교 전자공학과
학사

1989년 고려대학교 전자공학과
석사

1989년~1994년: 삼성전자(주) 근무

1997년 고려대학교 전자공학과 박사

1997년~현재: 우송대학교 방송통신시스템학과부교수

*관심분야: CDMA 이동통신, 통신이론, 차세대 광대역 이동 멀티미디어 시스템