

# 줄 가열 변화에 따른 박막 트랜지스터 내 포논 열 흐름에 대한 수치적 연구

진 재 식<sup>†</sup>, 이 준 식<sup>\*</sup>

(2009년 8월 6일 접수, 2009년 9월 1일 수정, 2009년 9월 1일 심사완료)

## Effect of Joule Heating Variation on Phonon Heat Flow in Thin Film Transistor

Jae Sik Jin and Joon Sik Lee

**Key Words :** Joule Heating Variation(줄 가열 변화), Electron-Phonon Interaction Model(전자-포논 상호작용 모델), Phonon Heat Flow(포논 열흐름), Nonlocal Theory(비국소 이론)

### Abstract

The anisotropic phonon conduction with varying Joule heating rate of the silicon film in Silicon-on-Insulator devices are examined using the electron-phonon interaction model. It is found that the phonon heat transfer rate at each boundary of Si-layer has a strong dependence on the heating power rate. And the phonon flow decreases when the temperature gradient has a sharp change within extremely short length scales such as phonon mean free path. Thus the heat generated in the hot spot region is removed primarily by heat conduction through Si-layer at the higher Joule heating level and the phonon nonlocality is mainly attributed to lower group velocity phonons as remarkably dissimilar to the case of electrons in laser heated plasmas. To validate these observations the modified phonon nonlocal model considering complete phonon dispersion relations is introduced as a correct form of the conventional theory. We also reveal that the relation between the phonon heat deposition time from the hot spot region and the relaxation time in Si-layer can be used to estimate the intrinsic thermal resistance in the parallel heat flow direction as Joule heating level varies.

### 기호설명

$B$  : 비국소성 정도를 나타내는 변수  
 $B_u, B_H$  :  $\xi$ 를 정의하기 위한 계수  
 $C$  : 비열 ( $J/m^3K$ )  
 $d$  : 박막 두께 (m)  
 $e$  : 에너지 밀도 ( $J/m^3$ )  
 $e''$  : 단위 부피 및 단위 입체각 당 에너지 ( $J/sr \cdot m^3$ )  
 $E_F$  : 페르미 에너지 (J)  
 $F$  : 온도 구배에 대한 열 흐름 축소 계수

$\bar{F}$  : 외부력 ( $kg \cdot m/s^2$ )  
 $h$  :  $2\pi$ 로 규준화된 플랑크 상수 (Js)  
 $k$  : 포논 파수 ( $m^{-1}$ )  
 $k_B$  : 볼츠만 상수 (J/K)  
 $K$  : 열전도율 ( $W/m \cdot K$ )  
 $l$  : 트랜지스터 폭 (m)  
 $L$  : 열 퍼짐 길이 (m)  
 $LA$  : 세로방향 전파 음향 포논  
 $n$  : 단위 부피 당 포논 밀도 ( $m^{-3}$ )  
 $N_{band}$  : 전체 포논 띠 수  
 $Opt$  : 광 포논 모드  
 $P_g$  : 단위 길이 당 공급 파워 (W/m)  
 $\bar{P}$  : 운동량 ( $kg \cdot m/s$ )  
 $q$  : 열 유속 ( $W/m^2$ )  
 $R$  : 열 저항 (K/W)  
 $t_D$  : 고온 점에서 에너지 전달 시간 (s)  
 $T$  : 온도 (K)

[이 논문은 2009년도 신뢰성부문 춘계학술대회(2009. 5. 21., BEXCO) 발표논문임]

<sup>†</sup> 책임저자, 회원, 서울대학교 마이크로열시스템연구센터

<sup>\*</sup> 회원, 서울대학교 기계항공공학부

E-mail: jslee123@snu.ac.kr

TEL: (02)880-7117 FAX: (02)883-0179

- TA : 가로방향 전과 음향 포논
- $v_g, \bar{v}_g$  : 포논 군속도 (m/s)
- $v_d$  : 전자의 표류속도 (m/s)

그리스문자

- $\gamma$  : 산란률 ( $s^{-1}$ )
- $\eta_e$  : 도핑 농도 ( $m^{-3}$ )
- $\tau$  : 이완시간 (s)
- $\omega$  : 각진동수 (rad/s)
- $\Omega$  : 입체각 (sr)
- $\xi$  : 4-포논 산란 과정 온도 의존성 계수

하첨자

- a : 음향 포논
- b : 덩어리 상태 물성 값
- c : 단면을 통한 물성 값
- d :  $T_{ref}$ 로 규준화된 온도 차
- e : 전자
- eff : 유효 값
- f : 박막 상태 물성 값
- f : intervalley 산란 f-과정
- g : intervalley 산란 g-과정
- i : i 번째 포논 띠
- ij : i 와 j 번째 포논 띠에 의한 물성 값
- int,m: Si/SiO<sub>2</sub> 경계에서 최대 물성 값
- n : 규준화된 값
- near : 경계면 최대 근접 값
- o : 광 포논
- Ox : 이산화규소 층
- p : 포논 분극
- ph : 포논
- ref : 300 K 조건의 기준 값
- Si : 실리콘 층
- $\omega$  : 포논 각진동수

1. 서 론

최근 차세대 소자로 큰 각광을 받고 있는 박막 트랜지스터는 전기적 절연 구조를 구성하기 위해 반도체 재료(실리콘(Si), 이완 실리콘(strained-Si), 게르마늄(Ge) 등)을 박막형태로 절연층(이산화규소(SiO<sub>2</sub>), 실리콘-게르마늄 합금(SiGe) 등) 위에 증착하게 된다. 이러한 구조는 극미세 소자의 구조적 문제인 절연성 및 부유용량(low junction capacitance) 문제를 해결할 수 있으나,<sup>(1-9)</sup> 절연층의 매우 낮은 열전도율(~1 W/m·K)과 복잡한 구조로 인해, 소자 구동에 따른 줄 가열(Joule heating)이 외부로 배출되지 못하는 문제가 있다. 더구나 100 nm 급 이하의 실리콘 박막의 경우, 포논(phonon)-경계 산란 증가로 인해 상온 기준으로  $K_f = \sim 10$  W/m·K 정도로, 덩어리(bulk) 열전도율( $K_b =$

148 W/m·K)에 비해 매우 작다.<sup>(10)</sup>

이런 구조적 특성 및 열 특성으로 인해, 박막 소자 작동 시 발생하는 국소적 가열 현상은 전자(electron)-포논 산란(scattering) 증가를 초래해 전자 및 정공(hole)의 이동도(mobility)를 악화시키며, 또한 벌리스틱(ballistic) 열전달 현상에 의해 추가적인 열 저항이 발생하여<sup>(7)</sup> 소자 성능 저하 및 열 손상에 의한 소자의 수명 단축을 야기시킨다.<sup>(1-9)</sup> 따라서 소자의 열 손상을 방지하고 안정적인 열 환경 유지를 위한 효율적 설계를 위해 소자 내 에너지 전달자의 열 거동을 충분히 이해하는 것이 필요하다. 한편, 소자 작동 조건에 따라 줄 가열 정도가 변하므로 다양한 줄 가열 크기 변화에 대한 소자 내 열 에너지 전달 특성 해석 또한 요구된다.

지금까지 마이크로/나노 크기 길이 스케일에서 에너지 전달 현상에 대한 연구는 주로 소자 내 줄 가열 정도의 크기를 정확하게 예측하기 위한 해석 모델 개발이 주류를 이루었고, 이를 위한 실험적 방법<sup>(2)</sup>과 이론적 방법<sup>(3-6)</sup>에 의한 연구가 진행되어 왔다. 최근에는 소자 내 줄 가열에 따른 에너지 전달 현상에서 중요한 소자 내 에너지 전달자들(포논과 전자) 사이의 에너지 전달 관계를 고려한 모델이 제안됐다.<sup>(8,9)</sup> 이 외에 실제 소자 내 발생 열 제거를 위한 패키지 설계 측면을 고려하면, 효율적인 냉각 경로(path)에 대한 정보가 중요하다.

본 연구에서 박막 트랜지스터의 대표적 소자인 SOI (Silicon-on-Insulator) 트랜지스터의 효율적 냉각 경로에 대한 연구로 줄 가열 정도 변화에 따른 소자 내 에너지 전달을 볼츠만 수송방정식(Boltzmann transport equation, BTE) 근간의 전자-포논 상호작용 모델(electron-phonon interaction model)<sup>(8)</sup>로 해석했으며, 해석 결과를 검증하기 위해 기존의 포논 비국소 이론(nonlocal theory)<sup>(11)</sup>을 고려하여 수정된 비국소 모델을 제시했고 이를 이용하여 해석 결과의 타당성을 보였다. 또한 소자 온도 장 해석 및 고온 점 영역에서 에너지 전달 시간과 이를 소산(dissipation)하는 이완시간 사이의 관계로부터 줄 가열 량 변화에 따른 소자 내 에너지 전달 및 열 저항 메커니즘을 설명했다.

2. 해석 모델과 수정된 비국소 모델

2.1 전자-포논 상호작용

전자-포논 상호작용 모델에 대한 자세한 설명은 참고문헌(8)과 (9)에 서술되어 있으며, 여기서는 모델에 대한 중요한 특성만을 간단히 논하겠다.

실리콘 소자 내 줄 가열에 의한 에너지 전달 메커니즘은 각 에너지 전달자들 사이의 이완시간( $\tau$ )을 기준으로 전자-포논은  $\tau_{e-ph} \approx 0.1$  ps 이고 포논-포

논은  $\tau_{\text{ph-ph}} \approx 10$  ps 의 크기를 갖는다.<sup>(12)</sup> 즉, 전자-포논의 상호작용 이완시간이 포논-포논의 상호작용보다 약 100 배 정도 빠르다. 따라서 이 과정들을 분리해서 해석할 수 있고, 전자-포논 상호작용에 의한 에너지 전달 과정은 전자-포논 상호작용 모델<sup>(8)</sup>을, 포논-포논 상호작용에 의한 에너지 전달은 Narumanchi 등이 제시한 포논-포논 상호작용 모델(full phonon dispersion model)<sup>(4)</sup>을 적용할 수 있다. 전자-포논 상호작용에 의한 전자의 에너지 변화율은 다음과 같다.<sup>(8)</sup>

$$\begin{aligned} \frac{\partial e_e}{\partial t} + \vec{v}_d \cdot \nabla e_e + \vec{F} \cdot \frac{\partial e_e}{\partial \vec{P}} = & \sum_{a=1}^5 \left( \int_{T_{\text{ref}}}^{T_{\text{eq}}} C_e dT - e_e \right) \gamma \\ & + \sum_{a=6}^9 \left( \int_{T_{\text{ref}}}^{T_{\text{eq}}} C_e dT - e_e \right) \gamma_{(f \text{ or } g)} \\ & + \left( \int_{T_{\text{ref}}}^{T_{\infty}} C_e dT - e_e \right) \gamma_g \\ & + \sum_{f=1}^2 \left( \int_{T_{\text{ref}}}^{T_{\infty}} C_e dT - e_e \right) \gamma_f \end{aligned} \quad (1)$$

여기서  $C_e = \pi^2 (k_B T_e / E_F) \eta_e k_B / 2$  이다.<sup>(12)</sup> 또한, 전자와의 산란으로 인한 포논의 음향 갈래(acoustic branch)와 광 갈래(optical branch)의 에너지 변화율은 각각 다음과 같이 표현된다.<sup>(8)</sup>

$$\frac{\partial e_i''}{\partial t} + \nabla \cdot (\vec{v}_{g,i} e_i'') = \left( \frac{1}{4\pi} \int_{T_{\text{ref}}}^{T_{\text{eq}}} C_i dT - e_i'' \right) \gamma_{(fg)} \quad (2)$$

$$\frac{\partial e_o}{\partial t} = \left( \int_{T_{\text{ref}}}^{T_{\infty}} C_o dT - e_o \right) \gamma_g + \sum_{f=1}^2 \left( \int_{T_{\text{ref}}}^{T_{\infty}} C_o dT - e_o \right) \gamma_f \quad (3)$$

## 2.2 수정된 포논 비국소 모델

레이저를 이용한 고체 가공표면의 플라즈마(plasmas) 상태는 수 나노미터의 매우 짧은 길이 영역에서 급격한 온도 구배를 형성하고, 이런 상태에 대한 전자의 에너지 전달 해석은 비국소 이론(nonlocal theory) 적용이 가능하다.<sup>(13,14)</sup> 이에 대한 연구의 동기는 전자의 평균자유행로(mean free path)와 비슷한 길이 크기에서 온도 구배가 매우 큰 경우, 열 흐름(flow)이 국소(local) 이론 예측에 비해 훨씬 작다는 관찰에서 출발했다. 이 열 흐름의 작아짐을 흐름 억제(flow inhibition) 라고 한다.<sup>(14)</sup> 한편, 이러한 온도 구배 변화 조건에 대한 포논 전달은 Mahan 등<sup>(11)</sup>에 의해 연구되었으며,

포논 열전도와 온도 구배 사이의 비국소 관계를 이론적으로 구하여, 펄스(pulse) 레이저 조사에 따른 실리콘 내 온도 분포 실험 결과<sup>(15)</sup>와 비교했다.

박막 트랜지스터 내 포논 전달에 대해서 이와 비슷한 상황이 발생한다. 즉, 일반적인 소자 운동 조건에서, 소자의 빠른 전환(switching) 시간과 수십 나노미터의 극히 짧은 채널 길이는 매우 빈번한 전자-포논 상호작용을 초래하고, 결과적으로 고 에너지화된 전자로부터 발생된 포논들은 크기가 약 10 nm 인 고온 점(hot spot) 영역을 형성하게 되는데, 이는 포논의 평균자유행로(상온에서 약 100 nm) 보다 훨씬 작다.<sup>(2-9)</sup> 따라서 벌리스틱(ballistic) 에너지 전달 특성이 나타나며, 포논의 평균자유행로 보다 훨씬 짧은 길이 크기에서 급격한 온도 구배가 나타난다.

Mahan 등<sup>(11)</sup>은 주어진 온도 구배에 대해 열 흐름의 축소를 예측하기 위해 다음과 같은 계수( $F$ )를 이론적 방법으로 구했다.

$$F(B) = \frac{3}{7} \int_0^{\infty} \frac{D(t) dt}{t^2 - 1/B^2} \left( t - \frac{1}{B} \right), \quad (4)$$

여기서  $D(t)$ 는  $D(t) = \sqrt{t}$  ( $t < 1$ ) 또는  $D(t) = t^{-3}$  ( $t > 1$ ) 이며,  $B$  는 비국소성(nonlocality) 정도를 나타내는 계수이며 다음과 같다.<sup>(11)</sup>

$$B = \frac{1}{\alpha} \frac{\gamma}{\omega^2} v_g k^2, \quad (5)$$

여기서  $v_g$  는 포논 군속도(group velocity),  $k$  는 포논 파수(wavenumber),  $\alpha$ 는 지수적 온도분포 가정  $T(y) = b_1 + b_2 \exp(-\alpha y)$ 에서 결정되는 상수이다. Mahan 등<sup>(11)</sup>은 참고문헌(15)에서 제시된 온도 분포로부터  $\alpha = 2 \mu\text{m}^{-1}$ 을 얻었고, 국소 이론 예측과의 차이를 20% 정도라고 보고했다.<sup>(11)</sup> 그러나 Larson 등은 실제 측정된 온도 구배와 국소 이론 예측의 차이가 약 50% 라고 언급했다.<sup>(15)</sup>

한편, 포논 전달 예측에서 포논의 분산(dispersion) 효과와 분극(polarization) 효과와 같은 포논의 분광(spectral) 효과 고려가 매우 중요하다.<sup>(4)</sup> 식(4)와 (5)는 Debye 가정을 이용한 그레이(gray) 방법으로 구해졌다.<sup>(11)</sup> 실제 식 (5)의  $v_g$  와  $k$  에서 알 수 있듯이 포논의 분광(spectral) 효과 적용이 필요하며, 이를 위한  $F$  예측을 위한 포논 모드(mode) 별  $B_i$  를 다음과 같이 모델링 할 수 있다.

$$B_i = \frac{1}{\Delta\omega_i} \int_{\Delta\omega_i} \frac{1}{\alpha} \frac{\gamma_\omega}{\omega^2} \frac{\partial \omega}{\partial k} k^2 d\omega. \quad (6)$$

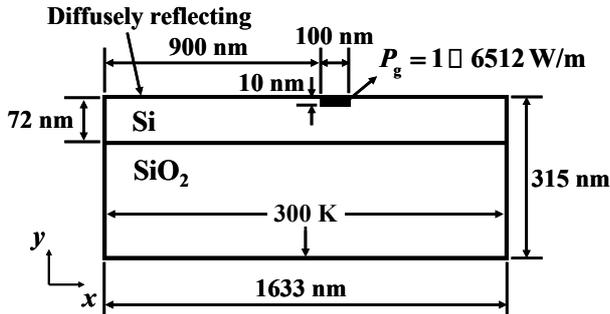


Fig. 1 Schematic of Silicon-on-Insulator (SOI) transistor. Here  $P_g$  is the power generation equivalent to the Joule heating

전체 포논 모드에 대한 유효 값  $B_{\text{eff}}$  는  $B_{\text{eff}}^{-1} = \sum_i B_i^{-1}$  관계로부터 구했다. 여기서  $i$  는 포논 분산관계 (dispersion relation)로부터 기존 연구<sup>(4-6,8,9)</sup>에서 적용된  $i$ -번째 포논의 물성을 의미하며, 각 포논 띠(band)의 각진동수(angular frequency)  $\omega$ 와 파수  $k$  는 산술평균값으로 가정했다.

수정된 비국소 모델인 식 (6)의 타당성을 살펴보기 위해 Larson 등<sup>(15)</sup>이 제시한 결과와 비교해 보았다. Larson 등<sup>(15)</sup>이 실험한 온도 조건이 1300 K 이상의 고온이므로 4-포논 과정에 의한 포논 산란 과정에 대한 고려가 필요하다.<sup>(16)</sup> 이 포논 산란 과정은 매우 복잡한 산란 메커니즘을 가지므로 본 연구에서는 기존 연구에서 제시한 간단한 모델인  $\gamma_\omega = \omega_p^2 \xi$  관계식<sup>(16)</sup>을 이용했다. 여기서  $\xi$ 는 4-포논 산란 과정의 온도 의존성을 나타내는 계수이며,  $\xi = B_U T + B_H T^2$  로 정의된다. 상수  $B_U$  와  $B_H$  는 실리콘에 대해서 각각  $B_U = 1.5 \times 10^{-19}$  s/K 와  $B_H = 1.6 \times 10^{-22}$  s/K<sup>2</sup> 로 주어진다.<sup>(16)</sup> 또한,  $\omega_p$  는 주어진 포논 갈래(branch)의 각진동수를 나타내며, 각 갈래에 대해 산술평균값으로 가정했다. 수정된 비국소 모델을 이용하여 국소 이론과의 차이를 구하면 약 52%로 Larson 등<sup>(15)</sup>이 실험으로 관찰한 50%와 매우 유사한 결과를 얻었고, 따라서 본 연구에서 제시한 비국소 모델이 타당함을 알 수 있다.

### 3. 해석 결과 및 고찰

Figure 1 에 대표적인 박막 소자인 SOI 트랜지스터의 개략도를 나타냈다. 전체 계산 영역 조건은 세로 315 nm, 가로 1633 nm 이며, 각 층의 두께는 실리콘 층 72 nm, 이산화규소 층 243 nm, 실리콘 층의 윗면은 완전 확산 면으로 가정하고 나머지 면들은 300 K 의 일정 온도 조건으로 해석했으며, 고온 점 영역(100 nm × 10 nm)에서 단위 길이 당 발생 파워( $P_g$ )는  $P_g = 1 \sim 6512$  W/m 범위에서 임의

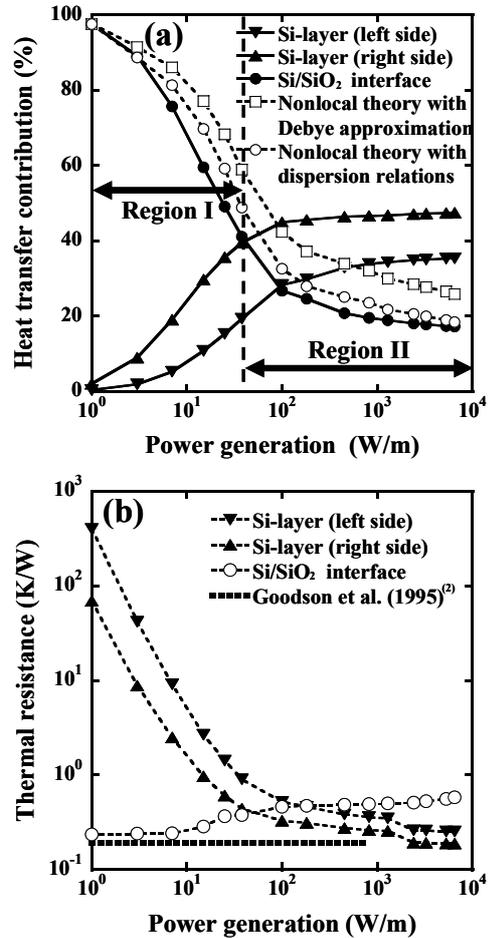


Fig. 2 (a) Heat transfer contribution and (b) thermal resistance of each boundary of Si-layer in SOI transistor as a function of the power generation

로 변화시켰다. 실리콘 층은 전자-포논 상호작용 모델을, 이산화규소 층은 열 확산 방정식인 Fourier 모델을 각각 적용했다.<sup>(5,8)</sup>

#### 3.1 실리콘 층의 각 경계면 열전달 기여도

전자-포논 상호작용 모델<sup>(8)</sup>과 포논-포논 상호작용 모델<sup>(4)</sup>을 적용하여 실리콘 층의 각 경계에서 열전달 기여도를 구하여 Fig. 2(a)에 나타냈다. 여기서 각 경계 면의 열 유속(heat flux)  $q$  는  $q = \sum q_i$  로 계산했으며,  $q_i = \int_{4\pi} v_i \hat{s} e_i^* d\Omega$  으로 정의되며,<sup>(4)</sup>  $\Omega$  는 입체각(solid angle)을 의미한다. 그림에서 알 수 있듯이  $P_g$  의 크기에 따라 실리콘 층에서 수직 및 수평 방향에 대한 포논 전달 기여 정도가 다르며, 낮은  $P_g$  영역(영역 I)에서는 Si/SiO<sub>2</sub> 경계에서 열전달 기여도가 50% 이상이지만 높은  $P_g$  영역(영역 II)에서는 실리콘 층 양쪽 측면을 통한 열전달이 주도적임을 알 수 있다. 이에 대한 기존 연구를 살펴보면, Sverdrup 등<sup>(3)</sup>은 SOI 트랜지스터

내 발생 열은 주로 실리콘 층의 측면을 통하여 이루어짐을 보였다. 반면, Narumanchi 등<sup>(5)</sup>은 Si/SiO<sub>2</sub> 경계를 통한 기여도가 50% 이상이라고 예상했다. 따라서 본 연구 결과로부터 이 두 결과가 서로 상이한 것이 아니며, 박막 소자 내 포논 열 흐름 방향성이 줄 가열 량 정도에 의존함을 알 수 있다.

줄 열이 발생하는 실리콘 층의 열전달만을 고려하면, 온도 구배는  $x$ -축 방향에 비해  $y$ -축 방향으로 훨씬 급격한 변화가 예상되며 이런 경우 비국소 이론을  $y$ -축 방향에만 국한하여 고려할 수 있다 (Fig. 1 참조). 이를 뒷받침하기 위해 비국소 이론과 수정된 모델의 결과를 Fig. 2(a)에 같이 나타냈다. Debye 가정의 기존 이론보다 수정된 비국소 모델이 온도 구배의 증가에 따른 추가적인 열 저항에 의한 열전달 기여도 감소를 더 잘 예측함을 알 수 있다.

Figure 2(b)에  $P_g$  변화에 따른 실리콘 내 열 저항 ( $R = \Delta T / q$ ) 변화를 나타냈다. Goodson 등<sup>(2)</sup>은 SOI 트랜지스터에서 Si/SiO<sub>2</sub> 경계 면의 단위 길이 당 열 저항 ( $R_{int}$ )을 다음과 같이 모델링 했고 발생 파워 정도에 거의 무관함을 보였다.<sup>(2)</sup>

$$R_{int} \approx \frac{1}{l} \left( \frac{d_{ox}}{K_{ox} K_{si} d_{si}} \right)^{1/2} \quad (7)$$

식(7)에서 실리콘 및 이산화규소 층에 대한 두께 ( $d_{si}$  와  $d_{ox}$ ) 및 열전도율 ( $K_{si}$  와  $K_{ox}$ ) 값으로부터 단위 길이  $l$ 에 대해  $R_{int} = 0.1926$  K/W이며, 여기서  $K_{si}$ 의 값은 박막 72 nm에 해당하는  $K_{si} \approx 70$  W/m·K 값<sup>(10,17)</sup>을 사용했다. 이 결과를 Fig. 2(b)에 나타냈고, 본 연구와 Goodson 등<sup>(2)</sup>의 실험 조건 차이를 고려하면 해석결과와 크기(order)가 비슷하며, 또한 실리콘 층 수평방향 열 저항의  $P_g$  의존성과 비교하면 Si/SiO<sub>2</sub> 경계를 통한 열 저항은 거의 변화가 없다고 할 수 있다. 이는 Goodson 등<sup>(2)</sup>의 실험결과와 일치한다고 할 수 있다.

### 3.2 실리콘 층 내 온도 분포

실리콘 층을 통한 포논 전달 특성을 알아보기 위해 Si/SiO<sub>2</sub> 경계면 단면에서 온도 분포를 무차원 온도로 표현하여 Fig. 3(a)에 나타냈다.  $P_g < \sim 10$  W/m 범위에서 실리콘 층 양쪽 끝 경계에서 온도 구배가 거의 없음을 알 수 있다. 이를 좀더 정량적으로 표현하기 위해 무차원 온도차 [ $T_d = (T_{near} - T_{ref}) / T_{ref}$ ]를 구하여 Fig. 3(b)에 나타냈다. 여기서  $T_{near}$ 는 수치해석 결과로부터 실리콘 측면 양쪽 끝 경계에 가장 근접한 지점의 온도라고 가정할 수 있는 온도이며 트랜지스터 전체 길이의 약 0.8%

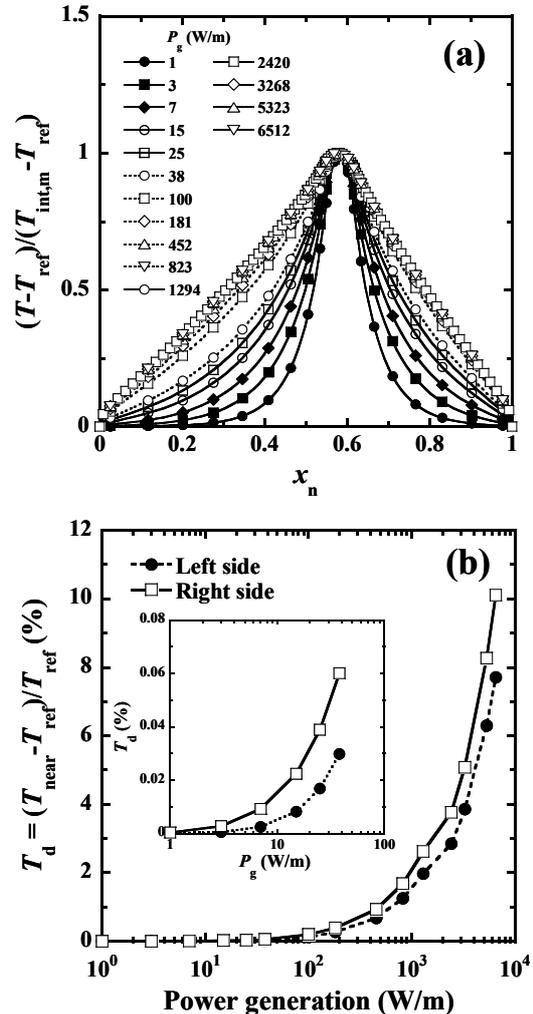


Fig. 3 (a) Non-dimensional temperature distribution for several value of  $P_g$  at the Si/SiO<sub>2</sub> interface as a function of normalized  $x$ -direction; (b) Non-dimensional temperature difference defined as  $T_d = (T_{near} - T_{ref}) / T_{ref}$  (%) as a function of power generation ( $P_g$ ), where  $T_{near}$  is the temperature at the position of the nearest boundary. (Inset) Enlarged view of the nondimensional temperature difference in the range of  $1 \leq P_g < 100$  W/m

떨어진 지점의 온도를 사용했다. 실리콘 층 내  $P_g$  변화에 대한 열 퍼짐 길이(spreading length,  $L$ )<sup>(17)</sup>를 예측할 수 있는데, Fig. 2(a)의 영역 I에 해당하는  $P_g$  범위에서  $T_d < 0.06\%$ 이며, 따라서  $L$ 이 실리콘 층 전체  $x$ -방향 길이에 비해 매우 작을 것이 예상된다. 이 영역에서는 실리콘 층의 양쪽 끝 경계를 통한 포논 전달은 거의 없음을 예상할 수 있다. 이런 이유로 영역 I에 대해서 Si/SiO<sub>2</sub> 경계를 통한 포논 전달이 주도적임을 알 수 있다.

### 3.3 포논의 비국소 현상

공급된 파워( $P_g$ ) 변화에 따른 고온 점에서 포논

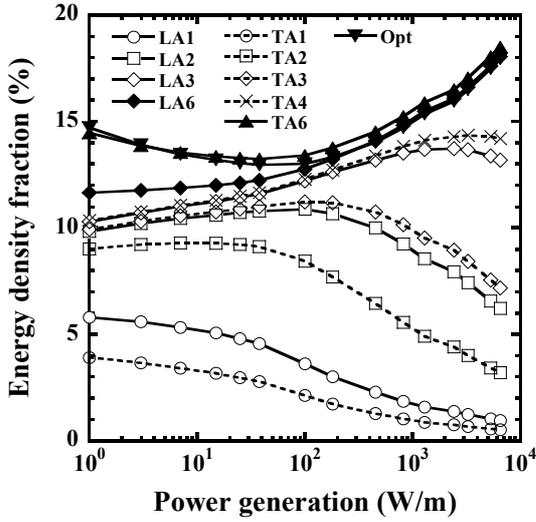


Fig. 4 Phonon energy density contribution of individual phonon band after emitted from hot electrons in the hot spot region

에너지 밀도(energy density) 분율(fraction)을 구해 Fig. 4 에 나타냈다. 고 에너지화된 전자로부터 ~50% 이상의 에너지가 군속도( $v_g$ )가 매우 작은 포논 모드들 (LA6, TA6, Opt)<sup>(8,9)</sup>로 전달되며, 이 추세는 Fig. 2(a)에서 Region II 에 해당하는 영역에서 더 현저하다. 이 결과는 전자-포논 산란률(scattering rate)이 포논 진동수의 제공에 비례함<sup>(18,19)</sup>을 고려하면 타당하다고 할 수 있다. 결과적으로 낮은 군속도의 포논 모드들로 전달되는 에너지 전달 메커니즘이 소자 내 포논 전달의 비국소 현상을 초래하게 된다. 반면, 레이저 조사로 인한 플라즈마(plasma) 상태의 전자는 고 에너지화 되면서 전자 분포가 적어져, 이로 인해 비국소 현상이 발생함이 알려져 있다.<sup>(13,14)</sup> 따라서 포논과 전자의 비국소 현상 발생 메커니즘이 서로 다름을 알 수 있다.

### 3.4 실리콘 층 측면 열 저항

앞의 3.3 절에서 고 에너지화 된 전자의 대부분의 에너지는 LA6, TA6, 와 Opt 포논 모드들로 전달됨을 확인하였다. 따라서 이 포논 모드들을 열원(heat source)로 가정할 수 있고, 이 열원으로부터 열 에너지가 다른 포논 모드로 전달되는 시간 (deposition time,  $t_{D,i}$ )를 다음과 같이 정의할 수 있다.

$$t_{D,i} = \frac{n_{i,P_g}}{n_{i,P_g=1}} \tau_{\text{eff},i}, \quad (8)$$

여기서 하첨자  $i$  는 LA6 및 TA6, Opt 모드를 의미한다.  $n_{i,P_g}$  는  $n_{i,P_g} = e_{i,P_g} / \hbar\omega_i$  정의되며, 이를 이용하

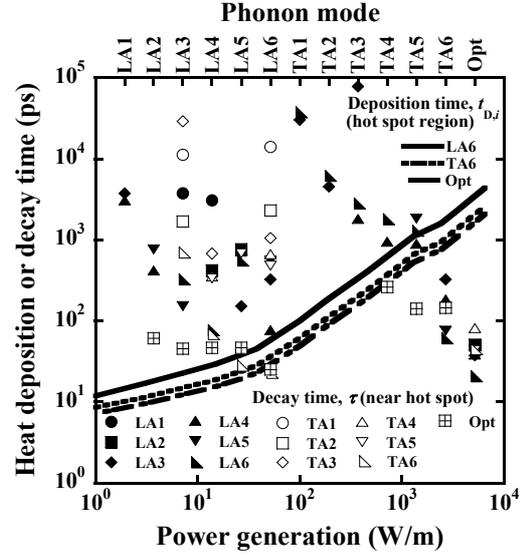


Fig. 5 Deposition time of heat source phonons such as LA6, TA6, and Opt modes from the hot spot and phonon-phonon relaxation (or decay) time at near the hot spot region of Si-layer

면  $P_g$  변화에 대한 단위 부피 당 포논 밀도의 변화를 유추할 수 있다.  $\tau_{\text{eff},i}$  는 Mathiessen 법칙<sup>(4)</sup>으로 계산한 유효(effective) 이완시간이며, LA6, TA6 와 Opt 모드들이 각각 다른 포논 모드들과의 이완시간은 참고문헌(5)의 결과를 활용했다. 이 결과를 포논-포논 이완시간( $\tau$ )<sup>(5)</sup>와 함께 Fig. 5 에 나타냈다. 에너지 전달에 대한 이해를 돕기 위해 Fig. 5 에 이완시간을 열 감소(decay) 시간으로 표현하였다.

Figure 1 의 SOI 트랜지스터의 구조를 고려하면, 실리콘 층 측면으로의 포논 전달은 Si/SiO<sub>2</sub> 경계를 통한 전달 메커니즘에 비해 상대적으로 포논-포논 산란을 통한 열 전달이 매우 중요할 것으로 예상된다. Fig. 2(b)에서 알 수 있듯이 실리콘 층 측면 열 저항은  $P_g$  가 증가함에 따라 감소한다. 이는 고온 점 근처의 포논-포논 이완시간, 즉 포논-포논 산란을 통한 에너지 감소(decay)에 필요한 시간( $\tau$ )과 고온 점 영역에서 LA6, TA6, Opt 포논 모드들이 열 에너지 소산에 필요한 시간( $t_{D,i}$ )인 식 (8)과의 관계로부터 설명할 수 있다.  $P_g \sim t_{D,i}$ 이고, 분명히  $\tau$ 는  $P_g$  의 크기 변화에 대한 영향이  $t_{D,i}$  보다 훨씬 작을 것이므로,  $P_g$  가 증가하면서  $\tau < t_{D,i}$  가 되는 포논-포논 산란 과정이 점차 증가하게 된다. 이는 고온 점과 주변 영역 사이의 비평형(non-equilibrium) 상태 정도의 감소를 의미하여 이로 인해 줄 가열 량의 증가와 함께 실리콘 양쪽 끝 경계 면을 통한 열 저항이 상대적으로 감소하게 된다 (Fig. 5 참조).

#### 4. 결 론

본 연구는 전자-포논 상호작용 모델을 적용하여 줄 가열 량 변화에 따른 박막 트랜지스터의 실리콘 소자 내 열전달을 수치적 방법으로 해석하여 소자의 효율적 냉각 경로 확보를 위한 열 특성을 해석했다. 소자 내 줄 가열 량( $P_g$ )의 크기에 따라 실리콘 층의 수직 및 수평 방향의 열 전달 특성이 다름을 보였고, 높은  $P_g$  ( $> \sim 30$  W/m) 영역에서는 실리콘 층 측면을 통한 열전달이 주도적 이었다. 한편, 포논의 분산관계를 포함하는 수정된 비국소 모델을 제시하여 Si/SiO<sub>2</sub> 경계를 통한 포논 전달 해석결과와 비교하여 그 타당함을 보였다. 또한, 실리콘 내 온도분포 분석을 통하여 낮은  $P_g$  ( $< \sim 10$  W/m) 영역에서 양쪽 경계면 끝 온도 구배가 거의 사라지고, 따라서 Si/SiO<sub>2</sub> 경계를 통한 포논 전달이 주도적임을 확인했다. 소자 내 고온 점 영역에서 포논의 비국소 현상의 원인을 분석하여 포논과 전자의 비국소 현상 발생 메커니즘이 서로 다름을 보였다. 마지막으로 실리콘 층 측면을 통한 열 저항을 포논-포논 이완시간과 고온 점 영역에서 에너지 전달 시간과의 관계로부터 설명했다.

#### 후 기

본 연구는 서울대학교 마이크로열시스템연구센터(ERC)의 지원으로 수행되었습니다.

#### 참고문헌

- (1) Ke, W., Han, X., Xu, B., Liu, X., Wang, X., Zhang, T., Han, R., and Zhang, S., 2006, "Source/drain series resistances of nanoscale ultra-thin-body SOI MOSFETs with undoped or very-low-doped channel regions," *Semiconductor Science and Technology*, Vol. 21, No. 10, pp. 1416~1421.
- (2) Goodson, K. E., Flik, M. I., Su, L. T., and Antoniadis, D. A., 1995, "Prediction and Measurement of Temperature Fields in Silicon-on-Insulator Electronic Circuits," *ASME Journal of Heat Transfer*, Vol. 117, No. 3, pp. 574~581.
- (3) Sverdrup, P. G., Ju, Y. S., and Goodson, K. E., 2001, "Sub-Continuum Simulations of Heat Conduction in Silicon-on-Insulator Transistors," *ASME Journal of Heat Transfer*, Vol. 123, No. 1, pp. 130~137.
- (4) Narumanchi, S. V. J., Murthy, J. Y., and Amon, C. H., 2004, "Submicron Heat Transfer Model in Silicon Accounting for Phonon Dispersion and Polarization," *ASME Journal of Heat Transfer*, Vol. 126, No. 6, pp. 946~955.
- (5) Narumanchi, S. V. J., Murthy, J. Y., and Amon, C. H., 2005, "Comparison of Different Phonon Transport Models for Predicting Heat Conduction in Silicon-on-insulator Transistors," *ASME Journal of Heat Transfer*, Vol. 127, No. 7, pp. 713~723.
- (6) Narumanchi, S. V. J., Murthy, J. Y., and Amon, C. H., 2006, "Boltzmann transport equation-based thermal modeling approaches for hotspots in microelectronics," *Heat and Mass Transfer*, Vol. 42, No.6, pp. 478~491.
- (7) Sinha, S., Pop, E., Dutton, R. W., and Goodson, K. E., 2006, "Non-Equilibrium Phonon Distributions in Sub-100 nm Silicon Transistors," *ASME Journal of Heat Transfer*, Vol. 128, No. 7, pp. 638~647.
- (8) Jin, J. S. and Lee, J. S., 2007, "Electron-Phonon Interaction Model and Prediction of Thermal Energy Transport in SOI Transistor," *Journal of Nanoscience and Nanotechnology*, Vol. 7, No. 11, pp. 4094~4100.
- (9) Jin, J. S. and Lee, J. S., 2009, "Electron-Phonon Interaction Model and Its Application to Thermal Transport Simulation during ESD Event in NMOS Transistor," *ASME Journal of Heat Transfer*, Vol. 131, No. 9, Paper Number 092401.
- (10) Liu, W. and Asheghi, M., 2004, "Phonon-Boundary Scattering in Ultrathin Single-Crystal Silicon Layers," *Applied Physics Letters*, Vol. 84, No. 19, pp. 3819~3821.
- (11) Mahan, G. D. and Claro, F., 1988, "Nonlocal theory of thermal conductivity," *Physical Review B*, Vol. 38, No. 3, pp. 1963~1969.
- (12) Tien, C. L., Majumdar, A., Gerner, F. M., 1998, *MICROSCALE ENERGY TRANSPORT*, Taylor & Francis, Washington D. C., pp 3~94.
- (13) Bell, A. R., Evans, R. G., and Nicholas, D. J., 1981, "Electron Energy Transport in Steep Temperature Gradients in Laser-Produced Plasmas," *Physical Review Letters*, Vol. 46, No. 4, pp. 243~246.
- (14) Bychenkov, V. Y., Rozmus, W., and Tikhonchuk, V. T., 1995, "Nonlocal Electron Transport in a Plasma," *Physical Review Letters*, Vol. 75, No. 24, pp. 4405~4408.
- (15) Larson, B. C., Tischler, J. Z., and Mills, D. M., 1986, "Nanosecond resolution time-resolved x-ray study of silicon during pulsed-laser irradiation," *Journal of Materials Research*, Vol. 1, No. 1, pp. 144~154.
- (16) Glassbrenner, C. J. and Slack, G. A., 1964, "Thermal Conductivity of Silicon and Germanium from 3°K to the Melting Point," *Physical Review*, Vol. 134, No. 4A, pp. A1058~A1069.
- (17) Ju, Y. S., 2005, "Phonon heat transport in silicon nanostructures," *Applied Physics Letters*, Vol. 87, No. 15, Paper Number 153106.
- (18) Pop, E., Dutton, R. W., and Goodson, K. E., 2004, "Analytic band Monte Carlo model for electron transport in Si including acoustic and optical phonon dispersion," *Journal of Applied Physics*, Vol. 96, No. 9, pp. 4998~5005.
- (19) Pop, E., Dutton, R. W., and Goodson, K. E., 2005, "Monte Carlo simulation of Joule heating in bulk and strained silicon," *Applied Physics Letters*, Vol. 86, No. 8, Paper Number 082101.