

## The Design of Ultra-broadband Power Amplifier using a Negative Feedback

이한영\* · 김대중\*  
(Han-Young Lee · Dae-Jung Kim)

**Abstract** - In this dissertation ultra-broadband power amplifier(UPA) was designed and fabricated using negative feedback technique. UPA was made of pre-amplifier, drive amplifier and power amplifier. Negative feedback technique was used to achieve ultra-broadband performance. Designed power amplifier has 30dB gain and 2W output power. The load-pull data of power amplifier for optimal power matching was extracted from the measured S-parameter. Fabricated PCB material, permittivity is 4.6 and thickness is 0.8mm, is FR4 and UPA was fabricated 3 modules for comparison of the simulated and measured results. Size of the fabricated pre-amplifier and drive amplifier module is 40mm×50mm×16mm. And from the experimental results, gain of the pre-amplifier module is 9.87dB at 2GHz and flatness is 0.63dB. Experimental result of the drive amplifier module is 10.97dB at 2GHz and flatness of that is 0.26dB. Test result of the power amplifier module is 10.71dB at 2GHz and flatness is 0.72dB.

Total size of the power amplifier is 45mm×134mm×16mm. According to the test results, gain of the UPA is 28.98dB at 2GHz and flatness is 1.68dB. Output power was 32.098dBm at 2GHz, 32.154dBm at 1GHz and 31.273dBm at 100MHz.

**Key Words** : Power amplifier, Ultra-broadband, Negative feedback, Output power

### 1. 서론

오늘날 전세계는 EMC(Electro magnetic compatibility) 측정장비, 전자전시스템 및 초광대역 광통신 시스템 등은 고안정도, 초광대역의 주파수 특성, 낮은 VSWR, 낮은 잡음지수 그리고 고효율과 같은 매우 우수한 성능을 갖는 광대역 증폭기를 필요로 한다[1]. 현재 상용의 EMC 측정장비 및 고효율 광대역 전력증폭기들은 진공관을 이용한 진행파형 증폭기가 주류를 이루고 있다. 진행파 증폭기는 수십 GHz 대역을 커버하는 초광대역 증폭기로 사용되고 있지만 이러한 증폭기는 공정이 복잡하고 제작 단가가 높으며 효율이 좋지 않다. 따라서 최근 몇몇 마이크로파 증폭기 제조사들은 생산 단가의 최소화, 대량 생산을 위한 재현성 등에 매우 많은 관심을 기울이고 있다. 고체소자 트랜지스터를 이용한 광대역 증폭기에 관한 연구는 매우 폭넓게 진행되고 있다[2]. 하지만 고체소자 전력용 트랜지스터를 이용한 광대역 전력 증폭기에 대한 연구는 많이 알려져 있지 않다. 부궤환을 이용한 트랜지스터 설계 방법은 광대역 특성뿐만 아니라 VSWR이 특성이 양호하고 안정도가 매우 우수한 것으로 알려져 있다. 게다가, 부궤환의 가장 큰 특징은 설계가 유연하고, 제작단가가 적으며 효율을 개선할 수 있다는 것이다 [3][4][5][6].

본 논문에서는 100MHz 에서 2GHz 대역에 걸쳐서 선형

적인 이득 특성을 갖는 전력 증폭기에 대해서 연구하였다. 증폭기의 광대역화를 위한 기본 구조는 낮은 주파수대역의 전자회로나 저 전력 증폭기에서 주로 사용하는 부궤환 방법을 이용하여 구현하였다.

### 2. 부궤환 증폭기 해석

부궤환 증폭기는 특성상 매우 넓은 광대역에 걸쳐서 일정 이득과 우수한 VSWR 특성을 갖도록 설계할 수 있다[7][8]. 마이크로파 증폭기의 대역폭이 100%이상일 경우에는 부정합을 이용한 설계방법으로는 구현하기가 매우 어렵게 되며 더구나 여러 단을 종속 결합해야 할 경우에는 더욱 불가능하게 된다. 이러한 경우 부궤환을 이용한 증폭기 설계 방법이 사용된다. 이렇게 부궤환을 이용하여 증폭기를 설계할 경우 매우 넓은 대역폭을 갖는 반면 증폭기의 잡음지수가 나빠지고 증폭기의 이득값이 감소하게 된다. 가장 일반적으로 사용되는 부궤환 회로는 그림 1에 나타내었다. 증폭기의 궤환 특성을 해석하기 위해서 간단한 등가회로를 그림 2에 나타내었다.

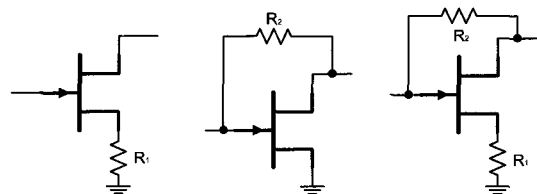


그림 1 궤환증폭기 구조  
Fig. 1 Feedback amplifier configurations

\* 비회원 : 시스레인(주) Syslane Co., Ltd.  
† 교신저자, 정회원 : 대림대학 전자정보통신계열 · 공박  
E-mail : hylee@daelim.ac.kr

접수일자 : 2009년 2월 10일  
최종완료 : 2009년 7월 22일

그림 2는 부궤환이 사용된 증폭기의 등가 회로이다. 이때 어드미턴스 행렬은 식(1)과 같이 나타낼 수 있다.

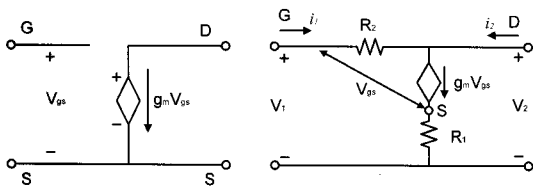


그림 2 GaAs FET 등가회로와 부궤환 모델  
Fig. 2 GaAs FET equivalent network and negative feedback model

$$\begin{bmatrix} i_1 \\ i_2 \end{bmatrix} = \begin{bmatrix} \frac{1}{R_2} & -\frac{1}{R_2} \\ \frac{g_m}{1 + g_m R_1} - \frac{1}{R_2} & \frac{1}{R_2} \end{bmatrix} \begin{bmatrix} v_1 \\ v_2 \end{bmatrix} \quad (1)$$

어드미턴스 파라미터를 S-파라미터로 변환하면 식(2),(3),(4)와 같이 나타낼 수 있다.

$$S_{11} = S_{22} = \frac{1}{D} \left[ 1 - \frac{g_m Z_0^2}{R_2(1 + g_m R_1)} \right] \quad (2)$$

$$S_{21} = \frac{1}{D} \left( \frac{-2g_m Z_0}{1 + g_m R_1} + \frac{2Z_0}{R_2} \right) \quad (3)$$

$$S_{12} = \frac{2Z_0}{DR_2} \quad (4)$$

여기서 D는 식(5)로 나타낼 수 있으며, 식(2)로부터 VSWR = 1일 조건은 분자가 0이 되므로 식(6),(7)과 같이 나타낼 수 있다.

$$D = 1 + \frac{2Z_0}{R_2} + \frac{g_m Z_0^2}{R_2(1 + g_m R_1)} \quad (5)$$

$$R_2(1 + g_m R_1) - g_m Z_0^2 = 0 \quad (6)$$

$$R_1 = \frac{Z_0^2}{R_2} - \frac{1}{g_m} \quad (7)$$

식(7)을 식(3)과 식(4)에 대입하면 식(8), (9)와 같이 나타낼 수 있다.

$$S_{21} = \frac{Z_0 - R_2}{Z_0} \quad (8)$$

$$S_{12} = \frac{Z_0}{R_2 + Z_0} \quad (9)$$

식(8)로부터 트랜지스터의 이득이 트랜지스터의 파라미터에 의존하지 않고  $R_2$  만의 함수임을 알 수 있다. 따라서 광대역에 걸쳐서 이득이 일정한 증폭기 설계가 가능함을 예

측할 수 있다. 병렬 부궤환의 영향에 대해서 알아보기 위해  $R_1 = 0$  라고 가정하면 식(10), (11)로 나타낼 수 있다.

$$g_m = \frac{R_2}{Z_0^2} \quad (10)$$

$$R_2 = Z_0(1 - S_{21}) \quad (11)$$

이득이 일정한 광대역 트랜지스터 증폭기를 설계하기 위해서 식(11)은 부궤환 저항  $R_2$  값을 계산하기 위해 사용된다. 저주파대역에서 공통 이미터 트랜지스터 증폭기의 경우 출력은 입력과 반대의 위상을 갖으므로 식(11)은 식(12)와 같이 다시 쓸 수 있다.

$$R_2 = Z_0(1 + |S_{21}|) \quad (12)$$

### 3. 광대역 전력증폭기 설계

2절에서 서술한 이론을 바탕으로 설계 및 제작한 광대역 전력증폭기는 전체 구성이 3단으로 되어 있으며 3단 모두 기본 구조는 저항성 부궤환 회로를 사용한다. 설계한 광대역 전력 증폭기는 별도의 증폭단 없이도 최대 출력을 얻을 수 있도록 전치증폭부(Pre-amplifier), 구동증폭부(Drive amplifier) 그리고 전력 증폭부(Power amplifier)가 하나의 모듈로 구성 되어있으며, 전체에 대한 설계 및 시뮬레이션 결과에 대해서 설명하도록 한다. 시뮬레이션 툴은 안소프트사의 디자이너를 사용하였다.

#### 3.1 전치증폭부(Pre-amplifier)설계

전치 증폭부는 전체 광대역 전력증폭기의 입력 단에 위치하며 낮은 입력신호를 적당한 크기로 증폭하는 역할을 한다. 전치 증폭부에 사용된 디바이스는 WJ Communications사의 AM1을 사용하였다. 전치 증폭부 설계 사양은 표 1에 나타내었고, 설계한 전치 증폭부의 회로도에는 그림 3과 같다. DC 전원은 전력 증폭부와 단일 전원으로 설계하기 위해서 10V를 사용한다. 부궤환이 없을 경우 주파수 특성을 나타내는 시뮬레이션 결과는 그림 4에 나타내었다. 그림 4에서 100MHz와 3000MHz사이의 이득차이가 약 2.4dB 임을 알 수 있다.

표 1 전치 증폭부 설계사양

Table 1 Design specifications of pre-amplifier

항 목	단위	Min.	Typ.	Max.
Operating frequency	MHz	100	-	3000
Gain	dB		10	
Ripple	dB		1	
Current	mA		75	100
Power supply	V		10	

shunt로 부궤환 했을 경우 390[Ω] 저항값에 따른 주파수 특성을 나타내는 시뮬레이션 결과는 그림 5에 나타내었다. 병렬 부궤환 저항값에 따른 이득 특성을 보면 저항값이 작아질수록 낮은 주파수 대역에서의 VSWR특성이 좋아진

다. 하지만 낮은 주파수 대역에서 이득이 감소하는 것을 볼 수 있다.

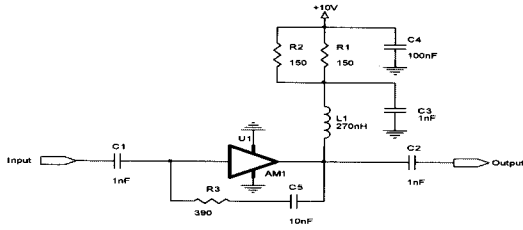


그림 3 전치증폭부 회로도  
Fig. 3 Schematic of pre-amplifier

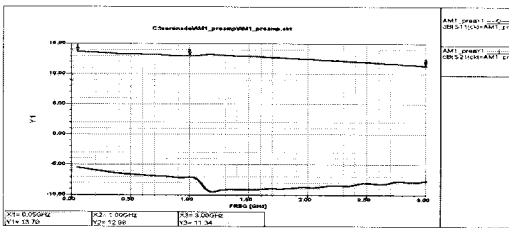


그림 4 AM1의 주파수 특성  
Fig. 4 Frequency response of AM1

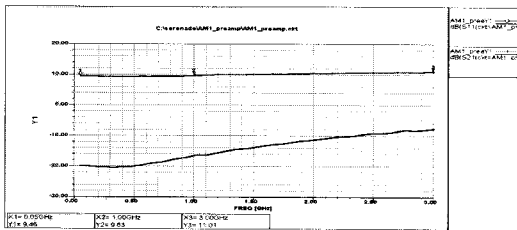


그림 5 390[Ω]부재환을 갖는 AM1의 주파수 특성  
Fig. 5 Frequency response of AM1 with 390[Ω] shunt feedback

### 3.2 구동 증폭부(Drive amplifier)설계

구동 증폭부는 전력증폭부의 바로 앞에 위치하며 전치 증폭부의 출력 신호를 증폭하여 전력증폭부로 전달하는 역할을 한다. 구동 증폭부에 사용된 디바이스는 Excelics사의 EFA240D를 사용하였다. EFA240D는 GaAs FET로서 P1dB가 약 29.5dBm 정도 출력을 갖는다. EFA240D를 이용한 전체 구동 증폭부의 설계 사양은 표 2와 같이 나타내며, 설계된 구동 증폭부의 회로도는 그림 6과 같다. 설계된 회로에서 부재환을 구성하는 수동 소자값들은 최대한 기생성분에 의한 설계 오차를 줄이기 위해서 1608사이즈의 부품으로 구성하였고 나머지 부품은 2012사이즈 부품으로 구성되어 있다.

표 2 구동 증폭부 설계사양  
Table 2 Design specifications of drive amplifier

항 목	단 위	Min.	Typ.	Max.
Operating frequency	MHz	100		2000
Gain	dB		12	
Ripple	dB		1	
Current	mA		350	
Power supply	V		7	

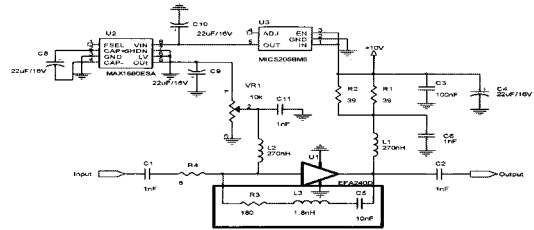


그림 6 구동증폭부 회로도  
Fig. 6 Schematic of drive amplifier

구동 증폭부의 부재환 전과 후에 대한 시뮬레이션 결과는 그림 7과 그림 8에 나타내었다. 그림 7은 정합이 전혀 이루어 지지 않은 상태에서의 이득 이므로 이득 차이가 매우 크게 나타남을 알 수 있다. 100MHz와 2GHz의 이득 차이는 무려 12.6dB이다. 부재환 회로를 추가한 후 결과는 그림 8과 같으며, 시뮬레이션 결과 약 평균 이득은 12dB이며 전체 대역에 걸쳐서 약 0.36dB 변화함을 알 수 있다.

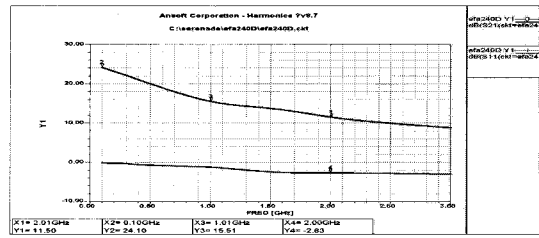


그림 7 EFA240D의 주파수 특성  
Fig. 7 Frequency response of EFA240D without feedback

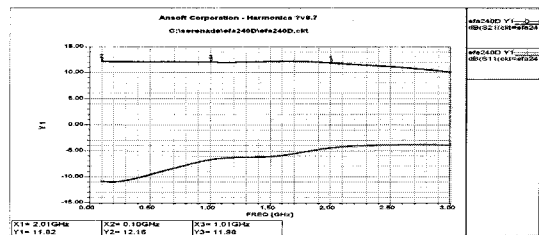


그림 8 부재환을 갖는 EFA240D의 주파수 특성  
Fig. 8 Frequency response of EFA240D with shunt feedback

### 3.3 전력 증폭부(Power amplifier)설계

전력 증폭부는 구동 증폭부로부터 신호를 입력 받아 전체 전력 증폭기의 출력 전력을 결정하는 부분이다. 따라서 전체 대역에 걸쳐서 평탄도도 우수해야 할 뿐만 아니라 출력 전력 또한 최대로 이끌어 내야 한다. 전력 증폭부에 사용된 디바이스는 Fujitsu사의 GaAs FET계열의 FLL357ME를 사용하였다. FLL357ME는 2.3GHz 주파수에서 출력 전력이 3.5W 정도 낼 수 있는 소자이다. 표 3은 전력증폭부의 설계 사양을 나타내며, 그림 9는 설계한 전력증폭부의 전체 회로도이다.

표 3 전력 증폭부 설계사양

Table 3 Design specifications of power amplifier

항 목	단위	Min.	Typ.	Max.
Operating frequency	MHz	100		2000
Gain	dB		10	
Ripple	dB		1	
Output power	dBm		33	
Current	mA		700	
Power supply	V		10	

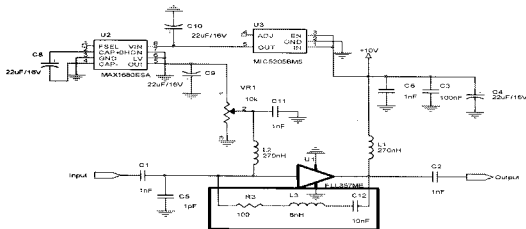


그림 9 전력 증폭부 회로도

Fig. 9 Schematic of power amplifier

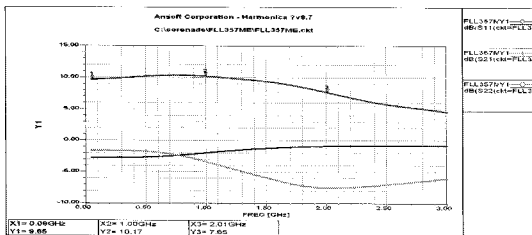


그림 10 부궤환을 갖는 FLL357ME의 주파수 특성

Fig. 10 Frequency response of FLL357ME with feedback

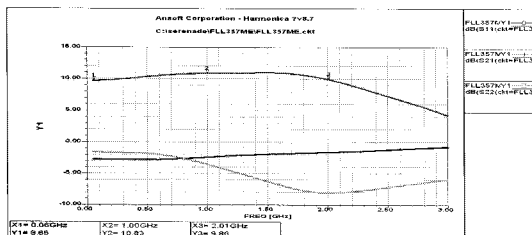


그림 11 부궤환과 입력 정합회로를 갖는 FLL357ME의 주파수 특성

Fig. 11 Frequency response of FLL357ME with feedback and input matching circuit

그림 10은 부궤환을 갖는 FLL357ME의 주파수 특성 시뮬레이션 결과 60 MHz 에서 9.65dB, 1GHz에서 10.17dB, 2GHz에서 7.65dB를 얻었으며, 그림 11은 부궤환과 입력 정합회로가 추가된 시뮬레이션 결과 60 MHz 에서 9.65dB, 1GHz에서 10.83dB, 2GHz에서 9.86dB를 얻었다[9].

### 3.4 광대역 전력 증폭기(Ultra-broadband power amplifier)설계

전체 광대역 전력 증폭기의 설계사양은 표 4에 나타내었다. 설계된 각 단을 연결하여 전체 전력증폭기를 구성할 경우 입출력 정합 특성이 좋지 않기 때문에 캐스코드시 약간의 튜닝이 필요하다.

표 4 광대역 전력증폭기 설계 사양

Table 4 Design specifications of ultra-broadband power amplifier

항 목	요구 규격	비고
Operating frequency	100MHz ~ 2000MHz	
Output power	Typ. 2W	Inband
Gain	30dB	
Flatness	< 3dB	
Input return loss	> 10dB	
Power supply	10V	
Power consumption	< 15W	

그림 12는 전체 광대역 전력증폭기의 시뮬레이션 회로도 를 나타낸다. 시뮬레이션 결과는 그림 13과 같다. 시뮬레이션 결과는 표 5에 정리하였다. 시뮬레이션 결과 전체 대역에서 평균이득은 30.49dB이며 대역내 평탄도는 1.94dB를 얻었다. 또한 입력 반사계수는 10.95dB로 설계사양을 만족한다.

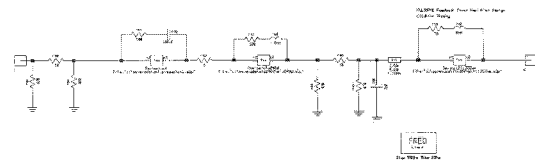


그림 12 광대역 전력증폭기의 회로도

Fig. 12 Schematic of the UPA(ultra-broadband power amplifier)

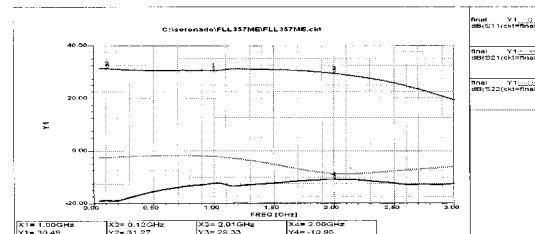


그림 13 광대역 증폭기의 주파수 특성

Fig. 13 Frequency response of the UPA

표 5 광대역 전력증폭기 시뮬레이션 결과

Table 5 Simulation results of the UPA

항 목	요구 규격	비고
Operation frequency	100MHz ~ 2000MHz	
Gain	30.49dB	
Flatness	1.94dB	
Input return loss	10.95dB	

## 4. 실험 및 결과

본 절에서는 지금까지 설계된 광대역 증폭기의 각 부분들을 제작하고 실험을 통하여 시뮬레이션 결과와 비교 분석한다. 각 증폭기를 측정하기 위한 계측기 장비는 주파수 특성을 측정하기 위해서 Agilent사의 8753ES 회로망 분석기가 사용되었으며 출력 스펙트럼분석을 위해서 Agilent사의 E4440A를 사용하였다. 또한 CW 신호원은 두 개가 필요한데 모두 Agilent사의 E4438C를 사용하였으며 출력 전력을

측정하기 위해 Agilent사의 E4416A power meter가 사용되었다. 기타 액세서리로는 바이어스 공급을 위한 DC Power supply, 고출력 감쇄기, 전력 결합기 등이 사용되었다.

4.1 전치 증폭부의 제작 및 측정

그림 14는 제작된 전치 증폭부의 모듈 사진이며 PCB 제작에 사용된 기판은 일반적으로 많이 사용되는 FR4이고 기판 두께는 0.8mm 이다. 제작된 전치 증폭부의 사이즈는 40mm×50mm×16mm 이다.

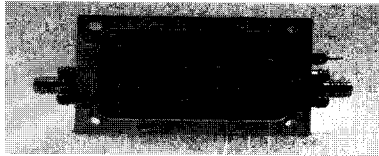


그림 14 제작된 전치증폭기 모듈 사진  
Fig. 14 Photograph of fabricated preamplifier module

그림 15는 게환을 하지 않았을 때 전치 증폭부의 특성을 나타낸다. 측정결과는 표 6에 나타내었다.

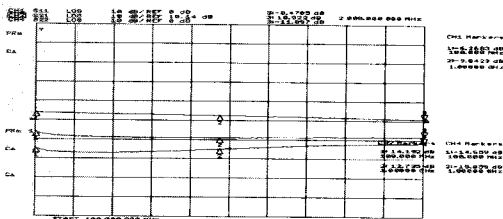


그림 15 부게환이 없는 전치 증폭부의 주파수 응답특성  
Fig. 15 Frequency response of pre-amplifier without feedback

표 6 광대역 전력증폭기 시뮬레이션 결과  
Table 6 Simulation results of the UPA

항 목	100MHz	1GHz	2GHz
Gain	14.192dB	12.735dB	10.922dB
Input return loss	6.27dB	9.04dB	8.47dB

부게환이 없는 경우 100MHz에서 2GHz 대역에 걸쳐서 최대 3.27dB의 이득 차이가 있고 입력 반사계수도 100MHz 주파수에서 최대 6.27dB로 특성이 좋지 않다.

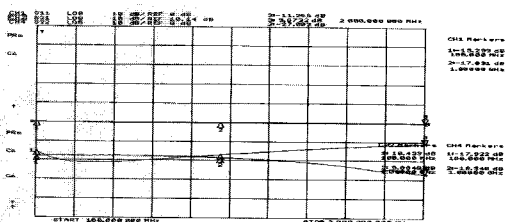


그림 16 390[Ω] 부게환을 갖는 전치 증폭부의 주파수 응답 특성  
Fig. 16 Frequency response of pre-amplifier with 390[Ω] shunt feedback

그림 16은 부게환 저항값을 390[Ω]으로 줄였을 때의 특성이며 표 7에 출력 결과를 정리하였다. 입력 반사계수는 2GHz 주파수에서 0.7dB 개선 되었으며 평탄도는 0.56dB로 0.63dB 개선 되었다.

표 7 390[Ω] 부게환 저항을 갖는 전치 증폭부 실험 결과  
Table 7 Test result of pre-amplifier with 390[Ω] shunt feedback

항 목	100MHz	1GHz	2GHz
Gain	10.43dB	9.88dB	9.87dB
Input return loss	15.29dB	17.03dB	11.26dB

4.2 구동 증폭부의 제작 및 측정

그림 17은 제작된 구동 증폭부 모듈 사진이다. 제작에 사용된 기판은 전치 증폭부와 동일하며 전체 사이즈 또한 동일하다. 단지 구동증폭부에 사용된 디바이스가 GaAs FET 이기 때문에 게이트에 부전원을 인가해 주기 위해서 부전원 생성을 위한 IC(MAX1680)가 추가 되어 있다. 그리고 정확한 바이어스 조건을 만족하기 위해서 가변저항(VR1)을 추가하였다.



그림 17 제작된 구동증폭부 사진  
Fig. 17 Photograph of fabricated drive amplifier

부게환이 없는 경우 측정 결과는 그림 18에 나타나 있다. 측정 결과는 표 8에 정리하였다. 측정 결과 전체 대역에 걸쳐서 평탄도는 9.07dB로 매우 좋지 않다.

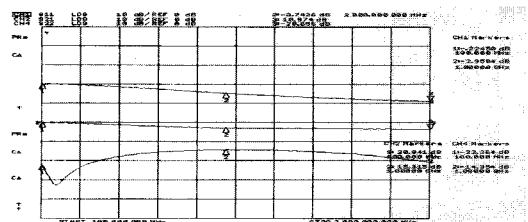


그림 18 부게환이 없는 구동증폭부의 주파수 응답특성  
Fig. 18 Frequency response of drive amplifier without feedback

표 8 부게환이 없을 때 구동증폭부 실험결과  
Table 8 Test result of drive amplifier without feedback

항 목	100MHz	1GHz	2GHz
Gain	20.04dB	15.3dB	10.97dB
Input return loss	0.22dB	2.95dB	3.74dB

그림 19는 설계에서 사용된 270[Ω]저항과 1.8nH 인덕터를 추가하고 안정도를 위해서 입력포트에 직렬 저항 5.6

[Ω]을 연결하였을 때의 특성을 나타낸다. 부궤환 저항을 270[Ω]으로 했을 경우 평탄도는 0.26dB로 매우 개선되었으며 입력 VSWR이 2GHz 주파수에서 다소 감소하였다. 전체적으로 특성이 매우 개선되었음을 볼 수 있다. 측정 결과는 표 9에 나타내었다.

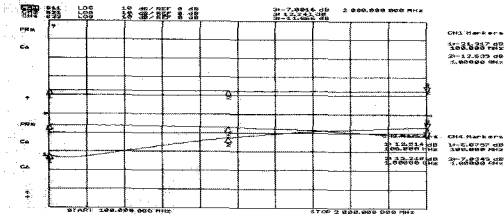


그림 19 270[Ω] 부궤환을 갖는 구동 증폭부의 주파수 응답 특성

Fig. 19 Frequency response of drive amplifier with 270Ω shunt feedback

표 9 270[Ω] 부궤환일 때 구동 증폭부 실험 결과

Table 9 Test result of drive amplifier with 270[Ω] shunt feedback

항 목	100MHz	1GHz	2GHz
Gain	12.5dB	12.2dB	12.24dB
Input return loss	21.9dB	12.63dB	7.0dB

구동 증폭부는 다음 단계 전력증폭부가 연결된다. 따라서 이득 평탄도 뿐만 아니라 전력 증폭부에 전력을 충분히 공급할 수 있어야 하며 비선형 특성도 매우 좋아야 한다. 그림 20과 그림 21은 2GHz에서 구동 증폭부의 IMD 특성 및 OIP3특성을 나타내는 그래프이며 측정 결과는 표 10에 나타내었다. 측정결과 20dBm 출력일 때 OIP3는 40.79dBm이고 18dBm 일경 우 45.78dBm이다.

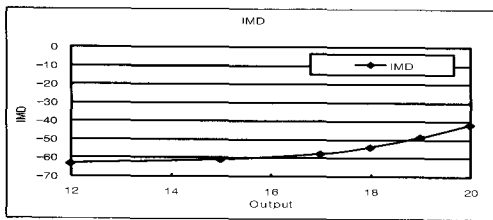


그림 20 출력 전력변화에 따른 구동 증폭부의 IMD 특성곡선  
Fig. 20 IMD characteristics of drive amplifier in terms of output power

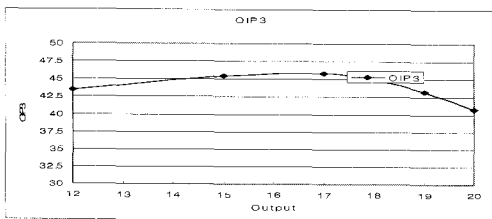


그림 21 출력 전력 변화에 따른 구동 증폭부의 OIP3 특성 곡선  
Fig. 21 OIP3 characteristics of drive amplifier in terms of output power

표 10 구동 증폭부의 IMD 측정결과

Table 10 MD characteristics of drive amplifier

항목	12 dBm	15 dBm	17 dBm	18 dBm	19 dBm	20 dBm
IMD	62.96dB	60.78dB	57.57 dB	53.91 dB	48.5dB	41.58 dB

4.3 전력 증폭부의 제작 및 측정

그림 22는 제작된 전력증폭부 모듈 사진이다. 전체 사이즈는 전치증폭부와 동일하다. 사용된 디바이스는 Fujitsu사의 GaAs FET인 FLL357ME이며 바이어스는 10V/700mA이다[9].

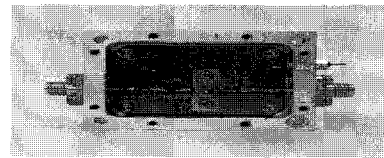


그림 22 제작된 전력증폭부 사진

Fig. 22 Photograph of fabricated power amplifier

그림 23은 FLL357ME에 부궤환으로 130[Ω]과 1.5nH의 인덕터를 구성하였을 때의 특성을 나타낸다. 측정결과는 표 11에 정리하였다.

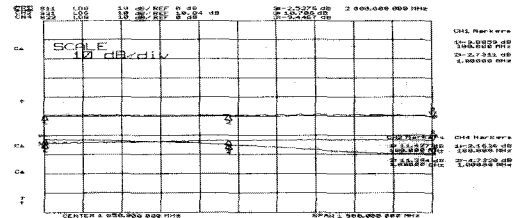


그림 23 130[Ω] 부궤환을 갖는 전력 증폭부의 주파수 응답 특성

Fig. 23 Frequency response of power amplifier with 130[Ω] shunt feedback

표 11 130[Ω] 부궤환이 있을 때 전력 증폭부 실험 결과  
Table 11 Test result of power amplifier with 130[Ω] shunt feedback

항 목	100MHz	1GHz	2GHz
Gain	11.427dB	11.384dB	10.706dB
Input return loss	3.88dB	2.73dB	2.53dB
Output return loss	2.16dB	4.73dB	9.44dB

측정결과 전체 대역내에서의 평탄도가 최대 0.721dB로 매우 양호한 특성을 나타낸다. 전력증폭기의 출력 전력 특성을 알아보기 위해서 입력 전력에 따른 이득 변화 곡선이 그림 24에 나타나 있다. 그림 24에서 입력 전력이 12.427dBm 일 때 이득이 1dB 감소함을 나타낸다. 이때의 이득은 19.671dB이다. 따라서 전체 출력 전력은 32.098dBm임을 알 수 있다.

그림 24는 입력 주파수가 2GHz일 때의 출력 특성이며 주파수가 1GHz일 때의 출력 특성은 그림 25에 나타나 있다. 측정결과 입력 전력이 11.21dBm 일 때 출력이 1dB 떨어진다. 이때의 이득은 20.944dB 이며 따라서 출력 전력은 32.154dBm이다. 입력 주파수가 100MHz일 때 출력 특성은 그림 26에 나타내었으며 입력 전력이 11.055dBm일 때 이득이 1dB 감소하며 이때의 이득은 20.218dB이다. 따라서 출력 전력은 31.273dBm이다. 주파수에 따른 출력 전력은 표 12에 정리하였다[9].

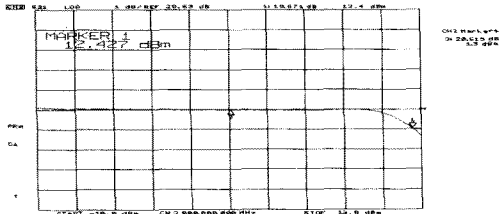


그림 24 2GHz에서 PA모듈의 입력 전력에 따른 이득  
Fig. 24 Gain of the PA vs. input power at 2GHz

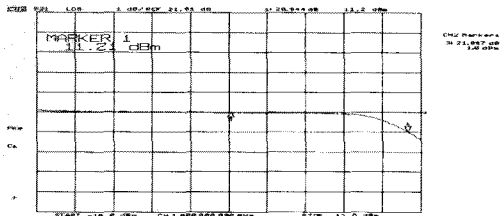


그림 25 1GHz에서 PA 모듈의 입력 전력에 따른 이득  
Fig. 25 Gain of the PA vs. input power at 1GHz

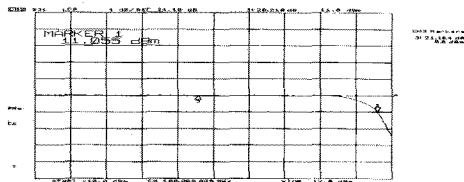


그림 26 100MHz에서 PA모듈의 입력 전력에 따른 이득  
Fig. 26 Gain of the PA vs. input power at 100MHz

표 12 전력 증폭부 출력 전력  
Table 12 Output power of power amplifier

항 목	100MHz	1GHz	2GHz
P1dB	31.273dBm	32.154dBm	32.098dBm

4.3 광대역 전력 증폭기의 제작 및 측정

그림 27은 제작된 광대역 전력 증폭기의 모듈 사진이다. 전체 사이즈는 45mm ´ 134mm ´ 16mm이다.



그림 27 제작된 광대역 전력 증폭기 사진  
Fig. 27 Photograph of the fabricated UPA

전체 광대역 전력 증폭기의 주파수 응답특성은 그림 28에 나타내었으며 측정결과는 표 13에 정리하였다. 이득특성은 2GHz에서 28.87dB, 1GHz에서 28.98dB, 100MHz에서 30.39dB를 얻었다. 전체 대역내에서의 평탄도는 1.68dB이다.

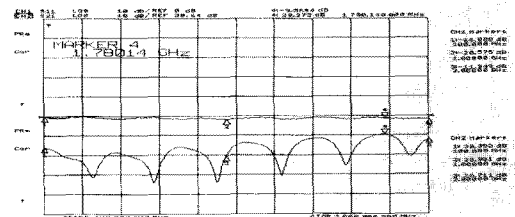


그림 28 광대역 전력 증폭기의 주파수 응답특성  
Fig. 28 Frequency response of the UPA

표 13 광대역 전력증폭기의 측정결과  
Table 13 Test result of the UPA

항 목	100MHz	1GHz	2GHz
Gain	30.39dB	28.98dB	28.71dB
Input return loss	16dB	20.57dB	11.94dB

5. 결 론

본 논문에서 설계 및 제작한 전체 광대역 전력 증폭기는 3단으로 구성되어 있으며 각 단별 성능을 분석하기 위해서 별도의 모듈로 제작하였다.

제작한 전치 증폭부는 WJ사의 AM1을 사용하였으며 입출력이 일부 정합된 MMIC이다. 부궤환 회로를 추가하기 전과 추가한 후의 데이터를 비교 제시하였으며 부궤환 회로를 추가하여 제작한 결과 이득 평탄도는 전체 대역에서 0.56dB이며 입력 반사계수는 최대 11.26dB이다. 시뮬레이션 결과와 비교하여 평탄도가 약 0.94dB 차이를 보인다.

구동 증폭부는 Excelics사의 GaAs FET계열의 EFA240D를 사용하였으며 출력 P1dB는 최대 31dBm을 갖는 디바이스이다. 제작 결과 시뮬레이션에서 사용된 부궤환 값을 사용할 경우 높은 주파수대역에서 이득이 증가함을 알 수 있다. 이는 제조사에서 제공되는 디바이스 측정파라미터의 정확성과 제작과정에서 발생하는 제작 오차에 의해서 저주파에서 이득이 무려 4.1dB 이상 차이가 나타난다. 따라서 불가피하게 부궤환 회로의 저항값을 180[Ω]에서 270[Ω]으로 수정하여 테스트 한 결과 이득 평탄도가 0.26dB 특성을 나타낸다. 또한 구동증폭부는 전력 증폭부에 왜곡이 없는 전력을 공급하여야 하기 때문에 출력 IMD를 측정하여야 한다. 측정결과 OIP3 특성이 전체 주파수 대역에 걸쳐서 최소

41dBm 이상이며 2GHz에서 18dBm 출력일 때 최대 45.78dBm 으로 매우 양호한 특성을 나타낸다.

전력 증폭부는 전체 전력을 결정짓는 부분으로 부궤환 회로만 추가했을 경우 이득은 2GHz에서 10.7dB 이며 평탄도는 0.76dB로 전체 대역에 걸쳐 매우 양호한 이득 특성을 갖는다.

전체 광대역 전력 증폭기의 이득은 2GHz에서 28.87dB, 전체 대역 내에서의 평탄도는 1.68dB이다. 출력은 2GHz 주파수에서 32.098dBm, 1GHz에서 32.154dBm, 100MHz에서 31.273dBm 특성을 나타낸다.

향후 본 논문에서 제시한 부궤환 증폭기가 광대역 전력 증폭기를 구현하는데 필요한 데이터로 사용될 수 있을 것으로 사료 된다.

**참 고 문 헌**

- [1] 김한석, "1.8GHz 대역의 전치왜곡 선형화기를 이용한 전방궤환 선형 전력 증폭기의 설계에 관한 연구", 건국대학교 박사학위 논문, 2000.
- [2] iTerra Communications, "A 10MHz to 22GHz MMIC Amplifier with 1W Output," *Microwave Journal*, 2004.
- [3] A. S. Virdee and B.S Virdee, "Computer-aided design of ultra-broadband 100MHz to 20GHz amplifiers," *Microwave Journal*, 2000.
- [4] B. J. Minnis, "The traveling wave matching technique for cascable MMIC amplifier," *IEEE Transaction on Microwave Theory and Techniques*, MTT-40, pp.690-692, 1994.
- [5] M. Berroth and R. Bosch, "Broadband determination of the FET small signal equivalent circuits," *IEEE Transaction on Microwave Theory and Techniques*, MTT-40, p.891, July 1994.
- [6] P. B. Kennington, *High-Linearity RF Amplifier Design*, Artech House Inc., 2000.
- [7] G. Gonzalez, *Microwave Transistor Amplifiers Analysis and Design*, Prentice-Hall, 1997.
- [8] M. Albulet, *RF Power Amplifiers*, Noble publishing, 2001.
- [9] Han-Young Lee "A Study on Design of Optimal Load Impedance for Broadband Characteristic Improvement of the Power Amplifier", *Trans. KIEE. Vol. 58, No. 6, pp. 1166-1173, JUN, 2009.*

**저 자 소 개**



**이 한 영 (李 辰 瑩)**

1971년 9월 18일생. 1998년 세종대 물리학과 졸업(이학사). 2002년 국민대 전자공학과 졸업(공학 석사). 2005년 건국대 전자정보통신 졸업(공학 박사). 1999년 ~ 현재 대림대학 실습행정기사 .

Tel : 031-467-4745  
 Fax : 031-467-4908  
 E-mail : hylee@dealim.ac.kr



**김 대 중 (金 大 中)**

1971년 2월 6일생. 1995년 건국대 전자공학과 졸업(공학사). 1997년 건국대 전자공학과 졸업(공학 석사). 2005년 건국대 전자정보통신 졸업(공학 박사). 2007년 ~ 현재 시스레인(주) 대표이사.

Tel : 031-776-0293  
 E-mail : djkim@syslane.com