

저온 Poly-Si TFT 소자의 Hysteresis 특성 개선

정훈주* , 조봉래** , 김병구**

Improvement of Hysteresis Characteristics of Low Temperature Poly-Si TFTs

Hoon-Ju, Chung* · Bong-Rae Cho** · Byeong-Koo Kim**

요약

AMOLED 디스플레이는 LCD에 비해 넓은 시야각, 빠른 응답 속도, 박막화의 용이성 등의 많은 장점들을 갖고 있으나 불균일한 TFT의 전기적 특성과 전원선의 전압 강하에 의한 휘도 불균일, 잔상 현상 및 수명 등과 같은 많은 문제점들이 있다. 이 중에서 본 논문에서는 구동 TFT 소자의 hysteresis 현상에 의해 발생하는 가역적 잔상 현상을 개선하고자 한다. TFT의 hysteresis 특성을 개선하기 위해 게이트 산화막 증착 전에 표면 처리 조건을 변경하였다. 게이트 산화막 증착 전에 실시한 자외선 및 수소 플라즈마 표면 처리는 게이트 산화막과 다결정 실리콘 박막 사이의 계면 trap 밀도를 $3.11 \times 10^{11} \text{ cm}^{-2}$ 로 감소시켰고, hysteresis 레벨을 0.23 V로 줄였으며 출력 전류 변화를 3.65 %로 감소시켰다. 자외선 및 수소 플라즈마 처리를 행함으로써 AMOLED 디스플레이의 가역적 잔상을 많이 개선할 수 있을 것으로 기대된다.

ABSTRACT

Although Active matrix organic light emitting diode (AMOLED) display has a better image quality in terms of viewing angle, contrast ratio, and response time than liquid crystal displays (LCDs), it still has some critical issues such as lifetime, residual images, and brightness non-uniformity due to non-uniformity in electrical characteristics of driving TFTs and IR drops on supplied power line. Among them, we improved irrecoverable residual images of AMOLED displays which is mainly related to the hysteresis characteristics of driving TFTs. We consider four kinds of surface treatment conditions before gate oxide deposition for improving hysteresis characteristics. We can reduce the hysteresis level of p-channel TFT to 0.23 V, interface trap states between the poly-Si layer and gate insulator to $3.11 \times 10^{11} \text{ cm}^{-2}$, and output current variation of p-channel TFT to 3.65 % through the surface treatment using ultraviolet light and H₂ plasma. Therefore, the recoverable residual image problem of AMOLED displays can be improved by surface treatment using ultraviolet light and H₂ plasma.

Key Word : Poly-Si TFT, AMOLED, Residue image, Hysteresis, LCD

1. 서론

기존의 디스플레이 시장은 CRT에 의해서 주도

적으로 형성되어 왔으나 정보통신과 인터넷의 발전으로 디스플레이의 휴대화, 저소비 전력화, 경량화, 그리고 평면화의 요구에 따라 평판 디

* 금오공과대학교 전자공학부(hjchung@kumoh.ac.kr)

** LG.Philips LCD(현, LG Display)

접수일자 : 2009.01.21

완료일자 : 2009.02.12

접수번호 : KIIECT2009-01-12

스플레이에 대한 관심이 높아지게 되었다. 평판 디스플레이로는 대표적으로 액정 디스플레이, 플라즈마 디스플레이 패널 및 OLED(Organic Light Emitting Diode) 디스플레이 등이 있다. 이 중에서도 특히 OLED 디스플레이는 넓은 시야각, 빠른 응답 속도, 박막화의 용이성 등의 많은 장점들을 갖고 있어 차세대 디스플레이로써 주목을 받고 있다[1]. 그러나 AMOLED(Active Matrix Organic Light Emitting Diode) 디스플레이를 성공적으로 제품화하기 위해서는 불균일한 TFT(Thin Film Transistor)의 전기적 특성과 전원선의 전압 강하에 의한 휘도 불균일, 잔상 현상 및 수명 등과 같은 많은 문제점들을 반드시 해결해야 한다[2].

불균일한 TFT의 전기적 특성과 전원선의 전압 강하에 의한 휘도 불균일 문제를 해결하기 위해 화소 별로 구동 TFT 외에 별도로 TFT를 추가시켜 구동 TFT의 불균일한 전기적 특성 및 전원선의 전압 강하를 보상하는 화소 구조 및 구동 소자의 균일한 전기적 특성을 얻을 수 있는 공정 연구가 활발히 진행되고 있다[3-6].

AMOLED 디스플레이의 수명 문제를 개선하기 위해 OLED 소자의 수명 향상을 위한 연구도 많이 진행되고 있다[7].

AMOLED 디스플레이에 나타나는 잔상은 크게 두 가지로 분류할 수 있다. 첫 번째 잔상은 특정 영상을 오랜 시간 동안 디스플레이하면 OLED 소자의 열화에 의해 발생하는 잔상이다. 이 경우에는 일정 시간이 지나도 잔상이 지속적으로 남아있게 된다. 이런 잔상 현상을 개선하기 위해서는 OLED 소자 및 구동 트랜지스터 소자의 신뢰성 향상이 필요하다. 두 번째 잔상은 정지 영상을 잠시 디스플레이한 다음, 다른 영상으로 변환했을 때 이전 영상이 나타나는 것으로 어느 정도 시간이 경과함에 따라 이전 영상이 서서히 사라지는 가역적인 잔상이다. 가역적 잔상의 원인은 OLED 소자에 전류를 흘려주는 구동 트랜지스터의 hysteresis 현상에 의해 발생한다[8].

본 논문에서는 AMOLED 디스플레이의 문제점

들 중에서 OLED 구동 TFT의 hysteresis에 의해 발생하는 가역적 잔상을 개선하고자 한다.

II. TFT 소자의 Hysteresis 현상

그림 1은 p형 TFT 소자의 hysteresis 현상을 나타내고 있다. TFT 소자의 전달 특성 곡선에서 hysteresis 현상은 게이트 전압을 음에서 양으로 인가할 때와 양에서 음으로 인가할 때의 드레인 전류가 서로 다르게 나타나는 현상을 말한다.

Hysteresis 현상을 MOS(Metal Oxide Semiconductor) 구조에서 자세히 살펴보면 다음과 같다. MOS 구조에서 각 박막별로 인가되는 전압을 표현하면 다음과 같다.

$$V_{GB} = \psi_{ox} + \psi_s + \phi_{MS} \quad (1)$$

여기에서 V_{GB} 는 외부에서 인가하는 전압, ψ_{ox} 는 게이트 절연막에서 일어나는 전압 강하, ϕ_{MS} 는 두 전극 간의 일함수 차이, ψ_s 는 실리콘 층에 형성되는 전압 강하를 나타내고 있다. MOS 구조에서 전극 물질이 정해지면 ϕ_{MS} 는 상수가 되므로 외부 인가 전압 V_{GB} 의 변화가 발생하며 ψ_{ox} 및 ψ_s 가 변화하여 균형을 맞추게 된다.

$$\Delta V_{GB} = \Delta\psi_{ox} + \Delta\psi_s \quad (2)$$

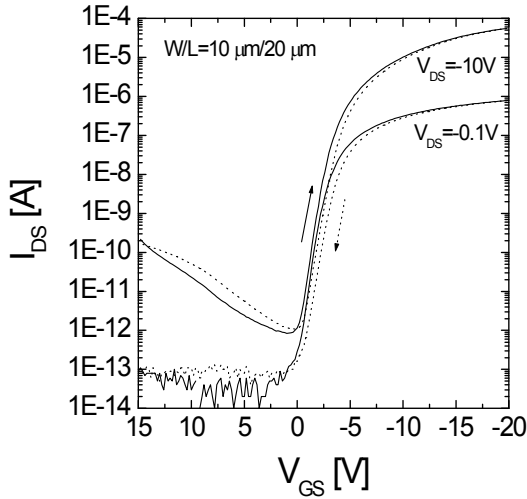


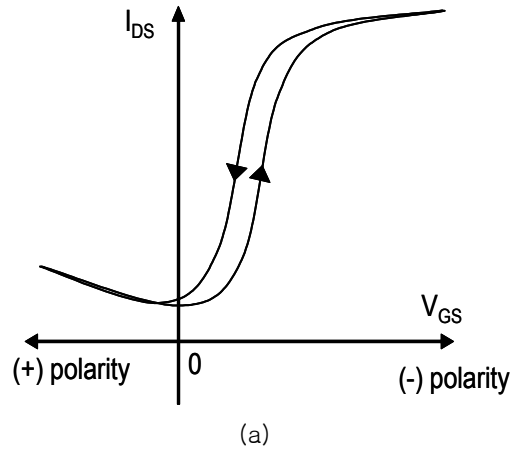
그림 1. p형 저온 다결정 실리콘 박막 트랜지스터의 hysteresis 특성

Fig. 1. The hysteresis characteristics of p-type Low temperature poly-Si TFT

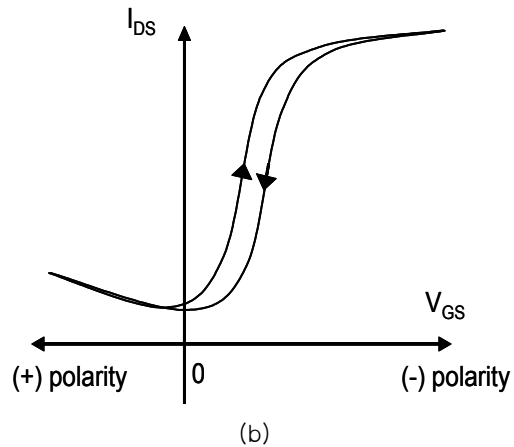
전하량 관점에서 MOS 구조를 해석하면 단위 면적당 전하량이 중성이 되어야 한다.

$$Q_G + Q_O + Q_C = 0 \quad (3)$$

여기서 Q_G 는 단위 면적당 게이트 전극의 전하량, Q_O 는 단위 면적당 유효 게이트 절연막 전하량, Q_C 는 단위 면적당 실리콘 층의 전하량을 나타낸다[9]. 만약 소자에서 동일한 드레인 전류를 흐르게 하기 위해서는 단위 면적당 실리콘 박막의 전하량은 동일해야 하기 때문에 Q_G 의 변화가 발생하면 Q_O 는 반대 극성이면서 같은 양의 변화가 유도되어 단위 면적당 전하 균형 방정식이 성립해야 한다. 그러므로 게이트 전압의 인가 방향에 따른 문턱 전압의 차이는 단위 면적당 유효 게이트 절연막 전하량의 변동으로 설명할 수 있다.



(a)



(b)

그림 2. p형 저온 다결정 실리콘 박막 트랜지스터의 hysteresis 곡선의 두 가지 유형

Fig. 2. Two types for the hysteresis loop of p-type low temperature poly-Si TFT

일반적으로 유효 게이트 절연막 전하는 네 종류로 분류할 수 있다. 게이트 절연막과 실리콘 막의 경계부 가까이에 존재하는 oxide fixed 전하, 게이트 절연막 전체에 걸쳐 분포하는 oxide trapped 전하, 제조 공정상에서 외부 환경 조건에 의해 유입되는 알칼리 이온에 의한 mobile ionic 전하 및 실리콘 막과 게이트 절연막 계면의 결함에 의해 발생하는 interface trap 전하이다. 네 가지 유효 게이트 절연막 전하 중에서 TFT 소자의 hysteresis 현상을 설명할 수 있는 전하는 mobile ionic 전하와 실리콘 박막과 게

이트 절연막 경계부 영역의 trap 전하라고 볼 수 있다.

만약 TFT 소자의 hysteresis 현상이 mobile ionic 전하에 의해 발생했다면 전달 특성 현상은 그림 2 (a)와 같이 반시계 방향으로 나타나게 되고 게이트 절연막 및 실리콘 산화막 경계부의 trap 전하에 의해 발생했다면 전달 특성 현상이 그림 2 (b)와 같이 시계 방향으로 나타나야 한다. 실제 TFT 소자에서 발생한 hysteresis 현상은 그림 2 (b)와 같으므로 mobile ionic 전하에 의한 영향 보다는 경계부에 포획 전하에 의한 영향이 우세함을 알 수 있다.

III. TFT 소자의 Hysteresis 개선

TFT 소자의 hysteresis 현상을 개선하기 위해서는 레이저 결정화된 폴리 실리콘 박막과 게이트 절연막 경계부의 trap 밀도를 줄이는 것이 매우 중요하다. 본 논문에서는 TFT 소자의 hysteresis 현상을 개선하기 위해 게이트 절연막 증착 전에 폴리 실리콘 박막의 표면을 처리하여 게이트 절연막과 폴리 실리콘 박막의 계면 트랩 밀도를 감소시키고자 한다.

표 1. 표면 처리 조건

Table. 1 Interface treatment conditions

표면 처리 조건	
조건 1	초순수물 세정
조건 2	6.5 mW/cm ² , 175 nm 자외선, 35 초
조건 3	200 W, 130 Pas, 수소 플라즈마, 30초
조건 4	6.5 mW/cm ² , 175 nm 자외선, 35 초 200 W, 130 Pas, 수소 플라즈마, 30초

실험에 사용된 다결정 실리콘 박막 트랜지스터의 구조는 Top gate coplanar TFT 구조이며

게이트 절연막과 다결정 실리콘 박막 사이의 계면 trap 밀도를 감소시키기 위해 게이트 절연막 증착 전에 다결정 실리콘 박막의 표면을 표 1과 같은 조건으로 처리하였다. 기존 조건인 초순수를 세정, 파장 175 nm 자외선을 이용한 표면 처리, 수소 플라즈마 처리, 그리고 마지막으로 자외선 표면 처리와 수소 플라즈마 처리를 병행한 총 4가지 조건으로 TFT 소자를 제작하였다. 각 계면 처리 조건으로 제작된 다결정 실리콘 박막 트랜지스터의 hysteresis 특성을 살펴보기 위해 전달 특성을 측정하였다. 본 논문에서는 게이트 전압 인가 방향에 따른 문턱 전압의 차이를 hysteresis 레벨(ΔV_{th})로 정의하였다.

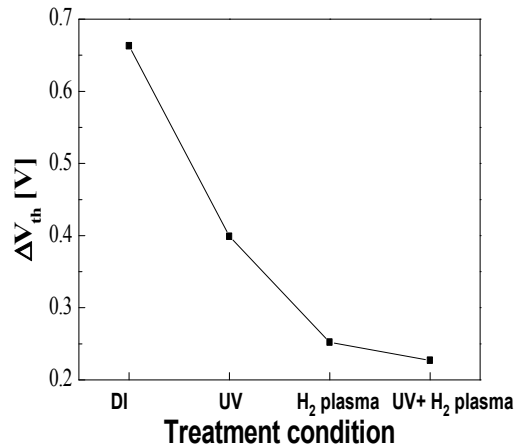


그림 3. 표면 처리 조건에 따른 출력 재현성
Fig. 3. The hysteresis level with surface treatment conditions

그림 3은 다결정 실리콘 박막 표면 처리 조건에 따른 hysteresis 레벨(ΔV_{th})을 나타내고 있다. 기존 조건인 초순수물 세정만 한 경우, ΔV_{th} 가 0.66 V로 가장 큰 값을 나타내었으며 자외선 처리의 경우에는 ΔV_{th} 가 0.4 V, 수소 플라즈마 처리의 경우 ΔV_{th} 가 0.25 V, 자외선 및 수소 플라즈마 처리를 함께한 경우 ΔV_{th} 가 0.23 V로 hysteresis 현상이 표면 처리 방법에 따라 현저히 개선됨을 확인할 수 있었다.

Hysteresis 현상의 개선이 소자 재현성에는 어떤 연관성이 있는지를 확인하기 위해 각 표면

처리 조건으로 제작된 TFT 소자들의 출력 특성 곡선을 26회 반복 측정하였다. 또, 각 조건 별 드레인 전류의 변동을 정량적으로 알아보기 위해 다음 수식을 사용하였다.

$$\begin{aligned} \text{Output Currnt Variation} & \quad (4) \\ & = \frac{\text{Max}(I_{DS}) - \text{Min}(I_{DS})}{\text{Max}(I_{DS})} \times 100 [\%] \end{aligned}$$

여기서, $\text{Max}(I_{DS})$ 는 26회 반복 측정한 출력 특성 중에서 $V_{GS} = -5 \text{ V}$ 및 $V_{DS} = -5 \text{ V}$ 조건에서 가장 큰 전류이며 $\text{Min}(I_{DS})$ 는 26회 반복 측정한 출력 특성 중에서 $V_{GS} = -5 \text{ V}$ 및 $V_{DS} = -5 \text{ V}$ 조건에서 가장 작은 전류이다.

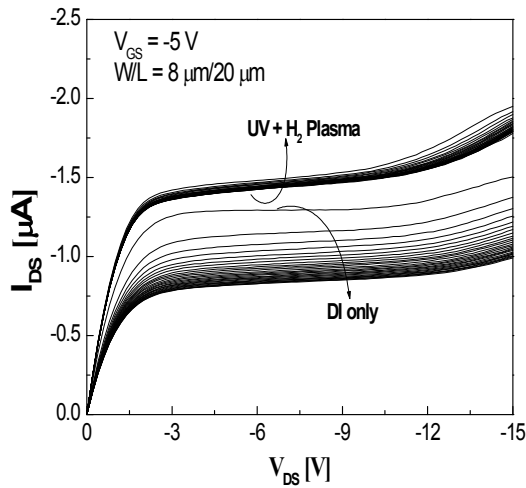


그림 4. 재현성 평가를 위한 출력 곡선
Fig. 4. Output curve for repeatability test

그림 4는 $W/L = 8/20 [\mu\text{m}/\mu\text{m}]$ 를 기준으로 초순수물 세정과 자외선 및 수소 플라즈마 처리를 병행한 소자에 대해 $V_{GS} = -5 \text{ V}$ 조건에서 출력 전류를 26회 반복 측정한 결과이다. 초순수물 세정을 한 소자 보다는 자외선 및 수소 플라즈마 처리를 한 소자의 출력 전류의 변화가 훨씬 작게 나타남을 확인할 수 있다. 그림 5는 4가지 표면 처리 조건별 출력 전류 변동률을 보여 주고 있다. 초순수물 세정만 한 경우, 출력 전류 변동률은 12.9 %로 가장 큰 값을 보이고 있고 자외선 처리의 경우에는 6.42 %, 수소 플라즈마 처리 경우에는 4.49 %, 그리고 자외선과 수

소 플라즈마 처리를 함께한 경우에는 3.65 %로 출력 전류 변화가 가장 작았다.

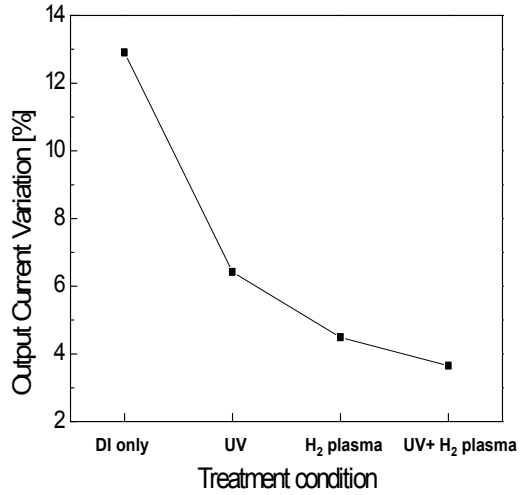


그림 5. 표면 처리 조건에 따른 hysteresis 수준
Fig. 5. Output Repeatability with surface treatment conditions test

계면 처리 조건별 hysteresis 레벨 및 출력 전류 변동률은 동일한 경향을 나타내었으며 이 중에서 자외선 및 수소 플라즈마 처리를 병행한 경우가 hysteresis 레벨뿐만 아니라 출력 전류 변동률에서 가장 우수한 특성을 보였다. 초순수물 세정과 자외선 및 플라즈마 처리 사이의 hysteresis 특성과 계면 trap 밀도 간의 상관성을 살펴보기 위해 아래 수식을 사용하여 trap 밀도(N_T)를 구하였다[10].

$$I_D = \frac{W}{L} C_{ox} \mu V_D V_G \exp\left(-\frac{q^3 N_T^2 t_s}{1 \epsilon k T C_{ox} V_G}\right) \quad (5)$$

초순수물 세정만 한 경우, trap 밀도는 $8.78 \times 10^{11} \text{ cm}^{-2}$ 이며 자외선 및 수소 플라즈마 처리를 병행한 경우의 trap 밀도는 $3.11 \times 10^{11} \text{ cm}^{-2}$ 였다. 다결정 실리콘 표면에 자외선 및 수소 플라즈마 처리를 함으로써 게이트 절연막과 다결정 실리콘 박막 사이의 trap 밀도를 감소시킬 수 있었으며 이로 인해 hysteresis 현상 및 출력 특성 재현성이 많이 개선되었다.

IV. 결 론

본 논문에서는 AMOLED 디스플레이의 가역적 잔상을 줄이기 위해 hysteresis 특성을 개선하였다. TFT 소자의 hysteresis 특성은 게이트 산화막과 다결정 실리콘 박막 계면 트랩 밀도와 밀접한 관계가 있기 때문에 다결정 실리콘 박막의 표면 처리 조건을 변경하여 트랩 밀도를 감소시켰다. 기존의 초순수물 세정만 했을 경우, 계면에서의 trap 밀도가 $8.78 \times 10^{11} \text{ cm}^{-2}$ 이었는데 다결정 실리콘 박막 표면을 자외선 및 수소 플라즈마 처리를 한 경우 trap 밀도가 $3.11 \times 10^{11} \text{ cm}^{-2}$ 로 떨어졌다. 이런 trap 밀도 감소는 hysteresis 레벨을 0.65 V에서 0.23 V로 감소시켰으며 출력 전류 변동률을 12.4%에서 3.65 %로 개선시켰다. 그러므로 자외선 및 수소 플라즈마 처리를 행함으로써 AMOLED 디스플레이의 가역적 잔상을 많이 개선할 수 있을 것으로 기대된다.

감사의 글

본 연구는 금오공과대학교학술연구비에 의하여 연구된 논문임.

참 고 문 헌

- [1] N. C. van der Vaart, H. Lifka, F. P. M. Budzelaar, J. E. J. M. Rubingh, J. J. L. Hoppenbrouwers, J. F. Dijkman, R. G. F. A. Verbeek, R. van Woudenberg, F. J. Vossen, M. G. H. Hiddink, J. J. W. M. Rosink, T. N. M. Bernardts and A. Giraldo, N. D. Young, D. A. Fish, M. J. Childs, W. A. Steer, D. Lee and D. S. George, "Towards Large-Area Full-Color Active-Matrix Printed Polymer OLED Television," SID Int. Symp. Dig. Tech. Pap. 35 (2004) pp. 1284-1287.
- [2] Hoon-Ju Chung, Dae-Hwan Kim and Byeong-Koo Kim, "Hysteresis Characteristics in Low Temperature Poly-Si Thin Film Transistors," Journal of Information Display, vol. 6, no. 4, (2005), pp. 6-10.
- [3] R. M. A. Dawson, Z. Shen, D. A. Furst, S. Connor, J. Hsu, M. G. Kane, R. G. Stewart, A. Ipri, C. N. King, P. J. Green, R. T. Flegal, S. Pearson, W. A. Barrow, E. Dickey, K. Ping, S. Robinson, C. W. Tang, S. Van Slyke, F. Chen, J. Shi, J. C. Sturm and M. H. Lu, "Design of an Improved Pixel for a Polysilicon Active-Matrix Organic LED Display," Tech. Dig. of SID, 11, (1998) pp. 11-14.
- [4] S. M. Choi, O. K. Kwon, and H. K. Chung, "An Improved Voltage Programmed Pixel Structure for Large Size and High Resolution AM-OLED Displays," SID Int. Symp. Dig. Tech. Pap. 35 (2004) pp. 260-263..
- [5] H.S. Seo, D.H. Nam, N.B. Choi, S.H. Paek, T. J. Ahn, J.S. Yoo, J.M. Yoon, S.W. Lee, C.D. Kim, and I.J. Chung, "Low Cost and Uniform Solid Phase Crystallization without Metal Catalyst Employing Alternating Magnetic Field for AM-OLED," IDW '05 Digest, (2005) pp. 1129-1132.
- [6] K. S. Girotra, J. H. Souk, K. Chung, S. Lim, S. Kim, B. J. Kim, S. H. Yang, B. Choi, J. Goh, Y. R. Song and Y. M. Choi, "A 14.1inch AMOLED Display using Highly Stable PECVD based Microcrystalline Silicon TFT Backplane," SID Int. Symp. Dig. Tech. Pap. 37 (2006) pp. 1972-1975
- [7] Chishio Hosokawa, Kenichi Fukuoka, Hisayuki Kawamura, Toshio Sakai, Mineyuki Kubota, Masahiro Funahashi, Fumio Moriwaki and Hidetsugu Ikeda, "Improvement of Lifetime in Organic Electroluminescence," SID Int. Symp. Dig. Tech. Pap. 35 (2004)

pp. 780-783.

[8] B. K. Kim, O. Kim, H. J. Chung, J. W. Chang and Y. M. Ha, "Recoverable Residual Image Induced by Hysteresis of Thin Film Transistors in Active Matrix Organic Light Emitting Diode Displays," Jpn. J. Appl. Phys. Vol. 43 (2004), pp. L482-L485.

[9] Yannis Tzividis: Operation and Modeling of the MOS Transistor (McGRAW-Hill, Singapore, 1999) 2nd Ed., Chap. 2.

[10] J. Levinson, F. R. Shepherd, P. J. Scanlon, W. D. Westwood, G. Este and M. Rider, "Conductivity behavior in polycrystalline semiconductor thin film transistors," J. Appl. Phys. Vol. 53, (1982) pp. 1193-1202.

저자약력

정 훈 주(Hoon-Ju Chung)

1994년 경북대학교 전자공학과
(학사)



1997년 한국과학기술원 전기및전자
공학과 (MS)

2002년 한국과학기술원 전자전산학
과 (Ph.D.)

2002년~2004년 LG.Philips LCD
(현, LG Display)

2004년~현재 금오공과대학교 전자
공학부

<관심분야> TFT-LCD 및 AMOLED 기술

조 봉 래(Bong-Rae Cho)

1999년 경희대학교 물리학과 (학사)

2001년 경희대학교 물리학과 (석사)

2001년~현재 LG.Philips LCD(현, LG Display)

<관심분야>TFT-LCD 기술

김 병 구(Byeong-Koo Kim)

1990년 서울대학교 전기공학과 (학사)

1992년 포항공과대학교 전자전기공학과 (MS)

2005년 포항공과대학교 전자전기공학과 (Ph.D.)

1992년~1999년 LG 전자

1999년~현재 LG.Philips LCD(현, LG Display)

<관심분야> TFT-LCD 기술