

다기능 세라믹 박막의 내장화 기술

글 _ 강종윤, 조광환, 강민규
KIST 박막재료연구센터

1. 서론

최근 휴대기기의 경량화와 고기능화, 복합화의 추세에 따라 전자 회로의 고밀도 실장, 고속화의 요구가 점점 커지고 있다. 고밀도 실장을 위해 능동소자와 수동소자의 크기를 작게 하는 연구는 각 부품 회사를 중심으로 활발하게 진행되어 왔지만 날로 가속화되는 전자 기기의 발전 속도에 맞추기 어려운 실정이다. 현재 2차원적인 반도체 및 이동 통신 소자의 집적도를 높이기 위해 새로운 기술적 제조방법들에 대한 연구가 활발하게 진행되고 있다. 이 중 집적도 향상을 위해 현재 가장 주목 받고 있는 기술이 3차원 접속 기술을 통해 칩의 집적도를 높이는 것이다. 현재 MCM(multi chip module)과 적층패키지 등은 휴대용 전자제품과 고성능제품 등에 많이 적용되고 있는 3차원 패키징 기술의 하나이다. 또한 소자의 집적도를 높이는 요구와 함께 다양한 디바이스들, 즉, 메모리, LIS로직, RF, MEMS 또는 Sensor 그리고 optical device 등과 서로 다른 특성과 기능의 칩들을 하나의 마이크로 시스템으로 제조하는 기술들도 요구되고 있다. SOP(System on Package)는 SoC(System on Chip), SiP(System in Package)와 함께 컴퓨터, 통신, 가전, 바이오-전자 등의 기능을 하나의 패키징 또는 모듈에 통합할 수 있는 기술이다. 이는 미시적으로는 마이크로스케일로 거시적으로는 나노스케일로 시스템 레벨 부품의 패키징 통합을 통해 소형화를 달성하는 것을 목적으로 하며, 이에 3차원으로 기판 내에 R, L, C 수동 소자 비롯하여 능동 소자 칩 등을 내장하고 기판을 적층하는 방법에 대한 기술적인 연구개발이 활발하게 진행되고 있다. 더불어 다수

의 복합 기능 소자가 내장된 기판의 개발 필요성 또한 높아지고 있다. 따라서, 수동소자, 능동소자, 복합소자의 기판 내 구현을 가능하게 하기 위해 필수적인 기능성 세라믹 박막의 내장화 기술의 개발 필요성이 크게 부각되고 있다. 특히 휴대기기에서 수동소자와 능동소자의 비율은 약 8 : 2로 수동소자의 내장화 기술은 실장 면적 감소 측면에서 그 파급 효과가 매우 크다고 할 수 있다. 또한, 전체 수동소자 중 60% 비중을 차지하고 있는 캐패시터를 내장화할 경우 전자부품의 실장 면적 감소에 막대한 효과를 가져 올 수 있다.

반도체 소자의 경우, 주로 Si 기판 다층화를 통해 소자의 집적화를 구현하며, 통신 소자의 경우, 적층 세라믹 기판, 적층 PCB 기판, 기타 적층 폴리머 기판 기술 등의 3차원 집적화 기술을 이용하여 소자의 집적화 및 소형화를 구현한다. 가까운 시일에 반도체 및 통신, 그리고 기타 바이오 기능 등이 함께 구현하기 위한 다수의 복합 소자 집적화가 가능한 복합 적층 기판의 출현을 앞두고 있고 이에 따라 각종 기판에 다양하게 적용 가능한 기능성 세라믹 박막의 내장화 기술 개발이 필수적으로 이루어져야 할 것이다. 이를 위해서는 기존의 세라믹 박막의 공정 온도 (600°C 이상) 개념과는 전혀 다른 저온 공정 온도 (350°C 이하)에서 박막을 형성하고 그 기능을 발휘하도록 할 수 있는 원천 기술 개발이 절실히 필요하다. 다시 말해, 현재까지 기능성 세라믹 박막은 고온에서 증착 또는 열처리함으로써, 결정화를 이루었고, 이에 따라 우수한 특성을 갖는 세라믹 박막의 구현이 가능하나 이 경우, 세라믹 박막의 구현은 극히 제한된 공정 조건(특히 공정 온도의 제한이 매우 높음)에서만 가능하며, 기판의 선택

도 자유롭지가 못하다. 특히, 새로운 기판 기술로 제시되고 있는 350°C 이하의 공정 온도에서 개발하고자 하는 무소성 저온 세라믹 적층 기판의 경우, 기존 고온 공정 기술로는 집적화를 위한 기능성 박막의 내장화가 현실적으로 불가능하다. 따라서, 350°C 이하의 저온 공정 조건에서 기능성 세라믹 박막을 형성할 수 있는 새로운 원천 기술의 개발이 절실히 요구되며, 이와 같은 기술이 개발이 성공적으로 이루어질 경우, 각종 능수동 소자 및 복합 소자의 집적화 기술에 새로운 파라다임을 가져올 것이다. 따라서 본고에서는 기능성 세라믹 박막의 내장화 기술의 최근 기술 개발 동향에 대해 소개하고자 한다.

2. 최근 기술개발 및 연구 동향

Fig. 1과 같이 SOP (System on Package) 기술은 향후, 전자 부품의 초소형, 고성능, 다기능화를 위해, digital integration, RF integration, optical integration, mixed signal, assembly integration, SOC와 SIP integration, thermal 등의 모든 기능을 하나의 기판위에 구현하고자 하는 기

술을 말한다¹⁾. 특히, R, L, C 수동 소자의 기판 integration 기술은 SoP 기술의 핵심 기술로서, 이중 가장 많이 사용되며, 넓은 면적을 차지하는 캐패시터 소자의 내장화 기술의 구현은 필수적이라 하겠다. 이를 위해, 현재, sheet type 또는 paste type, thin film type의 embedded capacitor 구현을 위해 선진 연구 기관을 중심으로 연구가 진행되고 있다. Thin film embedded capacitor의 경우, sputter 및 sol-gel 방법 등을 이용하여 Pb(Zr,Ti)O₃, BaTiO₃, BaSrTiO₃ 등의 소재를 기판에 증착하여 고용량의 capacitance를 얻는 방법인데, 아직 상용화에 이르지 못하는 못하며, 350°C 이하의 저온공정에서는 그 유전율이 현저히 떨어지는 단점이 있어 신규 재료 및 공정에 대한 연구 개발이 반드시 필요한 상황이다. 즉, 현재 세라믹 박막 공정은 높은 공정 온도를 필요로 하며, 고가의 진공 챔버를 사용하여야 하며, 저가의 대면적 유기 PWB (Printed Wiring Board) 공정에 적합하지 못하다. 그러나, 캐패시터용 유전체 세라믹 박막과 더불어 압전체 등 강 유전체 박막의 저온 공정 실장화 기술은 그 기술의 개발 필요성이 매우 높고, 기술적 사회적 효과가 매우 높은 것

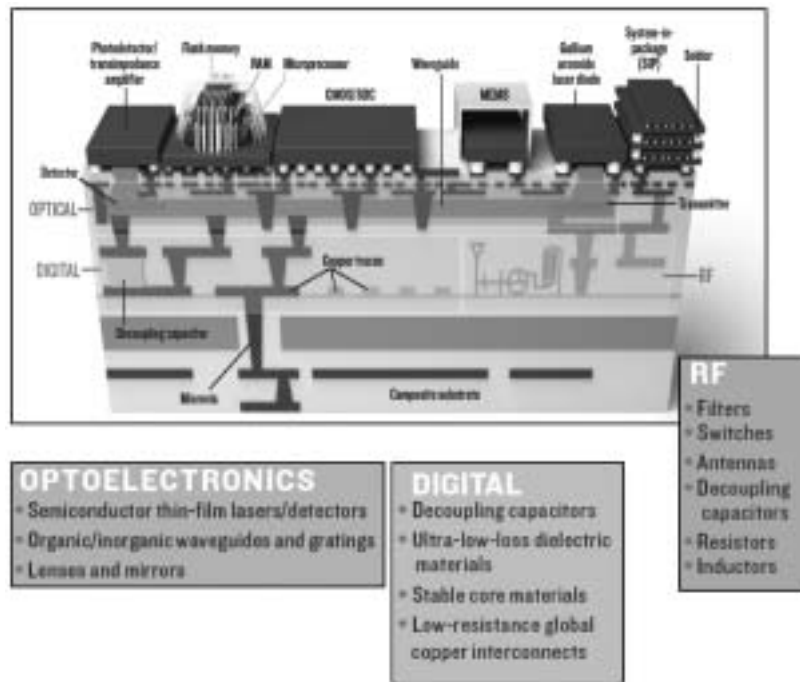


Fig. 1. System on Package (SOP) technology.

으로 고려되어, 전세계적으로 핵심 개발 대상 기술로 고려되고 있으며, 이와 관련된 몇 가지 기술을 정리해 본다.

2.1. Ultraviolet assisted Rapid Thermal Processing (UV-assisted RTP)

UV-assisted RTP는 기존 일반적인 RTP에 사용되는 할로겐 램프와 UV excimer 램프를 장착하여 온도와 UV 광선을 동시 조사 할 수 있는 공정으로, 화학적인 방법으로 증착된 박막의 저온공정에 적용이 가능하다. 기존의 화학적 증착 방법에서는 산화물박막을 생성하기 위해 메탈 알콕사이드(metal alkoxide)의 결합 에너지 만큼의 에너지를 열 형태로 gel 상태의 박막에 주입하여 메탈 알콕사이드를 분해시키는 열분해(pyrolysis)공정과, 열분해된 상태의 박막을 결정화시키는 공정이 포함된다. 따라서 알콕사이드, 용매(solvent), chelating agent 등에 의해 열분해 온도와 결정화온도가 달라진다. 열분해 및 결정화 공정에서 일반적인 산화물 박막의 결정화를 위해서는 높은 열처리 온도가 필요하게 된다.

UV-assisted RTP에 적용하기 위해서는 자외선을 흡수하는 졸(sol)을 사용해야 한다. 졸 제조 공정에서 용액을 안정화시키기 위해 사용하는 chelating agent와 chelate된 금속 알콕사이드들 중에는 자외선 잘 흡수 하는 물질이

있는데, 예를 들어 acetylacetonate계 물질 혹은 β -diketonate라는 물질 등은 chelate결합 리간드에서 약 200~300 nm 파장의 자외선을 흡수한다고 알려져 있으며, 이렇게 흡수된 자외선은 알콕 사이드와 chelating agent 물질간의 합성되어져서 만들어진 chelate ligand를 광여기(photoexcitation)시켜 ligand를 끊는 역할을 한다. 때문에 열분해 공정에서 높은 열에너지에 의해 분해되었던 chelate 리간드들이 자외선에 의해 끊어짐으로써 Oxygen-Metal-Oxygen결합을 형성하게 되고, 열분해 온도를 낮추게 되어 최종적인 결정화 온도를 낮추는 효과를 기대할 수 있다. Calzada 그룹에서는 250°C에서 UV를 조사하여 열분해 온도를 낮췄으며 450°C에서 결정화된 PbTiO₃ 박막을 제조하였다. 이는 기존의 공정온도(600°C)보다 150°C 낮은 온도이다. Fig. 2 는 UV-assisted RTP와 UV-assisted RTP를 이용하여 제작된 PbTiO₃ 박막의 특성을 나타내고 있다. 공정과정을 보면 짧은 시간의 UV조사로 저온 결정화 효과를 얻을 수 있다는 것을 알 수 있다. 이러한 공정으로 제작된 박막의 특성을 보면 상온에서 100이상의 유전율과 약 12 $\mu\text{C}/\text{cm}^2$ 의 잔류분극 값을 가지는 강유전 특성을 보이며, XRD패턴 분석결과를 미루어 보아 완전히 결정화된 PbTiO₃ 박막임을 알 수 있다. UV-RTP는 짧은 UV 조사로 박막의 결정화온도를 낮출 수 있기

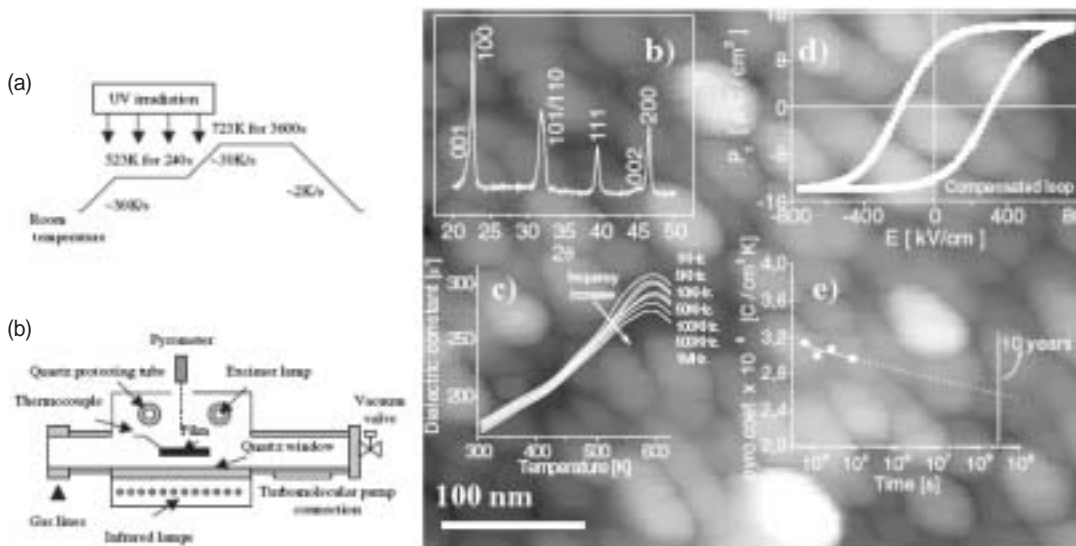


Fig. 2. UV-assisted RTP 공정과 제작된 PbTiO₃박막의 특성.

때문에 실용화측면에 있어 매우 근접한 기술이라고 할 수 있을 것이다.

2.2. High-Oxygen-Pressure Processing

High-Oxygen-Pressure-Processing(HOPP)은 저온에서 산소를 이용한 고압을 이용하여 박막을 결정화 시키는 공정으로, RF-DC sputtering, Pulsed laser deposition (PLD), MOCVD, sol-gel method, MBE 등의 여러 가지의 박막 제조공정에 상관없이 적용이 가능한 공정이다.

비정질(amorphous)의 결정화는 일반적으로 핵생성과 핵성장 단계를 거쳐 이루어지며, 이때 고려 되어야할 외부 조건은 압력과 온도이다. 물질마다 온도와 압력에 따른 결정화 메커니즘이 모두 다른데, 잘 알려진 PZT계 물

질의 경우 외부 압력이 가해질 때 nucleation 에너지 장벽이 낮아져 핵생성 및 핵성장 온도가 낮아진다고 알려져 있다. 뿐만 아니라 일반적인 열처리시 Pb의 휘발과 산소의 기화로 인한 산소 결손(Oxygen vacancy)같은 결함들을 유발되나 고압의 산소를 이용한 열처리 방법에서는 Pb의 휘발과 산소의 기화를 막을 수있어 산소 결손의 결함을 제한 할 수 있다. Fig. 3.은 Zhang 그룹에서 HOPP 를 이용하여 제작한 $PbZr_{0.3}Ti_{0.7}O_3$ 박막의 특성을 나타내었다. 4MPa의 압력, 400도의 온도에서 (*h00*)방향의 높은 배향성을 가지는 $PbZr_{0.3}Ti_{0.7}O_3$ 박막을 제작 하였다. 이는 일반적인 열처리 온도인 600도 보다 200도 낮은 열처리 온도에서도 고압의 산소를 이용하여 (*h00*)방향의 높은 우선 배향성을 가지는 산화물 박막을 제작하였다.

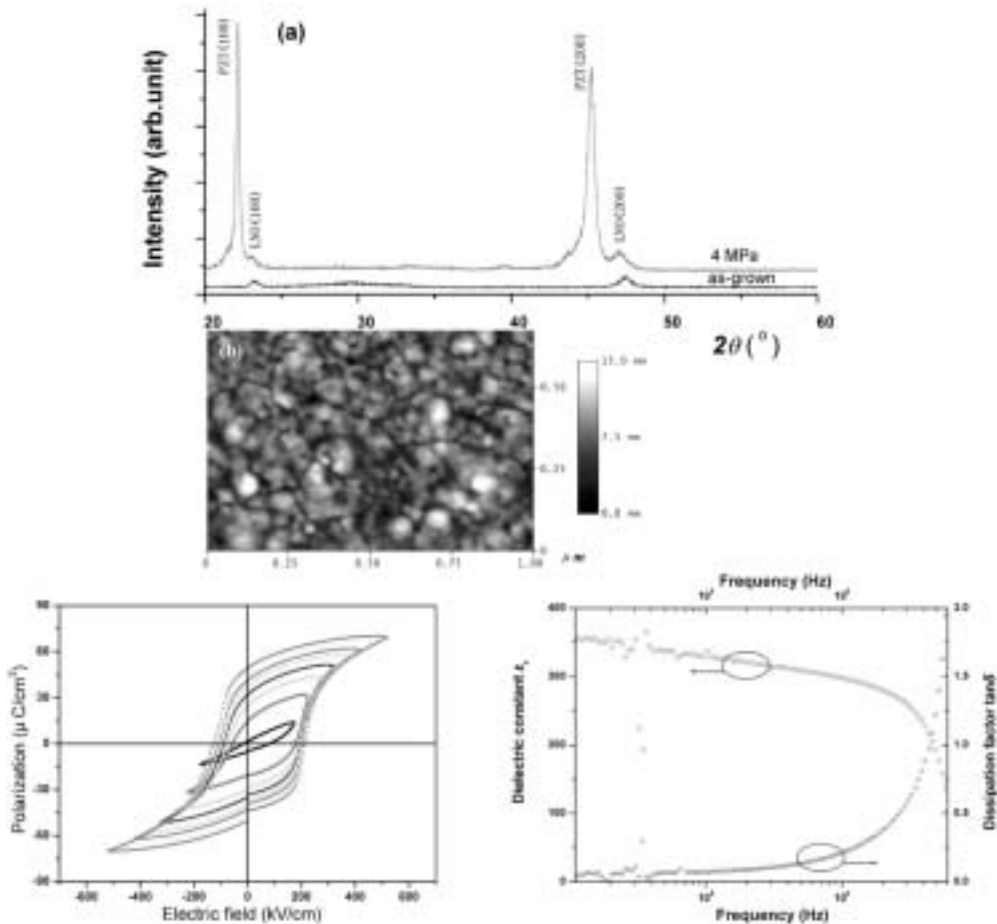


Fig. 3. High Oxygen Pressure Process 법으로 증착한 PZT박막의 특성.

AFM 사진을 보면 충분히 결정립성장이 이루어진 것을 알 수 있으며, 그로인해 뛰어난 강유전 특성이 발현됨을 알 수 있다. 이 박막은 300 유전율과 40 $\mu\text{C}/\text{cm}^2$ 의 잔류 분극 값을 가지는 박막으로 전형적인 다결정 PZT의 특성과 유사하다³⁾.

2.3. Microwave irradiation

Microwave irradiation 공정은 microwave를 박막에 조사시켜 박막자체의 온도를 증가시키는 공정으로 극성 용매가 포함된 졸을 이용하여 박막을 형성한 경우 열분해 온도를 낮추는 효과가 있으며, microwave의 파장을 조절하면 박막자체의 온도증가를 조절할 수 있다. 열분해 온도 감소와 선택적인 물질에 온도 조절이 가능하기 때문에 저온공정에 응용하는 연구가 여러 연구자들에 의해 진행되고 있다. Fig. 4.는 Wang그룹에서 microwave irradiation법으로 결정화시킨 PZT박막의 구조적, 전기적 특성을 나타내었다. 28GHz의 microwave를 PZT박막에 조

사시켜 480°C에서 완전히 결정화된 박막을 제조하였다고 보고하고 있으며, 연구결과 600°C에서 열처리한 PZT박막과 유사한 결정구조를 보였다. 결과적으로 40 $\mu\text{C}/\text{cm}^2$ 의 잔류 분극값을 가지는 강유전 박막을 얻을 수 있었다⁴⁾.

2.4. Laser Annealing

Laser annealing 공정은 기존의 SOG(System on Glass) 기술에서 사용하고 있으며, 기판의 영향을 주지 않고 amorphous silicon을 결정화시키기 위해 사용하는 공정이다. 대부분 excimer laser를 사용하여 laser를 수 ns에서 수 μs 의 매우 짧은 시간에 조사하기 때문에 기판까지 열이 전달되지 않고 박막부분만 열처리는 할 수 있다.

Laser annealing의 장점은 열처리 시간이 짧고, 선택적인 면적에 열처리를 할 수 있으며, laser의 source와 power에 따라 열처리되는 두께를 조절할 수 있다는 점이다. 하지만 laser의 파장과 박막물질 따라 에너지의 흡수두께(absorption depth)가 달라지기 때문에 공정 설계 시 많

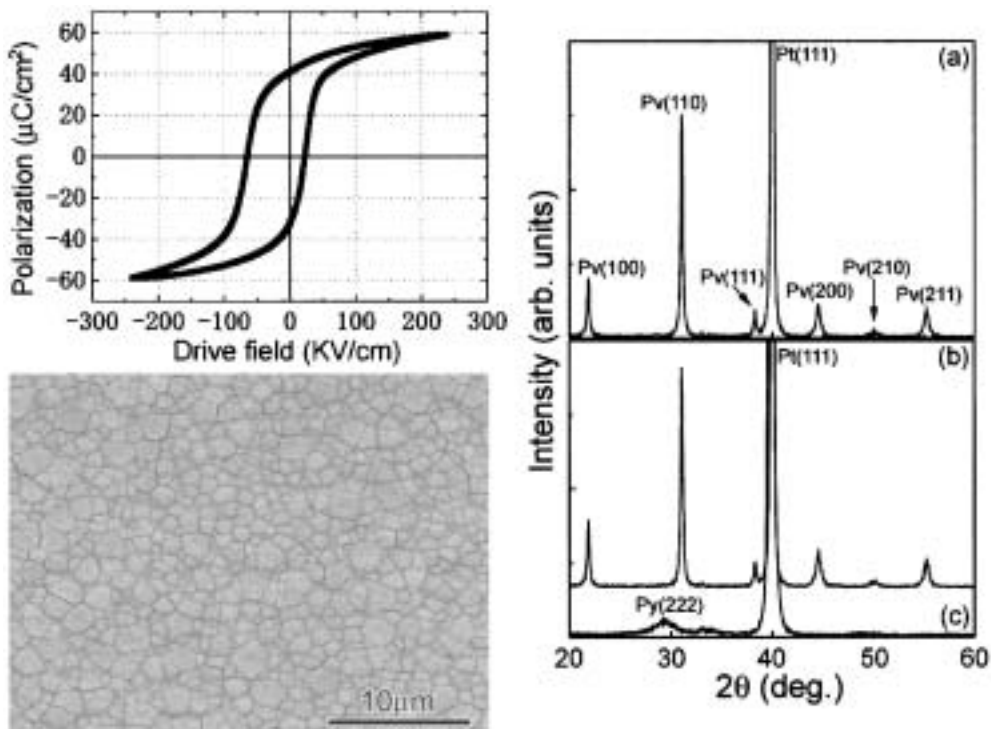


Fig. 4. Microwave irradiation 방법으로 제조한 PZT박막의 전기적 구조적 특성 (a) Microwave irradiation (b) Annealing at 600°C (c) Annealing at 480°C.

은 변수를 고려해야 하는 어려움이 있다.

현재는 Laser annealing을 산화물 결정화에 응용하고자 많은 연구자들이 laser source의 종류, 박막 물질, laser power, laser 조사 시간 등의 여러 가지 공정변수를 고려해 연구하고 있다. Fig. 5는 Laser Annealing System을 나타낸 그림이다. 일반적으로 사용하는 Laser에 Power와 조사면적을 조정 할 수 있는 Beam Expander, Gaussian 분포를 가지는 Laser Power를 일정하게 바꿔주는 Homogenizer를 장착하여 System을 구축하게 되며 Laser beam의 형태에 따라 박막의 표면을 스캔하듯이 조사하는 방법과 일정 면적에 일시적으로 조사하는 방법으로 공정이 이루어진다. Fig. 6은 Chou그룹에서 laser

Annealing으로 제작한 박막의 특성을 나타내었다. KrF excimer laser (wave length = 248 nm), CO₂ laser(wave length = 10.6 μm)를 이용하여 PZT 박막을 결정화 시켰으며, 200 nm의 박막을 MOD방법으로 증착 후 laser annealing 한 결과 KrF의 경우 약 120 nm, CO₂의 경우는 200 nm 두께만큼의 박막이 결정화 되었다. 강유전 특성을 나타내는 P-E Curve를 보면 일반적인 PZT박막보다 낮은 잔류 분극값을 갖는 것을 알 수 있으며, 이는 결정립의 성장이 충분히 이루어지지 않았기 때문에 생긴 결과이다. 이처럼 Laser Annealing은 효과적으로 박막층을 열처리할 수 있는 방법이지만 공정조건이 매우 까다롭고, 물질도 선택적이기 때문에 아직 많은 연구가 필요한 실정이다⁵⁾.

3. 결론

미래 IT 산업은 소형화, 다기능화, 고성능화를 목표로 그 발전을 거듭할 것으로 예상된다. 보다 다양화 되는 기능을 모두 수용하며 소형화를 구현하기 위해 기판 내에 수동소자, 능동소자, 복합소자를 내장시키는 기술에 대한 필요와 그 연구가 날로 증폭되어 가며, 이를 위해 필수적 기술요소인 기능성 세라믹 박막의 기판 내장화 기술의 개발 필요성이 크게 부각되고 있다. 매년 발표되는 국제 반도체 기술 로드맵⁶⁾에서도 embedded passive에 대한

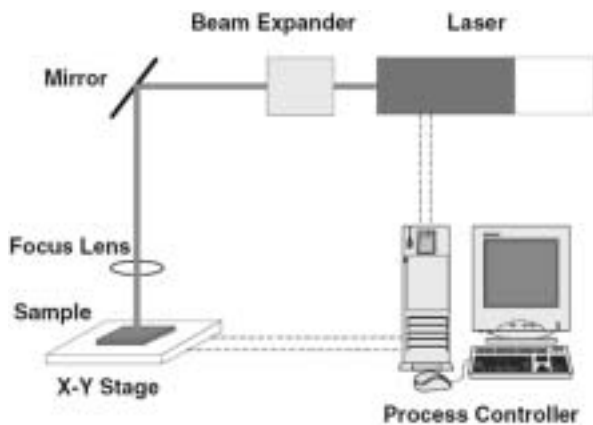


Fig. 5. Laser Annealing System.

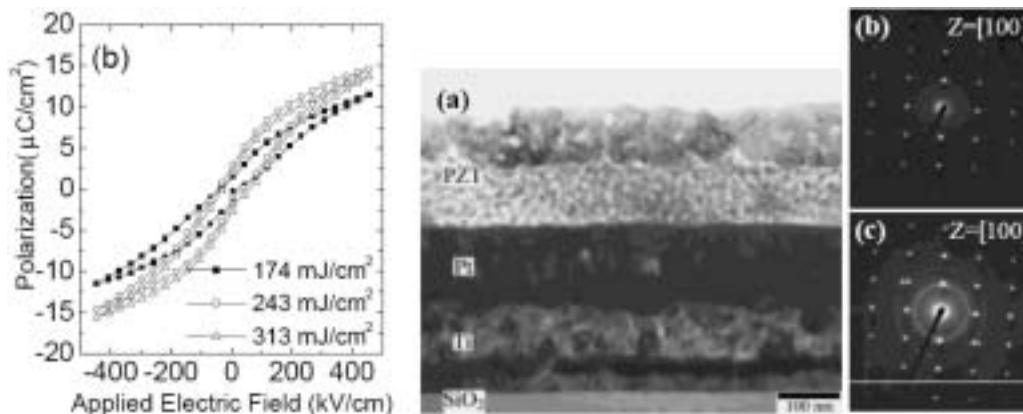


Fig. 6. Laser Annealing 방법으로 제조한 PZT박막의 특성.

기술적 중요성이 강조되고 있으며, 이에 대한 기술 발전 전망을 제시하고 있다.

특히, on chip passives technology requirement에서 캐패시터의 경우 Table 1과 같은 기술 전망이 예측되고 있는데, 이에 따르면, 2015년 11 pF/μm² 용량 밀도 내장 캐패시터의 개발이 요구되며, 이는 두께 100 nm의 박막 캐패시터의 경우 유전율 100의 박막 소재의 개발을 필요하다는 것을 의미한다. 즉, 고유전율 세라믹 유전체 박막

기술 외에는 이와 같은 requirement를 달성하기 어렵다는 것을 보여준다. 즉, 이보다 낮은 유전율의 경우 더욱 얇은 두께의 박막 개발이 필요하며, 보다 안정적인 break down 특성을 구현하기 위해서는 일정 두께의 확보가 필요할 경우 더욱 고유전율 박막 소재의 개발이 필요하다. 또한 varactor의 경우 5.5% 이상의 tuning range가 요구되고 있다. 이와 같은 기술 로드맵을 고려하였을 경우, 기관 내장화가 가능한 고유전율 강유전체 또는 유전체 박

Table 1. On-chip Passives Technology Requirement on ITRS

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM 1 st Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
Analog									
MOS Capacitor									
Density (fF/μm ²) [1]	7	7	7	11	11	11	11	11	11
Leakage (A/cm ²) [8]	<1e-9	<1e-9	<1e-9	<2e-6	<2e-6	<2e-6	<2e-6	<2e-6	<2e-6
Resistor									
Thin Film BEOL									
Parasitic capacitance (fF/μm ²)	0.03	0.03	0.05	0.05	0.05	0.05	0.08	0.08	0.08
Temp. linearity (ppm/°C)	<100	<100	40-80	40-80	40-80	40-80	30	30	30
1σ Matching (% μm)	0.2	0.2	0.15	0.15	0.15	0.15	0.1	0.1	0.1
Sheet resistance, R _s (Ω/sq)	50	50	50	50	50	50	50	50	50
P+ Polysilicon									
Parasitic capacitance (fF/μm ²)	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1
Temp. linearity (ppm/°C)	<100	<100	40-80	40-80	40-80	40-80	30	30	30
1σ Matching (% μm)	1.7	1.7	1.7	1.7	1.7	1.7	1	1	1
Sheet resistance, R _s (Ω/sq)	200-300	200-300	200-300	200-300	200-300	200-300	200-300	200-300	200-300
RF									
Metal-Insulator-Metal Capacitor									
Density (fF/μm ²) [2]	2	4	4	5	5	5	7	7	7
Voltage linearity (ppm/V ²)	<100	<100	<100	<100	<100	<100	<100	<100	<100
Leakage (A/cm ²) [9]	<1e-8	<1e-8	<1e-8	<1e-8	<1e-8	<1e-8	<1e-8	<1e-8	<1e-8
σ Matching (% μm)	0.5	0.5	0.5	0.4	0.4	0.4	0.3	0.3	0.3
Q (5 GHz for 1pF)	>50	>50	>50	>50	>50	>50	>50	>50	>50
MCM Capacitor									
Density (fF/μm ²)	3.7	5.0	5.3	6.2	7.0	8.5	7.5	8.6	9.9
Voltage linearity (ppm/V ²)	<100	<100	<100	<100	<100	<100	<100	<100	<100
σ Matching (% for 1pF)	<0.15	<0.15	<0.15	<0.15	<0.15	<0.15	<0.1	<0.1	<0.1
Inductor									
Q (5 GHz, 1μH) [3]	29	30	32	34	36	38	40	42	44
MOS Varactor									
Tuning Range [4]	>5.5	>5.5	>5.5	>5.5	>5.5	>5.5	>5.5	>5.5	>5.5
Q (5 GHz, 0 V)	35	35	40	40	45	45	50	50	55
PA									
PA III-V Passives									
Inductors Q (1GHz, 5μH) [5]	15	25	25	25	25	30	30	30	30
Capacitor Q [6]	>100	>100	>100	>100	>100	>100	>100	>100	>100
RF capacitor density (fF/μm ²) [7]	1.2	1.2	1.2	2	2	2	2	2	2
PA Silicon/SiGe Passives									
Inductors Q (1GHz, 5μH) [5]	10	14	14	14	14	18	18	18	18
Capacitor Q [6]	>100	>100	>100	>100	>100	>100	>100	>100	>100
RF capacitor density (fF/μm ²) [7]	2	4	4	5	5	5	7	7	7

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known



막의 개발은 미리 IT 산업을 이끌 핵심 기술임에 분명하다. 기관 내장화를 위해서는 향후 다양한 기관 기술에 적용 가능한 저온 공정 박막 기술의 개발이 필요한데, 다시 말하면, 실리콘 기관, PCB, 무소성 세라믹 기관 등에 모두 적용 가능한 350°C 이하의 공정에서 구현 가능한 기능성 세라믹 박막의 기술의 필요성이 절실한 실정이다.

감사의 글

본 기술 보고서는 지식경제부 소재원천기술개발사업의 지원으로 이루어졌으므로 이에 감사드립니다.

참고 문헌

1. R. R. Tummala, "Introduction to System-on-Package" McGraw-Hill, 2008.
2. M. L. Calzada, I. Bretos, R. Jimenez, H. Guillon, and

- L. Pardo, "Low-Temperature Processing of Ferroelectric Thin Films Compatible with Silicon Integrated Circuit Technology" *Advance Materials*, **16** [18] 1620 (2004)
3. X. Zhang, X. Meng, J. Sun, T. Lin, J. Ma, J. Chu, and J. Dho, "Low-Temperature Crystallization of $PbZr_{0.3}Ti_{0.7}O_3$ Gilm Induced by High-Oxygen-Pressure Processing" *Japanese Journal of Applied Physics*, **47** [9] 7523-26 (2008).
4. Z. J. Wang, H. Kokawa, H. Takizawa, M. Ichiki, and R. Maeda, "Low-temperature Growth of High-quality Lead Zirconate Titanate Thin Films by 28GHz Microwave Irradiation", *Applied Physics Letters*, **86** 212903 (2005).
5. C.-F. Chou, H.-C. Pan, and C.-C. Chou, "Electrical Properties and Microstructures of $PbZrTiO_3$ Thin films Prepared by Laser Annealing Techniques", *Japanese Journal of Applied Physics*, **41** 6679-81 (2002).
6. www.itrs.net, 2007.

●● 강종운



- 1993년 연세대학교 전기공학과 학사
- 1995년 연세대학교 전기공학과 석사
- 2000년 연세대학교 전기컴퓨터공학과 박사
- 2002년-2004년 The University of Birmingham, Post-doc.
- 2000년-현재 KIST 박막재료연구센터 책임 연구원

●● 조광환



- 2003년 한양대학교 물리학과 학사
- 2005년 한양대학교 물리학과 석사
- 2005년-현재 한양대학교 물리학과 박사과정
KIST 박막재료연구센터 학생 연구원

●● 강민규



- 2008년 수원대학교 전자재료공학과 학사
- 2008년-현재 고려대학교 전자전기공학과 석사과정
KIST 박막재료연구센터 학생 연구원