

논문 2009-1-6

전류모드 OFDM FFT LSI를 위한 전류모드 직병렬/병직렬 변환기

Current-Mode Serial-to-Parallel and Parallel-to-Serial Converter for Current-Mode OFDM FFT LSI

박용운*, 민준기**, 황성호***

Yong-Woon Park, Jun-Gi Min, Sung-Ho Hwang

요 약 본 논문에서는 최근 무선 통신 시스템에서 빠른 데이터전송 방식으로 사용되고 있는 OFDM 통신방식의 저소비전력화 방안을 제안한다. 일반적으로 OFDM에서 주요 신호처리 방식은 디지털을 이용한 프리에 변환이다. 이런 디지털 프리에 변환은 많은 소비전력이 필요하며 이것은 무선통신 시스템에 있어서 커다란 제약이 되고 있다. 전류모드를 이용한 아날로그 프리에 변환(FFT) LSI는 이러한 소비전력의 문제를 해결할 수 있는 주요 대안으로 떠오르고 있다. 그러나 이러한 신호처리 방식을 사용하기 위해서는 전류모드를 이용한 직병렬/병직렬 변환기(Serial-to-Parallel/Parallel-to-Serial Converter)가 필수적으로 필요하다. 본 논문에서는 전류모드로 구성된 아날로그 프리에 변환(FFT) LSI를 이용해 수신단의 저소비전력을 실현하기 위해 필수적인 새로운 전류모드 직병렬/병직렬 변환기를 제시하였으며 설계된 칩의 측정결과가 시뮬레이션 결과와 일치하는 것을 확인하였다. 제안된 전류모드 직병렬/병직렬 변환기의 개발로 저소비전력에 큰 장점을 지니고 있는 아날로그 FFT LSI의 활용이 가능해졌으며 송수신단 시스템에서 큰 소비전력의 감소효과를 가져올 것으로 기대된다.

Abstract OFDM is used for achieving a high-speed data transmission in mobile wireless communication systems. Conventionally, fast Fourier transform that is the main signal processing of OFDM is implemented using digital signal processing. The DSP FFT LSI requires large power consumption. Current-mode FFT LSI with analog signal processing is one of the best solutions for high speed and low power consumption. However, for the operation of current-mode FFT LSI that has the structure of parallel-input and parallel-output, current-mode serial-to-parallel and parallel-to-serial converter are indispensable. We propose a novel current-mode SPC and PSC and full chip simulation results agree with experimental data. The proposed current-mode SPC and PSC promise the wide application of the current-mode analog signal processing in the field of low power wireless communication LSI.

Key words : OFDM FFT LSI, Current-mode 신호처리, Current memory, 직병렬/병직렬 변환기

I. 서 론

최근 「언제, 어디서나, 누구와 어떤 정보」 라도 통신

이 가능한 유비쿼터스 네트워크(Ubiquitous Network)가 활발히 연구되고 있다. 이러한 유비쿼터스 네트워크를 실현하기 위한 방법으로서, 휴대전화로 대표되는 셀룰러 시스템과 역구내 등의 사람들이 밀집된 한정된 영역에서 WLAN(Wireless Local Area Network)의 AP(Access Point) 설치에 의해 고속 인터넷 서비스를 제공하는 환경

*정회원, 삼성전기 UC사업팀

**정회원, 삼성전기 중앙연구소 SW그룹

***정회원, 삼성전기 중앙연구소 SW그룹(교신저자)

접수일자 2008.12.30, 수정일자 2009.2.3

이 구축되고 있다. 동화상 등의 대용량 데이터의 전송을 위해서 20Mbps 이상의 고속통신방식으로 OFDM (Orthogonal Frequency Division Multiplexing: 직교주파수분할다중) 통신방식이 다양하게 연구되고 있다.

일반적인 OFDM시스템의 송수신단은 그림1.과 같다. 송수신단에서 QPSK, QAM 등에 의해 변조된 데이터는 직병렬 변환기를 통해서 IFFT LSI에 입력이 되고 병직렬 변환기D/A 변환기를 통해서 RF단으로 전송된다. 수신단에서는 이와 반대의 순으로 신호를 복원한다. 이러한 OFDM통신방식은 IEEE802.11a, g 등의 5GHz WLAN 등의 대용량 고속 전송방식으로 널리 사용되고 있다.

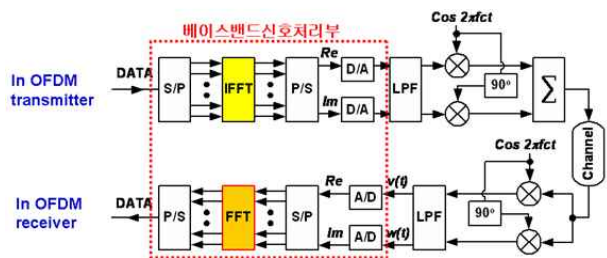


그림 1. 일반적인 OFDM시스템 송수신단 시스템 블록
Fig 1. Conventional OFDM Tx./Rx. system block

이러한 일반적인 OFDM system에서 주요 신호처리 방식은 디지털을 이용한 프리에 변환이다. 이런 디지털 프리에 변환은 많은 소비전력이 필요하며 이것은 무선통신 시스템에 있어서 커다란 제약이 되고 있다. OFDM 시스템에서 송수신단에 사용되는 A/D, D/A 변환기의 소비전력 및 디지털 신호처리 방식의 IFFT/FFT LSI의 총 소비전력은 Watt단위의 큰 전력을 소비하고 있다. 이로 인해 OFDM 통신방식을 사용하는 IEEE802.11a, g 등의 5GHz 대역의 WLAN과 같은 이통체 단말기에 커다란 부담이 발생하고 있다.

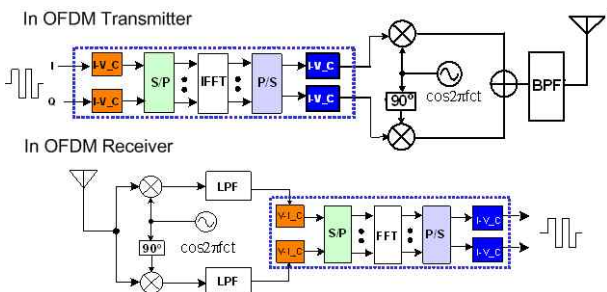


그림 2. 전류모드 OFDM시스템 송수신단 시스템 블록
Fig 2. Current-mode OFDM Tx./Rx. system block

일반적인 디지털 신호처리 시스템의 소비전력 문제를 보완하기위해 그림 2와 같이 SI(Switched Current) 회로를 이용한 전류모드(Current-mode) 아날로그 회로가 제안되고 있다^[1]. 전류모드 아날로그 회로에 의한 신호처리는, 아날로그 전압신호를 전류신호로 변환해서 아날로그 값 그대로 연산처리하기 때문에 A/D, D/A 변환기가 필요 없는 무선 시스템 구성이 가능하다. 또한 가산회로 동작에서 비교적 적은 지연시간을 가지며 동작 주파수에 의존하지 않고 일정한 소비전력을 유지하는 특징을 이용함으로써 저소비전력화가 가능하다^[2]. 실제, 0.13um CMOS Process를 이용한 FFT 연산에 전류모드를 이용한 OFDM용 64-point FFT LSI 는 전원전압 1.1V에서 20mW의 저소비전력이 소비되고 있으며 과거에 비해 공정 파라메타가 낮아짐에 따른 저소비전력화가 가능해지고 있다^[3]. 그러나 이러한 전류모드 OFDM용 FFT LSI는 병렬 입출력의 구조를 가지고 있기 때문에 일반적인 레지스터 구조의 전압모드 직병렬/병직렬 변환기를 사용하는 것이 불가능하다. 이러한 문제점을 해결하기 위해서 전류모드 OFDM FFT LSI와 동일한 방식의 전류모드 직병렬/병직렬 변환기가 필수적으로 필요하게 된다.

본 논문에서는, SI(Switched Current) 회로를 이용한 새로운 전류모드(Current-mode) 송수신단 시스템 블록에 대해서 제안하며 실제, 회로 설계에 있어서의 문제점 및 해결책에 대해서 검토한다. 또한 제안된 전류모드 직병렬/병직렬 변환기의 개발로 저소비전력에 큰 장점을 지니고 있는 아날로그 OFDM FFT LSI의 활용이 가능하여 송수신단 시스템에서 큰 소비전력의 감소효과를 가져올 것으로 기대된다.

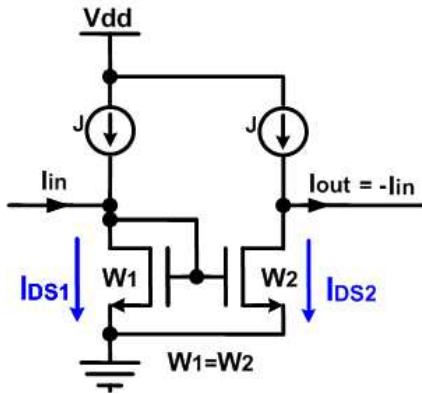
II. 전류모드(Current-mode) 아날로그 신호처리

1. SI(Switched Current) 회로

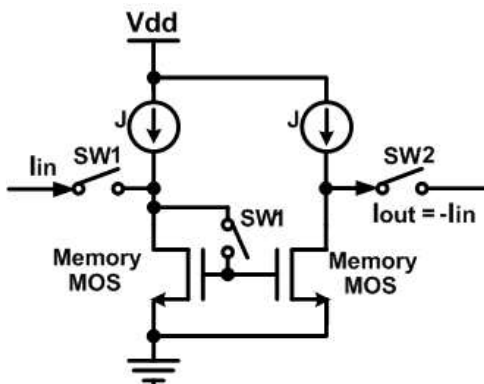
SI(Switched Current) 회로를 이용한 전류모드(Current-mode) 회로설계에 대해서 검토한다. 전류모드 회로로 사용되는 기본 회로들에 대해서 살펴보고 전류 메모리 회로의 전류 전송 오차(Clock Feed-through)를 발생시키는 Charge Injection Error에 대한 해결책을 제시한다.

가. 전류모드(Current-mode) 기본 회로

SI(Switched Current) circuit을 이용한 전류모드(Current-mode) 신호처리에는 전류 미러(Current mirror) 회로와 그것의 응용회로인 전류 메모리(Current memory) 회로가 사용되고 있다.



(a) 전류 미러(Current mirror) 회로

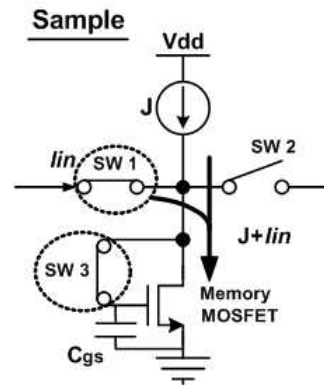


(b) 전류 메모리(Current memory) 회로

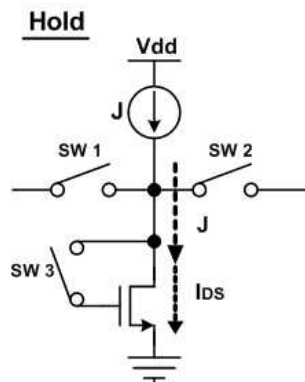
그림 3. 전류모드 기본 회로들

Fig 3. Basic circuits of current-mode

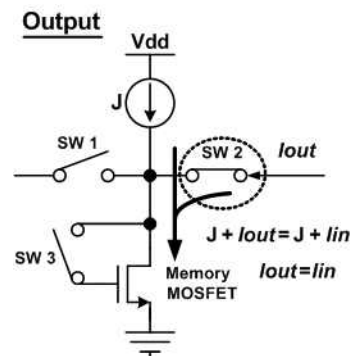
전류모드 기본 회로는 그림3에 나타내었다. 전류 미러 회로는 좌우 MOS 트랜지스터의 게이트 폭과 게이트 전압이 동일한 경우, 양측의 드레인-소스 전류를 동일하게 흘린다($I_{DS1}=I_{DS2}$). 이러한 전류 미러 회로의 입출력단 및 메모리 MOS 트랜지스터에 스위치를 추가하여 설정된 타이밍에 입출력값을 제어하도록 설계한 회로가 전류 메모리(Current memory) 회로이다.



(a) Sample mode 동작



(b) Hold mode 동작



(c) Output mode 동작

그림 4. 전류 메모리 회로의 기본 동작

Fig 4. Basic operation of current memory circuit

전류모드 직병렬/병직렬 변환기 회로의 주요 회로로서 사용되는 전류메모리 회로의 3가지 동작특성을 그림4에 나타내었다. 그림4(a)의 Sample mode 동작은 입력 스위치(SW1)와 메모리 MOS 제어 스위치(SW3)가 On이 되어 메모리 MOS 트랜지스터의 게이트와 소스사이의 기생용량(Parasitic capacitance)에 의존해 입력되는 전류값을 기억한다. (b)의 Hold mode 동작은 모든 스위치 동

작이 Off가 되어 전류원에서 공급되는 전류만이 메모리 MOS에 흐르게 된다. (c)의 Output mode는 출력 스위치 (SW2)가 On되어 Sample mode 동작 시 저장되어 있던 전류값(I_{in})을 다음 단으로 출력한다.

나. 전류 전송오차(Clock Feed-through) 및 해결책
전류값을 입출력하기 위한 구조에서 발생하는 전류 전송오차(Clock Feed-through)라는 문제점을 해결하지 않으면 안 된다. 그림 5에 나타난 전송오차는 Sample mode 동작시, 기생용량에 축적된 전하가 Hold mode 동작시 SW3의 MOS 트랜지스터의 게이트-드레인 사이에서 축적된 전하와 재분배되면서 발생하는 입출력값의 오차를 말한다.

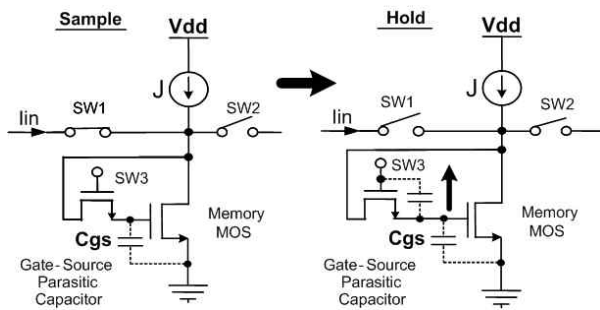


그림 5. 전류 전송오차 현상
Fig 5. Phenomenon of Clock Feed-through

$$Q_t = C_{gs} \times V_{gs} \quad (1)$$

$$Q_t = (C_{gs} \times C_{gd}) \times V_x \quad (2)$$

$$V_x = \frac{C_{gs}}{C_{gs} + C_{gd}} \times V_{gs} \quad (3)$$

Sample mode와 Hold mode에서의 Memory MOS의 기생용량(Parasitic capacitance)에 의해 축적되는 전하량의 값은 일정해야 전류 전송오차가 발생하지 않으며 (1)과 (2)식에서 Memory MOS에 축적되는 전하량의 값 (Q_{total})을 동일하게 유지하도록 해야만 전류 메모리 회로의 성능을 높일 수 있다. (3)식에서 알 수 있듯이 전하량의 변화는 Memory MOS와 SW3의 게이트 전압의 변화량을 의미하므로 V_x 와 V_{gs} 값을 일치하도록 하기 위해서는, 기생용량 C_{gs} 가 C_{gd} 보다 큰 값을 가지게 하

나 Memory MOS와 SW3의 게이트-드레인 사이에서 일어나는 전하의 이동을 막아주는 방법이 요구된다. 흔히, 가변 정전용량의 개념과 같이 사용되는 Dummy MOS 트랜지스터를 전류 전송오차를 줄이는 방안으로 사용하였다.

실제 회로 설계에 있어서는 SW3와 Dummy MOS 트랜지스터의 게이트 폭을 이상적으로 정할 필요가 있다. 이를 위해 식(4)와 같은 방법으로 최적의 전류 전송비 (Current transfer ratio)를 결정했다.

$$\text{전류 전송비} = \frac{SW3 \text{ MOS } W_{gate}}{Dummy \text{ MOS } W_{gate}} \quad (4)$$

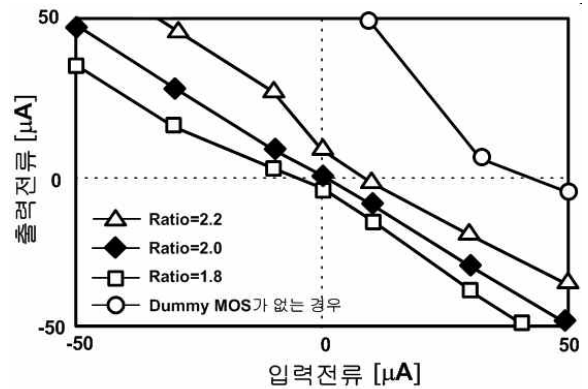


그림 6. 전류 전송비의 최적화 결과
Fig 6. Optimization result of Current transfer ratio

그림 6에 전류 전송비의 결과를 나타내고 있다. 0.8um CMOS Process공정을 기준으로 시뮬레이션을 실행했으며, 시뮬레이션 툴은 Cadence Analog Artist SpectreS를 사용하였으며 Dummy MOS 트랜지스터의 게이트 폭을 기준으로 2um에서 8um까지 변화시켰다. 시뮬레이션 결과에서 알 수 있듯이, SW3 트랜지스터의 게이트 폭이 Dummy MOS 트랜지스터의 2배가 될 때, 최적의 입출력 값을 유지하고 있다. 또한 Dummy MOS 트랜지스터를 적용하지 않았을 경우, 큰 전류 전송오차가 발생하는 것을 알 수 있다.

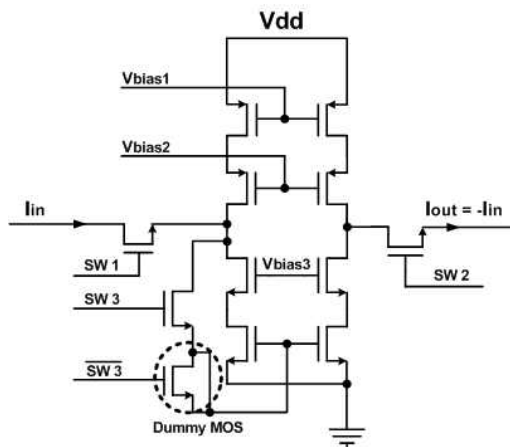


그림 7. 전류 메모리 회로도
Fig 7. Figure of current memory circuit

그림 7은 설계한 단일 전류 메모리 회로도를 나타내고 있다. 일반적으로 전류원으로 사용되는 전류원과 동일한 구조를 취하고 있지만, 입력값을 전류로 하여 그 값을 일정 시간 저장하고 출력하기 위해 저장 역할을 수행하는 Memory MOS 트랜지스터에 스위치(SW3)를 연결하고 전류 전송오차를 최소화하기 위해 Dummy MOS 트랜지스터를 연결하였다.

III. 전류모드 직병렬/병직렬 변환기

전절에서 제안된 전류 메모리 회로를 적용한 전류모드 직병렬/병직렬 변환기에 대해서 검토한다.

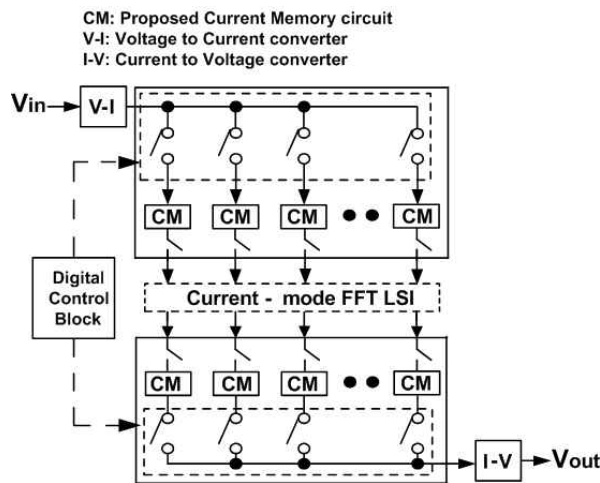


그림 8. 제안된 전류모드 직병렬/병직렬 변환기
Fig 8. Proposed current-mode serial to parallel/parallel to serial converter

제안된 직병렬/병직렬 변환기는 전류 메모리 회로와 각 제어 스위치 제어에 사용되는 디지털 제어 블록(Digital Control Block)을 포함한다. SI 회로를 이용한 전류모드 신호처리를 위해 직병렬/병직렬 변환기 전후단에 전압-전류, 전류-전압 변환기를 위치시켰다. 이를 통해 먼저, 직병렬 변환기에 각 전류 메모리 회로는 입력되는 전류 값으로 샘플 되어 저장된다. 디지털 제어 블록의 출력신호에 따라 병렬로 1 cycle에 병직렬 변환기로 전송이 되며 동일 기능의 병직렬 변환기의 전류 메모리 회로에서 각각의 설정된 cycle에 맞게 전류-전압 변환기로 전송된다. 그림 8은 전류모드 OFDM FFT LSI를 가정한 전류모드 직병렬/병직렬 변환기를 나타내고 있다.

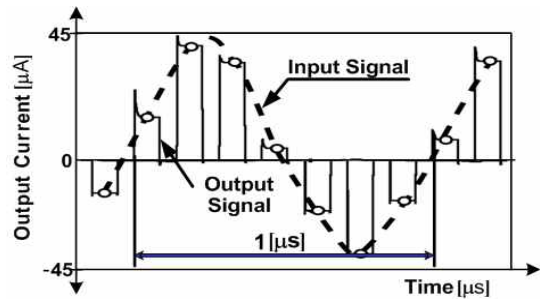


그림 9. 제안된 전류모드 직병렬/병직렬 변환기
Fig 9. Proposed current-mode serial to parallel/parallel to serial converter

그림 9는 제안된 전류모드 직병렬/병직렬 변환기의 Full-chip 시뮬레이션 결과를 나타내고 있다. 시뮬레이션 툴은 Cadence Analog Artist SpectreS를 사용하였다. 제시한 결과와 같이 입력된 정현파와 전류 값이 설정된 디지털 제어 블록의 cycle에 따라 샘플링 된 이산화된 파형으로 출력되는 것을 알 수 있다.

IV. 실험 및 결과

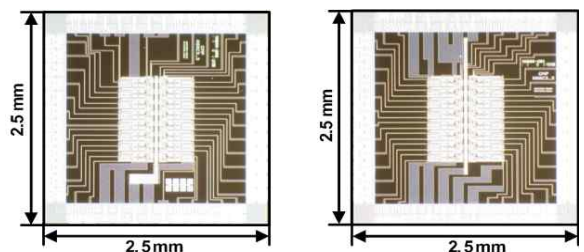


그림 10. 전류모드 직병렬/병직렬 변환기 칩 사진
Fig 10. Photograph of current-mode serial to parallel/parallel to serial converter

그림 10은 제안된 변환기의 칩 사진을 나타내고 있다. 모델 트랜지스터는 BSIM3(Berkeley Short-channel IGFET Model3)의 n-type MOS(nMOS)와 p-type MOS(pMOS)이며 Foundry는 AMS(Austria Mikro Systems)의 0.8um 공정을 사용하였다.

칩에 대한 실측 결과는 그림 11에 나타내었으며 입력 신호와 디지털 제어 블록의 제어신호, 그리고 병직렬 변환기의 출력값을 나타내었다. 최하단의 디지털 제어 블록으로부터 일정 cycle의 신호를 발생시킨다. 이 신호에 따라 입력된 정현파 값이 이산화된 샘플링 값으로 출력되는 것을 확인할 수 있었다.

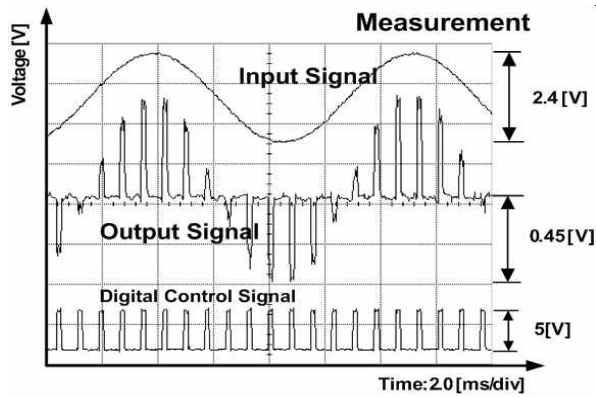


그림 11. 전류모드 직병렬/병직렬 변환기 실측 결과
Fig 11. Experimental result of current-mode serial to parallel/parallel to serial converter

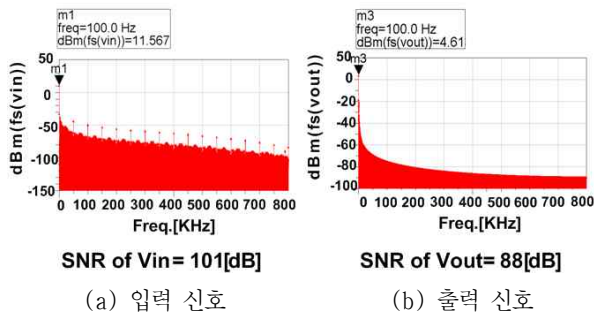
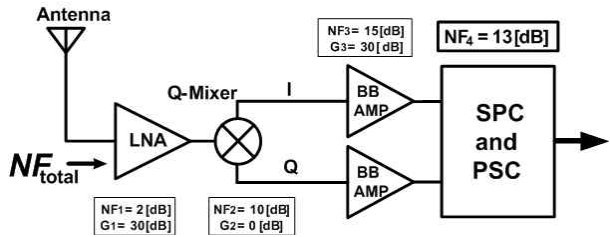


그림 12. ADS를 이용한 입출력 신호의 SNR값
Fig 12. SNR value of Input/Output signal with ADS

제안된 전류모드 직병렬/병직렬 변환기의 실측 결과가 일반적인 5GHz대 수신단에 미치는 영향에 대한 스펙트럼 분석을 진행하였다. 그림 12의 (a)와 (b)에는 ADS(Advanced Design System)를 이용해 입력된 정현파 값과 LPF(Low-pass filter)를 통과시킨 출력파형의

스펙트럼 분석 및 SNR(Signal to noise ratio) 값을 나타내고 있다.

분석결과를 통해 얻은 입력력 전압 신호의 SNR차(13dB)를 5GHz대 수신단에 적용했을 경우, 시스템적으로 계산 가능한 잡음지수(Noise figure: NF)를 계산하였다.



$$NF_{total} = NF_1 + \frac{NF_2 + 1}{G_1} + \frac{NF_3 + 1}{G_1 G_2} + \frac{NF_4 + 1}{G_1 G_2 G_3} + \dots$$

그림 13. 일반적인 5GHz대 수신단 블록
Fig 13. Conventional Receiver block of 5GHz band

일반적인 5GHz대 수신단의 블록도를 그림 13에 나타내었다. 직접변환(Direct conversion) 방식을 조건으로 하여 일반적으로 적용되는 Low noise amp.의 잡음지수는 2dB, 이득(Gain)은 30dB로 설정했으며 Quadrature mixer의 잡음지수는 10dB, 그리고 baseband amp.의 잡음지수와 이득은 각각 15dB와 30dB로 설정하였다. 마지막으로 제안된 전류모드 직병렬/병직렬 변환기의 입출력 SNR 차이값 13dB를 잡음지수 계산식에 의해 계산해보면, 총 잡음지수는(NF_{total}) 2.11dB로 안테나에서 본 수신단의 총 잡음지수에서 전류모드 직병렬/병직렬 변환기가 차지하는 잡음지수 영향은 무시할 수 있는 값이라는 것을 알 수 있다.

V. 결론

본 연구의 목적인 OFDM 시스템을 이용한 이동통신 시스템의 저전력화를 위해, A/D, D/A 변환기가 필요 없는 전류모드 OFDM FFT LSI의 활용 가능성에 대해 논의하였다.

병렬 입력 구조를 가지고 있는 OFDM FFT LSI를 활용하기 위해 제안된 전류모드 직병렬/병직렬 변환기는 저전력 전류모드 FFT LSI를 포함한 무선 이동통신 LSI에 적용 가능성을 제시하였다. 이것은 측정 결과와 시뮬

레이션 결과의 일치를 통해 확인하였으며, 일반적인 5GHz대역의 수신단에서 제안된 직병렬/병직렬 변환기의 NF(Noise Figure)값의 영향을 통해 확인 가능하다. 전류모드 아날로그 신호처리 분야에서 폭 넓은 적용이 기대된다.

참 고 문 헌

- [1] Bevan M. Baas, "A Low-Power, High-Performance, 1024-Point FFT Processor" IEEE, J. Solid-State Circuits, March 1999, Vol.34, No.3, pp. 380-387.
- [2] Terri S. Fiez, and David J. Allstot, "CMOS switched-current ladder filters"IEEE, J. Solid-State Circuits, December 1990, Vol.25, No.6, pp. 1360 - 1367.
- [3] Seong-Kweon Kim, Jae Sang Cha, Hiroyuki Nakase and Kazuo Tsubouchi, "Novel FFT LSI for Orthogonal Frequency Division Multiplexing using current mode circuit" Japanese Journal of Applied Physics, Vol. 40, no.10, pp.2859-2865 2001.4.30
- [4] G. Kumar and P.E. Allen, "Switched-Current Circuits in Digital CMOS Technology With Low Charge-Injection Errors", IEEE Journal of Solid-State Circuits, vol.37, No. 10, pp.1271-1281, Oct. 2002
- [5] P.H. Moose, "A Technique for Orthogonal Frequency Division Multiplexing Frequency Offset Correction", IEEE Trans. Commun.,Vol.42, No.10, pp. 2908-2914, October, 1994.

저자 소개

박 용 운(정회원)



- 1996년 인하대학교 전기공학과 졸업 (공학사)
- 1998년 (주)효성중공업 자동화 사업부
- 2004년 일본 東北(Tohoku)대학교 전자공학과 (공학석사)
- 2007년 일본 東北(Tohoku)대학교 전자공학과 (공학박사)

• 2007년 ~ 현재: 삼성전기 중앙연구소 책임연구원
 <주관심분야: Cognitive Radio, Noise Cancellation algorithm/architecture, mm-wave(60GHz용) High-speed ADC>

황 성 호(정회원)



- 1996년 : 경일대학교 컴퓨터공학과 (공학사)
- 1998년 : 경북대학교 컴퓨터공학과 (공학석사)
- 2003년 : 경북대학교 컴퓨터공학과 (공학박사)

• 2004년 2월 : POSTECH 박사후 연구원
 • 2004년 11월 ~ 2006년 12월: Georgia Tech. 박사후 연구원
 • 2007년 2월 ~ 현재 : 삼성전기 중앙연구소 책임연구원
 <주관심분야: Cognitive Radio, 다중접속기술(MAC), 60GHz 대역용 MAC, 4세대 이동통신기술>

민 준 기(정회원)



- 2000년 광운대학교 전자공학과(공학사)
- 2002년 광운대학교 대학원 전파공학과(공학석사)
- 2007년 광운대학교 대학원 전파공학과(공학박사)
- 2007년 ~ 현재 : 삼성전기 중앙연구소 책임연구원

• 주관심분야 : Cognitive Radio, mm-Wave, CMOS RFIC >