

## 최적화된 나선형 인덕터를 이용한 L1 band GPS 수신기용 130nm CMOS VCO 설계

### Design of 130nm CMOS Voltage Controlled Oscillator Using Optimized Spiral Inductor for L1 band GPS Receiver

안 덕 기      황 인 철\*  
Ahn, Deok Ki    Hwang, In Chul

#### Abstract

A 1.571GHz LC VCO with optimized spiral inductor for GPS receiver is designed in 130nm CMOS process. The phase noise of the VCO has been reduced the use of high Q inductor and on chip filter. It has phase noise of -91dBc/Hz, -111dBc/Hz, and -131dBc/Hz at 10kHz, 100kHz, and 1MHz offset frequencies from the carrier, respectively. This VCO consumes 2mA from a 0.6V supply.

키워드 : 전압 조절 발진기, 인덕터

Keywords : Voltage controlled oscillator, VCO, Inductor

#### 1. INTRODUCTION

GPS는 현재 완전하게 운용되고 있는 유일한 범지구 위성항법시스템이다. 전압 조절 발진기(이하 VCO)는 GPS 수신기에서 RF신호를 변환해 주는 주파수 합성기의 중요 블록이다. VCO 설계에 있어서 가장 기본이 되고 우선시 되어야 할 작업 중 하나가 바로 인덕터의 설계이다. 인덕터의 성능 지수 중 하나인 quality factor(이하 Q)는 발진을 위한 LC 공진부(LC<sub>tank</sub>) 전체의 Q 값에 주도적인 영향을 미치며 높은 Q 는 더 작은 위상 잡음(phase noise) 으로 나타난다.

Table. 1 은 VCO의 L1 band GPS 의 표준을 나타내고 있다. L1 band를 위한 발진 주파수는 1.571GHz 이며 발진 주파수로부터의 옅셋 주파수에서 요구되는 위상 잡음을 보여준다. 이 기준에

\* 강원대학교 대학원 전기전자공학과 석사과정  
\*\* 강원대학교 전기전자전공 교수, 공학박사, 교신저자

부합하기 위해서는 적은 위상 잡음의 VCO 설계가 필수적이며 그를 위해서는 인덕터의 최적화가 필요하다.

본 논문에서는 L1 band GPS 수신기에서 필수적인 기능 블록인 VCO를 표준(Table 1)에 맞추어 TSMC 130nm Process Design Kit(PDK)를 이용, 설계하고자 하였으며 2.85nH의 인덕터를 사용하여 Noise to carrier Ratio (NCR) 특성을 고려, 위상 잡음 특성이 좋도록 하였다.

Table 1. L1 Band GPS 표준

Operating Frequency	1571.424 MHz	
LO Phase Noise	Max	dBc/Hz
@ 1.0 kHz	-80	
@ 10 kHz	-80	
> 10 kHz	-70	

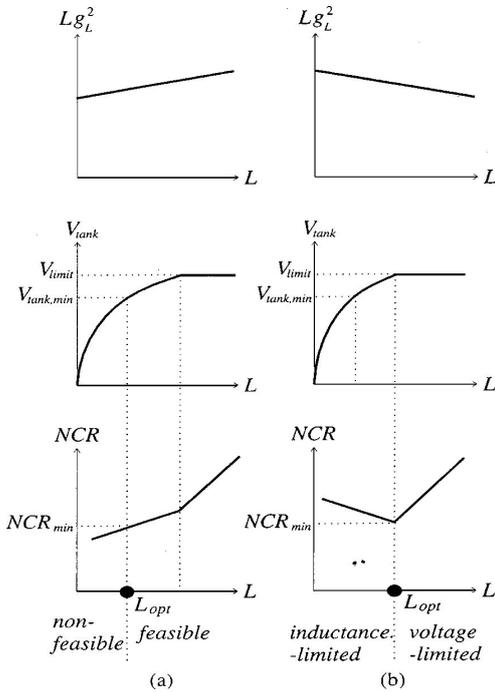


Fig. 1. NCR 과 L 의 관계

## 2. INDUCTOR 설계

### 2.1 NCR 대 L

LC 공진부에서의 출력 전압 swing의 최대값  $V_{tank}$ 는 LC 공진부의 컨덕턴스와 VCO core를 흐르는 바이어스 전류의 관계로 정의 된다[1]. 바이어스 전류에 따라 공진부에 걸리는 전압이 상승하지만 결국 공급 전압 이상의 값을 가질 수는 없게 된다. 그 영역을 각각 전류 제한과 전압 제한 영역으로 나누게 된다. 이 관계를 정리하면 noise to carrier ratio (NCR)의 관계(1)를 유도 할 수 있다.

$$\frac{(v_n^2)}{V_{tank}^2} \propto \left\{ \frac{LG_L^2}{L} / I_{bias}^2 \right. \begin{matrix} (L-lim\ d) \\ (V-lim\ d) \end{matrix} \quad (1)$$

$G_L$ 은 인덕터에서의 병렬 기생 저항 성분의 역수, 즉 컨덕턴스 값을 말하고  $v_n^2$ 은 LC 공진부에서의 잡음 신호의 크기를 말하며  $V_{tank}^2$ 은 LC 공진된 신호의 크기를 나타낸다. 이 두 크기의 비는 결국 본래 우리가 원하는 발진 신호의 크기 대비해서 얼마나 잡음 성분이 많은가를 판단하는 값을 가지며 이 크기가 작을수록 잡음 성능이 뛰어나며 이

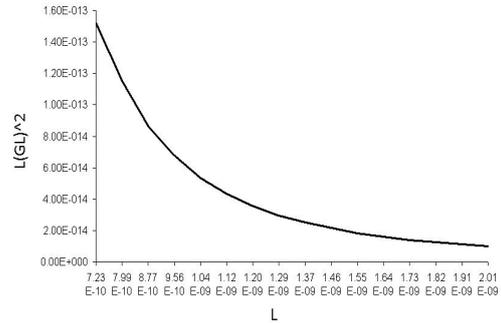


Fig. 2.  $LG_L^2$  과  $L$  의 시뮬레이션 결과

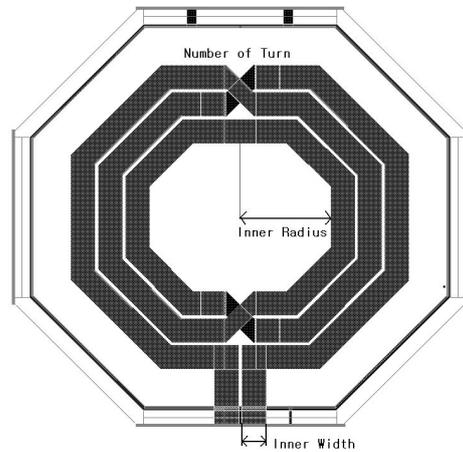


Fig. 3. Symmetric 인덕터 Layout

는 곧 더 적은 위상 잡음을 나타낼 수 있다.

이를 통해 NCR을 최소화 하기 위한 지점을 두 지점으로 정리 할 수 있고 실제 PDK에서 제공하는 인덕터를 이용한 시뮬레이션(Fig. 2)에서 Fig. 1의 (b)의 결과를 나타내는 것을 알 수 있다.

이 시뮬레이션 결과는 우리가 VCO 설계 시 위상 잡음을 최적화하기 위해서는 출력 전압 swing을 인덕턴스 제한 영역과 전압 제한 영역의 경계에 있도록 해야 한다는 것을 나타내고 있다. 이 결과를 확인한 상태에서 Fig. 1 (b)를 다시 해석하면 곧 인덕터가 고정된 상태에서 전류를 증가시켜서 전압 제한되는 영역을 찾는 것으로 바꾸어 생각 할 수 있다. 우리가 목표로 설정한 인덕터의 값은  $2.85nH$ 이므로 우선 이 값을 가지는 인덕터의 Q를 최적화하는 시뮬레이션을 진행 하였다.

### 2.2 인덕터 Q 시뮬레이션

Fig. 3은 PDK에서 제공하는 인덕터의 layout이

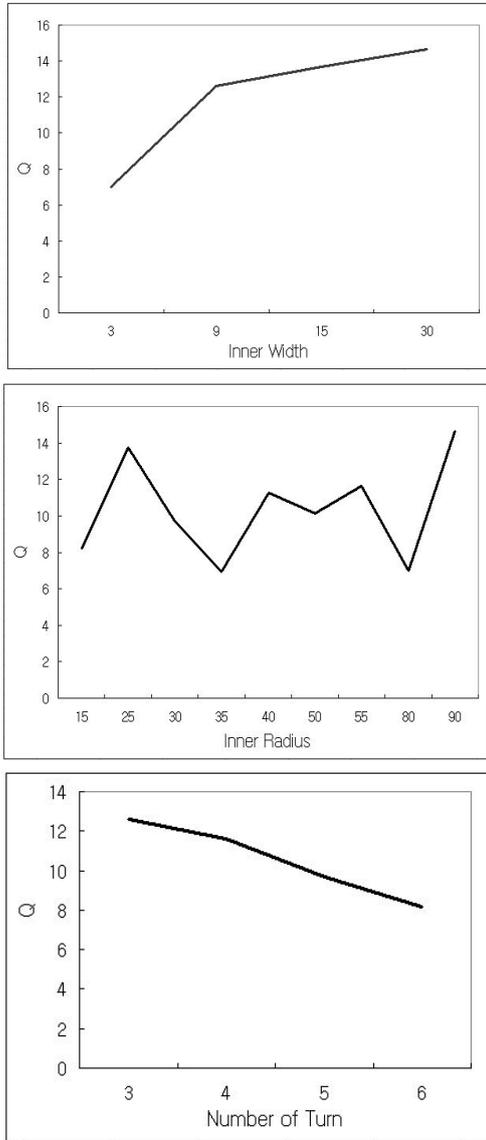


Fig. 4. 2.85nH 인덕터 Q 시뮬레이션

다. 인덕터의 변수는 반지름(radius), 회전 수(turn), 폭(width) 를 가질 수 있으며 고정된 인덕턴스 값을 기준으로 각각의 변수에 따른 Q를 추출하였다.

인덕터 라인의 폭 (inner radius)은 작게 할 경우 인덕터의 직렬 저항이 문제가 되며, 반대로 크게 할 경우 skin Effect의 영향을 상대적으로 많이 받고 기판과의 커패시턴스 값이 크다는 문제가 있기 때문에 폭을 잘 선택해야 한다. 결과적으로 기생 저항과 커패시턴스 성분 등이 변하며 Q값에 영향을 주게 된다. 반지름은 인덕터 중심에서부터

Table 2. Inductor parameter

Inner Width	30 $\mu\text{m}$
inner Radius	90 $\mu\text{m}$
Number of turn	3 turn
Frequency	1.571 GHz
Quality Factor	14.62
Inductance	2.85441 nH
Parallel resistance	447.895 $\Omega$

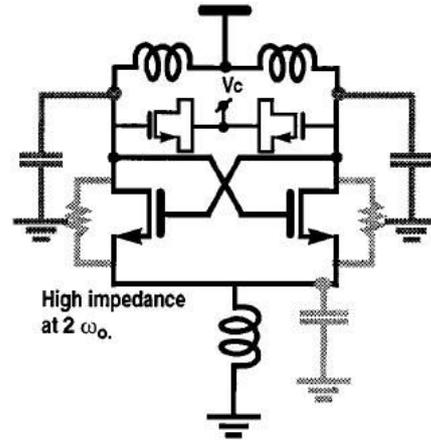


Fig. 5. VCO with LC filter

금속까지의 길이로 모든 파라미터에 영향을 준다. 특히 내부 반지름의 값을 너무 크게 할 경우 기판에 흐르는 eddy current에 의해 Q값이 감소하므로 인덕터 값과 Q값을 고려하여 길이를 결정하여야 한다.

회전수가 커지면 인덕턴스의 값이 커지지만 기판과의 커패시턴스가 커지므로 적절한 조절 필요하다. 인덕터 내부로 갈수록 직렬 저항이 커지므로 회전수를 너무 크게 하지 않는 것이 좋다.

이 시뮬레이션 결과를 통해 높은 Q가 가능하도록 각각의 인덕터 성분 값을 결정하고 목표 주파수인 1.57GHz 의 Q를 시뮬레이션 해본 결과 14.62의 Q 값을 얻을 수 있었다(Table. 2).

### 3. VCO 설계

VCO 회로의 경우 기본적으로 부성 저항 (negative resistance)을 제공하는 cross couple 된 MOS 쌍과 LC 공진부로 나눌 수 있으며 이번 설계에 이용한 회로는 Fig. 5 와 같다. 이 회로의 경우 최대  $2V_{DD}$  까지 출력 전압 swing이 가능하며 NMOS 소스 단의 기생 커패시턴스를 이용하여

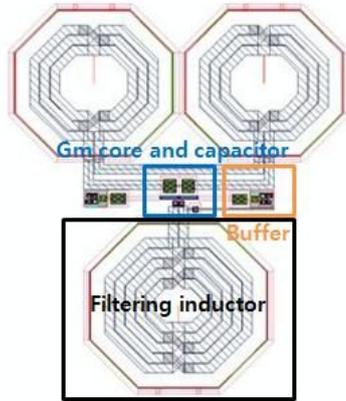


Fig. 6. VCO layout

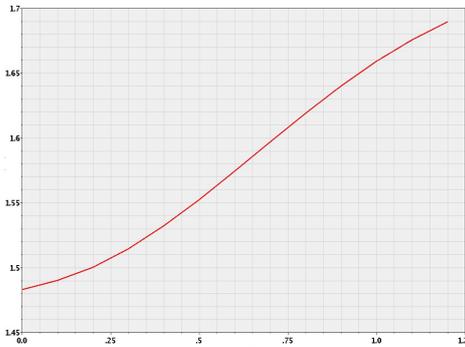


Fig. 7. VCO 주파수 가변 범위, 버렉터 조절 전압에 따른 주파수(GHz) 변화

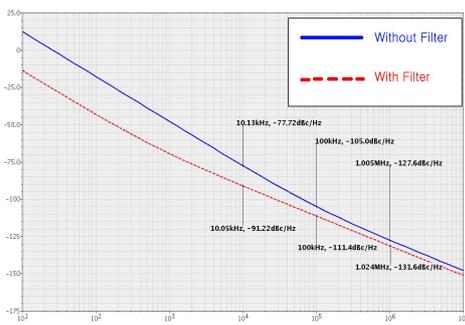


Fig. 8. 1.57GHz의 캐리어 주파수에서의 위상 잡음

2ω에서 발전시켜 cross couple 된 쌍의 믹서 효과로 인해 down conversion 되는 잡음 신호를 제거함으로써 위상 잡음을 줄이는 결과를 얻을 수 있다[2]. 하지만 그만큼 바이어스 전류 소모가 심

Table. 3. VCO 비교

	공정	동작 주파수 [GHz]	전력 소모 [mW]	가변 주파수 범위[%]	위상 잡음 [dBc/Hz @ 1MHz]	Figure of merit[dB]
[3]	0.25um CMOS	1.24	72	28	-131 @1MHz	-184
[4]	0.35um CMOS	1.6	9	27	-109.3 @600kHz	-168.3
[5]	0.35um CMOS	1.3	12	28	-119 @600kHz	-175
This work	0.13um CMOS	1.571	2.4	13	-131 @1MHz	-191

하기 때문에 레귤레이터 회로를 이용하여 V<sub>DD</sub>를 낮춰줌으로써 전체 전압 swing 폭을 줄이면서 전류도 줄이는 형태로 회로를 구성하였다.

설계된 회로는 layout을 통해 실리콘 웨이퍼 상에 실제 chip 으로 구현 가능한 레벨까지 완료하였다(Fig. 6). Layout 면적은 1.1mm x 1.2mm 이다.

#### 4. 시뮬레이션 결과

설계한 VCO의 발전 주파수는 1.571GHz 이며 버렉터에서 컨트롤 전압을 받아 가변 되는 커패시터 값에 따라 다음과 같은 주파수 범위를 갖는다. V<sub>DD</sub>는 0.6V 이며 VCO core를 흐르는 바이어스 전류는 2mA이다. 가변 주파수 범위는 1.48GHz ~ 1.69GHz 로 13% 이고 이때의 VCO 이득 (K<sub>vco</sub>, 단위 전압당 주파수 변화)는 231Hz/V 이다(Fig. 7).

Fig. 8은 위상 잡음 시뮬레이션 결과이다. LC 필터링을 했을 때와 하지 않았을 때를 비교했을 때 10kHz 오프셋에서 -77dBc/Hz의 결과가 필터링 시 -91dBc/Hz 로 향상되는 것을 알 수 있다. 인덕터를 추가로 달아줌으로써 layout 시 면적을 더 많이 차지하는 단점이 있지만 위상 잡음 측면에서 뛰어난 효과를 나타내는 것을 확인하였다. 그리고 또한 GPS 표준 조건을 만족시키는 것을 알 수 있다. @ 100kHz에서 -111dBc/Hz, @ 1MHz에서 -131dBc/Hz 의 위상 잡음 갖는다.

VCO에서 각각의 다른 VCO들을 비교하기 위한 지표로써 figure of merit (FOM)를 나타내는데 다음 식을 통해 구할 수 있다.

$$FOM = \text{위상잡음} + 10\log(\text{전력소모}[mW]) \quad (2)$$

$$- 20\log\left(\frac{\text{동작주파수}}{\text{오프셋주파수}}\right)$$

위 식을 통해 오프셋 주파수에서의 위상잡음은 작고 전력 소모가 적으면서 동작주파수가 높은 VCO가

더 좋은 FOM을 나타냄을 알 수 있다. 본 논문에서 설계한 VCO의 경우 FOM이 옙셋 주파수 1MHz에서 -191dB 가 나오는 것을 확인하였다. 이를 통해 각각의 논문에서 제시한 VCO들을 비교한 표가 Table. 3 에 나타나 있다.

시뮬레이션은 회로 검증 tool 로 널리 이용되는 Cadance 사의 SpectreRF를 이용하였다.

## 5. CONCLUSION

TSMC 130nm의 PDK를 이용하여 2.85nH의 나선형 인덕터를 NCR과의 관계로 표현하고 PDK에서 제공하는 인덕터의 NCR 특성을 확인하였다. 그리고 Q 최적화를 통해 GPS L1 band용 VCO를 설계하였다. 이 과정에서 인덕터는 폭 30u, 반지름 90u, 회전수 3 일 때 Q값을 14.62가 되었으며 이에 따라 LC 공진을 위한 커패시터 값을 결정하고 부성 저항을 위한 트랜지스터의 사이즈 비를 결정하였다.

이 노이즈 특성을 고려한 회로 설계의 접근을 통해 L1 band 기준에 맞는 1.571GHz의 발진 주파수에서 위상 잡음은 10kHz에서 -91dBc/Hz, 100kHz에서 -111dBc/Hz, 1MHz에서 -131dBc/Hz의 결과를 나타냈고  $K_{vco}$ 는 231MHz/V, 가변 범위는 0.21GHz (13%)임을 확인 하였다. VCO 의 성능 지표인 figure of merit 은 1MHz 옙셋에서 -191dB 이다.

## REFERENCES

- [1] Ham. D, Hajimiri. A, "Concepts and methods in optimization of integrated LC VCOs," *IEEE J. Solid-State Circuits*, Vol. 36, pp. 896-909, Jun 2001.
- [2] Emad Hegazi, Henrik Sjoland, Asad A, Abidi, "A Filtering Technique to Lower LC Oscillator Phase Noise," *IEEE J. Solid-State Circuits*, Vol 36, No. 12, Dec 2001.
- [3] A. Berny, A. Niknejad, and R. Meyer, "A wideband Low-Phase-Noise CMOS VCO," *IEEE Custom Integrated Circuits Conference*, pp. 555-558, 2003.
- [4] W. Cheng, C. Chan, K. Pun and C. Choy, *0.8V GPS band CMOS VCO with 29% Tuning Range*, IEEE APCCAS, 2006.
- [5] F. Svelto, S. Deantoni, R. Castello, "A 1.3GHz Low-Phase Noise Fully Tunable CMOS LC VCO," *IEEE J. Solid-State Circuits*, Vol. 35, pp. 356-361, March 2000.
- [6] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*, McGRAW-Hill, 2001.